

논문 2004-41SD-7-9

1.5Gbps 직렬 에이티에이 전송 칩 구현

(Implementation of 1.5Gbps Serial ATA)

박 상 봉*, 허 정 화*, 신 영 호**, 홍 성 혁**, 박 노 경***

(Sang-Bong Park, Jung-Hwa Heo, Young-Ho Shin, Sung-Hyuk Hong, and Nho-Kyung Park)

요 약

본 논문에서는 PC의 스토리지 인터페이스로 사용되는 병렬 ATA를 대체하게 될 새로운 표준인 직렬 ATA의 링크 층과 물리 층을 설계하였다. 링크층에서는 CRC 생성 및 오류 감지, 스크램블링 회로, 8b/10b 복호화/부호화 회로 및 프리미티브 생성/검파 회로로 구성되었다. 물리 층은 직렬화/병렬화 회로와 전원 초기 인가시의 리셋 발생회로, OOB 신호 발생/검파 회로, 데이터로부터 클럭을 복원하는 회로, 스퀘엘치 회로 및 임피던스 조정 회로와 콤마 발생/감지 회로로 설계하였다. 또한 물리 층과 링크층의 동작을 확인하기 위한 테스트 제어 블록과 BIST(Built In Self Test) 블록을 설계하였다. UMC사의 0.18 μ m 표준 CMOS 공정을 이용하여, 칩으로 제작 후 특성을 검증하였다. 링크 층에서 요구하는 모든 기능 및 특성은 사양을 만족하였고, 물리 층의 출력 전압 및 드라이버 출력 지터, OOB 신호등의 특성도 만족하였다. 데이터 전송율은 1.5Gbps 속도의 사양 목표치에 비해서, 실제 측정된 데이터 전송 속도는 1.28Gbps로 측정되었다. 회로 시뮬레이션에 의한 확인 결과, 레이아웃에서의 배선에 대한 기생 성분의 영향에 의한 것으로 분석되었다.

Abstract

This paper describes the link layer and physical layer of the Serial ATA which is the next generation for parallel ATA specification that defines data transfer between PC and peripheral storage devices. The link layer consists of CRC generation/error detection, 8b/10b decoding/encoding, primitive generation/detection block. For the physical layer, it includes CDR(Clock Data Recovery), transmission PLL, serializer/de-serializer. It also includes generation and receipt of OOB(Out-Of-Band) signal, impedance calibration, squelch circuit and comma detection/generation. Additionally, this chip includes TCB(Test Control Block) and BIST(Built-In Self Test) block to ease debugging and verification. It is fabricated with 0.18 μ m standard CMOS cell library. All the function of the link layer operate properly. For the physical layer, all the blocks operate properly but the data transfer is limited to the 1.28Gbps. This is due to the affection of parasitic elements and is verified with SPICE simulation.

Keywords : Serial ATA, CRC, OOB, BIST

I. 서 론

1980년 이후로 병렬 ATA 프로토콜은 회로가 간단하고 제작비용이 적다는 이점과 꾸준한 성능 향상으로 인

하여 데스크톱과 노트북 컴퓨터에서 가장 보편화된 내부 스토리지 디바이스 연결 규격으로 사용되고 있다. 과거 수 년 동안 PC 내부의 하드디스크의 전송율이 증가되면서, 인터페이스 기술이 디스크 입력/출력 성능 향상의 제한 요소가 되지 않도록 그 사양이 계속 업데이트되었다. Ultra ATA는 1980년에 도입된 원래의 병렬 ATA 인터페이스의 확장이고, 이 기술은 이전 버전 모두를 지원한다^[1].

Ultra ATA 표준 사양은 100Mbyte/sec 데이터 전송율을 지원하는 ATA/ATAPI-6을 거쳐 현재 133Mbyte/sec를 지원하는 병렬 버스 구조인 ATA/ATAPI-7이 개발되고 있다. 직렬 ATA는 Ultra ATA 기술을 대체

* 정회원, 세명대학교 정보통신학과
(Department of Information and Communication,
Semyung University)

** 정회원, (주)에트랩
(@lab Inc.)

*** 정회원, 호서대학교 정보통신공학과
(Department of Information and Communication
Engineering, Hoseo University)

접수일자: 2003년8월4일, 수정완료일: 2004년6월30일

하기 위해서 설계된 차세대 내부 저장 연결 인터페이스 기술이다. 직렬 ATA 는 병렬 버스에서 직렬 버스 구조로 변환된 형태로써, 이전 병렬 ATA 버스의 지속적인 속도 향상을 저해하는 전기적 제한 요소를 극복할 수 있도록 설계되었다^[2]. 1세대 직렬 ATA 는 150Mbyte/sec 의 데이터 전송율을 갖는 사양으로 도입되어, 향후 10년 동안 600Mbyte/sec 까지 속도가 향상되도록 로드맵이 계획되어 있으며, 기존의 병렬 ATA 프로토콜과 소프트웨어 호환성도 지원한다. 직렬 ATA는 전송 속도뿐만 아니라 병렬 ATA의 넓고 납작한 케이블을 가늘고 둥근 것으로 교체하면서 컴퓨터 내부 여유 공간을 넓혀 공기순환을 원활하게 한다^[3]. 이것은 컴퓨터 내부 열처리에 획기적이며 PC 내부도 간단해 질 수 있다. 또한, 기존 병렬 ATA 용의 운영체제나 각종 소프트웨어, 하드웨어와도 호환 가능하며, 3.3V의 낮은 전압을 사용하므로 전력 소모가 적고, 플래그 앤 플레이 기능을 지원한다^[4].

본 논문에서는 직렬 ATA를 구성하는 3 개 층 중에서 링크 층과 물리 층에 대한 호스트와 디바이스 전송 칩을 설계하고, 칩으로 구현 후 성능 측정 결과를 서술하였다. 본 논문의 구성은 다음과 같다. II 장에서는 설계 및 구현된 링크 층과 물리 층에 대한 시스템 블록도와 각 구성 블록에 대한 설명과 전기적 사양을 기술하였다. III장에서는 시뮬레이션 검증 내용과 설계된 직렬 ATA 의 특성 평가 내용과 테스트 결과와 측정 평가 후 사양을 만족하지 못하는 분석 결과를 서술하였다. 마지막으로 IV장에서는 결론을 언급한다.

II. 직렬 ATA 설계

직렬 ATA의 3계층 구조는 <그림 1>에서 보여주는 것처럼 전송 층, 링크 층, 물리 층 구조로 되어 있다. 물리 층에서는 디바이스 컨트롤러와 500mV의 낮은 전압으로 1.5Gbps 속도로 직렬 데이터 송수신이 이루어진다. 링크 층에서는 전송 층에서 받은 데이터를 일련의 과정을 거쳐 변환한 후 물리 층으로 전송한다.

1. 직렬 ATA 시스템 블록

<그림 2>는 설계된 직렬 ATA 링크 층과 물리 층을 포함한 시스템 블록도를 나타낸다.

호스트와 디바이스는 링크 층과 물리 층의 제어부와 OOB(Out Of Band) 신호 발생 및 검파 회로에서 차이가 있으므로, 호스트와 디바이스에 대한 물리층 일부

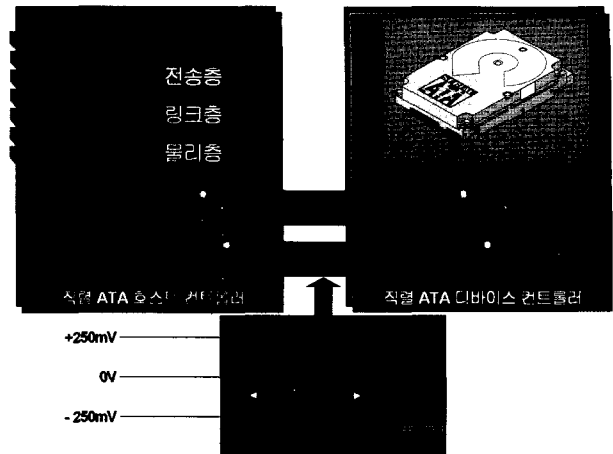


그림 1. 직렬 ATA 구조
Fig. 1. Structure of Serial ATA.

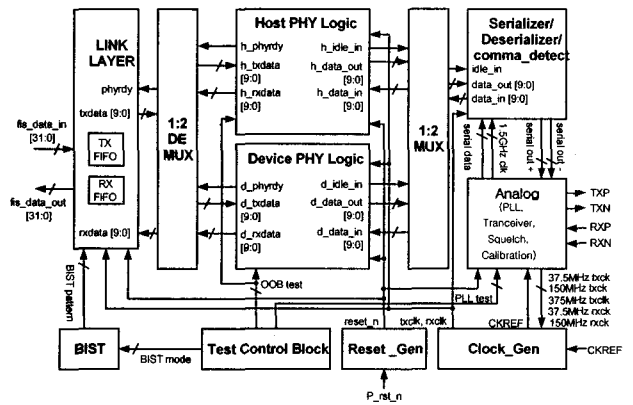


그림 2. 설계된 직렬 ATA 시스템 블록도
Fig. 2. System block diagram of the designed Serial ATA.

블록을 각각 칩에서 구현하여 외부 핀을 통해서 설계된 직렬 ATA 칩을 호스트 또는 디바이스용으로 사용할지를 선택하도록 설계하였다. <그림 2> 에서 클럭 발생부 회로(Clock_Gen)는 입력 핀(CKREF)를 통하여 입력되는 시스템 클럭 37.5MHz 클럭을 받아서 PLL 회로에 전송해주고, 다른 블록에 필요한 송, 수신 클럭을 PLL에서 받아서 전송해주는 블록으로 37.5MHz, 150MHz, 375MHz의 송신 및 수신 클럭의 드라이브 능력을 키우기 위한 버퍼 체인으로 구성하였다. 리셋 발생 회로(Reset_Gen)는 입력 핀(p_rst_n)을 통해서 들어오는 리셋 신호를 받아서, 각 블록의 레지스터에 대한 초기화를 진행하기 위하여 필요한 reset_n 신호를 발생하도록, 펜 아웃을 고려한 드라이브 능력을 키우기 위해 버퍼 체인으로 구성하였다. 링크 층 블록(LINK_LAYER)은 전송 층을 통하여 입력된 32비트의 데이터(fis_data_in)를 임시적으로 보관하는 TX_FIFO 와 전송 층으로 송신할 32비트의 데이터(fis_data_out)를 저장하는 RX_FIFO 와

CRC 발생/검증 회로, 스크램블링/디스크램블링 회로, 프리미티브 발생/검파 회로, 8b/10b 부호화 회로 및 10b/8b 복호화 회로로 구성된다. 또한 프리미티브를 생성하고, 검파된 프리미티브의 종류를 감지하는 블록도 포함된다. 1:2 DEMUX 블록은 직렬 ATA 디바이스용인지 호스트용인지를 선택하는 선택 선의 값에 따라서 링크 층에서 입력된 10비트의 데이터를 물리 층으로 보낸다. 물리 층에서 입력되는 phyrdy 신호는 물리 층이 전원 인가 리셋을 통해서 상대방 물리 층과 서로 데이터를 송, 수신할 준비가 되어 있는지를 링크 층에 알려주는 신호이다. phyrdy 신호가 인에이블 되면, 호스트/디바이스 선택 선의 값에 따라서 10 비트의 데이터가 링크 층에서 물리 층으로 또는 물리 층에서 링크 층으로 전달된다. 물리 층 논리 블록(Host/Device PHY Logic) 은 입력된 송신 데이터와 전원 인가 리셋이나 통신 중 발생하는 리셋에 대한 OOB 신호 발생/검파 회로에서 필요한 신호와 콤파와 프리미티브 발생/검파 회로, 물리 층에 관련된 제어 신호를 발생하는 제어 회로로 구성된다. 물리 층은 전원이 인가된 경우 OOB 신호를 통하여 물리 층이 송, 수신 준비를 하게 되고, 준비가 완료된 경우 phyrdy 출력 신호를 통하여 링크 층에 알려준다. idel_in 신호는 OOB 신호들을 구분하는 버스트 사이의 시간 간격에 따라서 차동 전압 증폭기가 정적인 상태에 있을 시간을 나타내는 출력 값이다. 1:2 MUX 에서는 호스트용인지 디바이스용인지 선택 값에 따라서 호스트 물리 층 블록(Host PHY Logic) 또는 디바이스 물리 층 블록(Device PHY Logic) 블록과 직렬화/콤마 검파 블록(SERDES/comma_detect)이 통신하도록 선택하는 기능을 한다. 직렬화/콤마 검파 블록에서는 물리 층 논리 블록(PHY Logic)에서 수신된 150MHz 의 10 비트 데이터를 1.5GHz 의 1 비트 직렬 데이터로 변환하여, 원래의 값 serial_out+ 와 그의 보수 값 serial_out- 값과 동시에 이전 블록에서 받은 idel_in의 값을 송신 단인 아날로그 블록으로 전송한다. 여기에서 사용되는 1.5GHz 송신 클록은 PLL에서 생성된다. 아날로그 블록은 37.5MHz 의 입력 기준 클록(CKREF)을 받아서, 시스템에서 필요로 하는 송, 수신 단의 37.5MHz, 150MHz, 375MHz, 1.5GHz 클록을 발생한다. 직렬화/콤마 검파 블록에서 받은 직렬 데이터인 serial_out+ 와 serial_out- 의 디지털 전압 값을 TXN 과 TXP 출력 편을 통해서 +250mV 와 -250mV 의 출력 전압과 1.5Gbps 의 속도를 갖는 신호로 전송하는 회로를 포함하며, 전원이 인가되었을 때 송, 수신 버퍼에 대한 임피던스 조정에 필요한

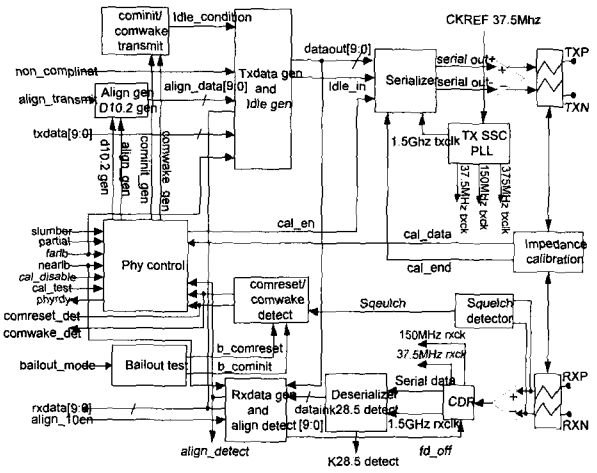


그림 3. 물리층 블록도
Fig. 3. Physical layer block diagram.

회로도 내장되어 있다.

2. 물리 층 블록

<그림 3>은 구현된 직렬 ATA 물리 층 블록도이다. 물리 층은 아날로그 회로와 디지털 논리 회로를 사용하여 구현하였다. 물리 층에서 순수 아날로그 부분은 송신 단 PLL(TX SSC PLL) 과 수신 단 PLL(CDR), 출력 및 입력 드라이버, 임피던스 조정 회로, 스퀘치(Squelch) 회로로 구성된다.

입력 시스템 클럭 37.5MHz 에 동기화된 송신 단 PLL 회로(TX SSC PLL)는 물리 층의 송신부중 디지털 논리 블록에 37.5MHz 클록을 전달하고, 10비트 병렬-1 비트 직렬화 회로(Serializer) 에 150MHz 와 1.5GHz 클록을 생성해서 제공한다. 만약 선택사항인 SSC(Spread Spectrum Clocking) 가 선택되면, 송신단 PLL 이 제공하는 37.5MHz 클록들은 0 - 0.5% 범위에서 클록이 분산되도록 설계하였다. 수신단 PLL(CDR: Clock Data Recovery) 은 수신 입력인 RXP 와 RXN을 통하여 입력되는 데이터에 동기화 되어서 클록과 데이터를 복원한다. 수신단 PLL 회로는 복원된 클록으로부터 37.5MHz, 150MHz, 1.5GHz 클록을 생성해서 수신단의 디지털 논리 블록과 1비트 직렬-10비트 병렬 회로(Deserializer)에 필요한 클록을 제공한다.

송신단과 수신단 PLL 은 전원이 인가되면, 1.5GHz 의 프리-런닝 주파수로 초기화된다. 송신단 드라이버는 10 비트 병렬-1 비트 직렬화 회로의 출력을 1.5Gbps 속도로 250mV 공통 모드 전압으로 변환하여, TXP 와 TXN 을 통해서 송신한다. 수신단 드라이버는 데이터가 1.5Gbps 속도로 250mV 공통 모드 전압인 RXP, RXN을

통해서 입력되면, 1 비트 디지털 값으로 변환하여 출력한다. 임피던스 조정 회로는 송신단과 수신단의 임피던스 값을 조정하는 회로로써, 동작이 선택된 경우 또는 전원 인가시 동작되도록 설계하였다. 스켈치 회로는 RXP 와 RXN 으로 1.5Gbps 속도로 입력되는 250mV 공통 모드 전압으로부터 두 입력의 전압 차가 발생하지 않는 정적인 상태를 찾기 위한 회로이다. 이 회로의 출력 값은 OOB 감지 회로에서 OOB 신호의 종류를 감지하는데 사용된다. 10비트 병렬-1비트 직렬화 회로는 물리 층 논리 회로에서 150MHz 로 10비트의 병렬 데이터와 정적 조건 구간을 제어 부로부터 받아서, 1.5GHz 직렬 데이터로 변환하여 송신단 드라이버에 0 또는 1과 보수 형태의 값인 serial_out+ 와 serial_out- 로 출력한다. 1 비트 직렬-10비트 병렬 회로는 수신단 PLL(CDR) 로부터 1.5GHz 직렬 데이터를 받아서, 150MHz 의 병렬 데이터로 바꾸고 10비트 데이터 중 특정 패턴인 콤마 문자를 찾아내도록 설계하였다. 물리 층에서 디지털 논리 블록은 제어블록, OOB 신호 발생 회로, 특정 패턴 발생 회로, 10비트 전송 회로와 OOB 신호 감지 회로 및 10비트 수신 회로, 테스트 관련 회로로 구성된다. 제어 블록은 전체 물리 층에 대한 제어 신호를 생성해서, 각 회로에 제공한다. OOB 발생 회로(cominit/comwake transmit)는 물리층 제어부로부터, COMWAKE, COMRESET, COMINIT OOB 신호의 발생을 요구한 경우, 카운터 값에 의해서 원하는 시간만큼 제어해서 생성한다. 10 비트 전송 회로(txdata gen/idle gen)는 링크 층에서 입력된 실제 데이터와 정적인 상태를 나타내는 구간 및 OOB 신호의 ALIGN 이나 D10.2 에 대한 10 비트 병렬 데이터를 생성하는 회로이다. OOB 검파 회로(comreset/comwakedetect)는 스켈치 회로에서 정적인 상태 구간과 데이터 구간에 대한 신호를 감지한 후 카운트 값을 이용하여 입력된 OOB 가 어떤 종류인지 검파하고, 그 결과를 제어부로 보내준다. 10비트 수신 회로(rxdata-gen/align detect)는 수신된 10비트 입력 데이터에서 ALIGN 프리미티브를 검파하고, 실지 데이터인 rxdata 를 링크 층으로 보낸다. 테스트 관련 회로는 OOB 신호 감지 회로에 문제가 발생되어 데이터 송,수신이 어려운 경우, 초기 전원 인가시부터 OOB 신호 생성 및 감지 기능을 대신하는 bailout 테스트 기능과 특정한 패턴을 발생해서 테스트하는 경우의 입력 벡터를 생성 및 결과를 분석하도록 BIST(Built In Self Test)로 설계하였다.

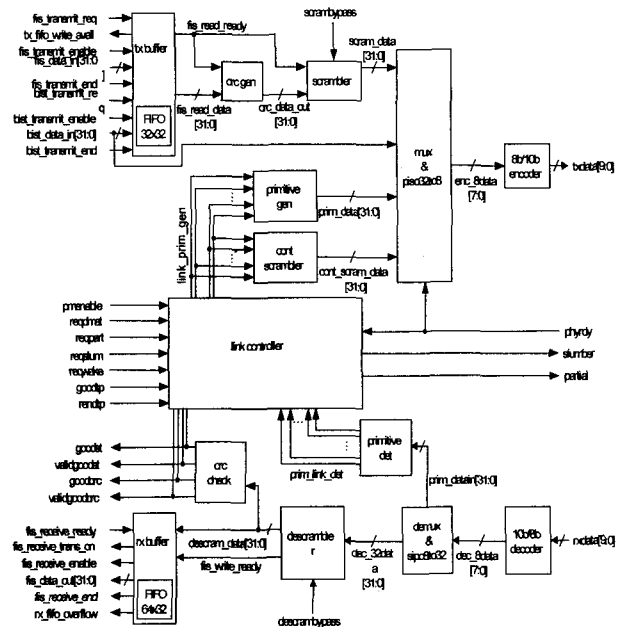


그림 4. 링크층 블록도

Fig. 4. Link layer block diagram.

3. 링크 층 블록

<그림 4>는 직렬 ATA 의 링크 층 블록도이다. 링크 층은 그림의 상단 부분이 송신단에 해당하고, 하단 부분이 수신단에 해당한다.

전체 링크 층의 제어 신호를 발생하는 링크 제어부(link controller)는 상태 머신으로 설계하였다. 전력 관리 모드 인에이블 신호나 전력 관리에 대한 제어 신호를 발생하고, 송신되는 프리미티브의 종류를 각 상태에 따라서 발생하거나, 수신된 프리미티브의 종류에 따라서 필요한 제어 신호를 발생한다. 링크 제어부는 송신단과 수신단에서 공통으로 사용된다. 송신 버퍼(txbuffer)는 32 비트의 32 워드로 FIFO 와 제어 회로로 구성되고, 32비트의 FIS(Frame Information Structure) 데이터를 저장하고, 차례로 링크 층으로 전송한다. 송신 버퍼를 통해서 출력된 데이터는 CRC 발생 회로(crc-gen)에서 각각의 32비트 워드에 대해서 CRC 값을 계산하여, 최종 데이터 다음에 32 비트 워드로 계산된

32비트 CRC 값을 추가된다. 전송하려는 데이터와 CRC 값은 EMI 방지를 위해서 랜덤한 값으로 스크램블링 회로에서 스크램블된다. FIS 의 시작과 끝을 알리는 SOF(Start Of Frame)와 EOF(End Of Frame) 프리미티브는 프리미티브 발생 회로(primitive gen)에서 발생되어 전송하려는 데이터의 앞과 끝 부분에 추가된다. 프리미티브는 데이터와 다르게 스크램블링 되지 않는다. 스크램블링된 데이터와 제어 회로의 요구에 의해서

생성된 프리미티브는 멀티플렉서 회로(mux)를 이용하여 선택되고, 32비트 병렬 데이터8비트 변화 회로(piso32to8)를 통하여 32.5MHz 의 32비트 출력은 8b/10b 부호화를 위해서 150MHz 의 8 비트 데이터로 변환된다. 150MHz 의 8 비트 데이터는 각각 8b/10b 부호 회로(8b/10b encoder)로 입력되어 10비트의 부호화된 txdata 를 물리 층으로 전송된다. 데이터 수신 과정은 송신의 반대로 진행된다. 물리 층으로부터 수신된 10비트 데이터 rxdata 는 10b/8b 복호 회로(10b/8b encoder)를 통하여 150MHz 8 비트 데이터로 복호화 된다. 8비트 직렬 32 비트 병렬 회로(sipo8to32)는 복호 회로의 출력 8비트를 4바이트씩 정돈해서 32 비트의 워드를 구성하고, 각 워드가 프리미티브인지 데이터인지를 구분한다. 프리미티브 검파 회로(primitive det) 는 입력된 프리미티브가 어떤 종류인지 해석해서, 결과를 제어부로 출력한다. 37.5MHz 의 32비트로 정돈된 데이터 워드는 디스크램블러 회로(descrmbler) 로 입력되어서 원래의 데이터를 복원한다. 복원된 32비트 데이터 워드는 CRC 계산 회로(crc_check)에서 각각에 대해서 CRC 값을 계산하고 수신된 32비트 CRC 값과 비교하여 전체 데이터 워드에서 오류가 있는지를 점검한다. 오류 발생 유무는 외부 핀을 통해 결과를 출력한다.(goodcrc 핀) CRC 값을 계산하면서 동시에 수신된 32비트 데이터 워드는 수신 버퍼(rx buffer) 에 저장된다. 데이터를 쓰거나 읽는 동작에 관련된 제어 신호를 발생하는 제어 회로도 설계하였다^[5].

III. 직렬 ATA 칩 제작 및 테스트 결과

1. 칩 제작

설계된 직렬 ATA 의 특성을 검증하기 위하여 UMC (United Microelectronics Corporation) 사의 0.18 μ m CMOS 공정을 이용하여 칩으로 제작해서, 208 핀의 QFP로 조립하였다. 아날로그 특성을 검증하기 위하여 31 개의 핀을 할당하였고, 디지털 회로 특성 검증을 위하여 132개, 전원 공급 및 접지에 45 개의 핀을 배정하였다. 전원은 3.3V 와 1.8V를 사용하였는데, 3.3V 는 입/출력 패드 셀에 전원을 공급하는데 사용되고, 1.8V 는 내부 코어 전원에 사용되었다. 디지털 논리 블록에서 발생하는 잡음이 아날로그 특성에 영향을 미치는 것을 방지하기 위하여 아날로그와 디지털 전원을 분리하여 레이아웃 하였다. <그림 5>는 테스트 보드와 직렬 ATA 칩 사진을 나타낸다.

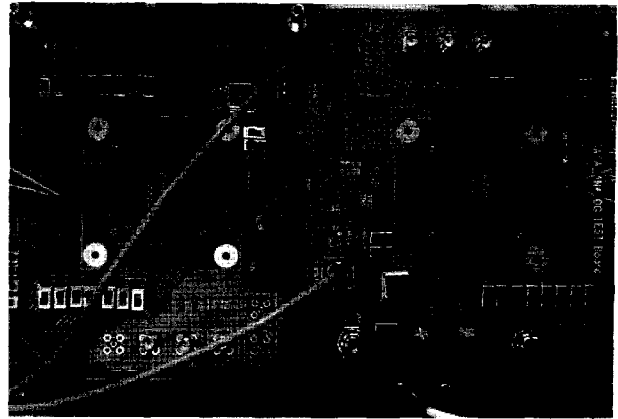


그림 5. 테스트 보드와 직렬 ATA 칩 사진
Fig. 5. Test Board and Serial ATA Chip photo.

표 1. 구현된 직렬 ATA 물리층 아날로그 특성 검토결과
Table 1. Electrical characteristics of Serial ATA Physical layer analog block.

항목	사양 규격			테스트결과		unit
	min	typ	max	sim	mea	
출력 상승 시간	0.2	0.3	0.4	0.2	0.38	UI
출력 하강 시간	0.2	0.3	0.4	0.2	0.43	UI
공통모드출력 직류전압	200	250	300	250	290	mV
TX출력전압	400	500	600	500	450	mVp-p
RX입력전압	325	400	600	325	400	mVp-p
드라이버 출력지터			0.33	-	0.15	UI
COMRESET 전송공간	310	320	329	320	320	ns
COMWAKE 전송공간	103	106	109	106	207	ns

2. 물리 층 성능 검증 결과

제작된 칩의 물리 층 특성은 대부분 사양에서 제시한 특성을 만족한 것으로 나타났지만, 데이터 전송 속도에 있어서 사양을 만족하지 못하였다. 직렬 ATA 1세대 사양에서는 1.5Gbps 속도로 직렬화하여 전송하도록 규정하고 있는데, 구현된 직렬 ATA 칩의 특성 검토 결과 1.28Gbps 의 속도까지 직렬화 및 전송이 가능한 것으로 확인하였다.

설계 시뮬레이션 결과와 실제 칩의 특성 차이는 레이아웃에서 배선의 기생 성분에 대한 고려를 하지 않은 것으로 분석되었다. PLL 블록에서 1.5GHz 의 클럭을 발생하여 관련 블록에 전달해 주어야 하는데, 1.28GHz 이상이 되면 다른 블록으로 클럭 전송을 하지 못하는 것

표 2. 물리층 디지털 로직 테스트 결과

Table 2. Results of Serial ATA Physical layer digital block.

항목	사양규격	sim	측정결과
OOB 전송	pass/fail	pass	pass
Idle 상태 생성	pass/fail	pass	pass
ALIGN 전송/감지	pass/fail	pass	pass
phyrdy	pass/fail	pass	pass
링크층에 송,수신	pass/fail	pass	pass

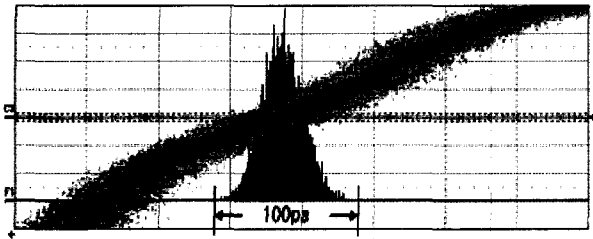


그림 6. 지터 특성 측정 결과
Fig. 6. Measured result of jitter characteristic.

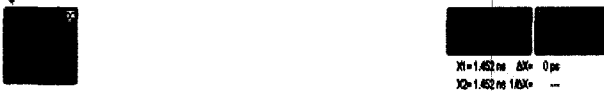
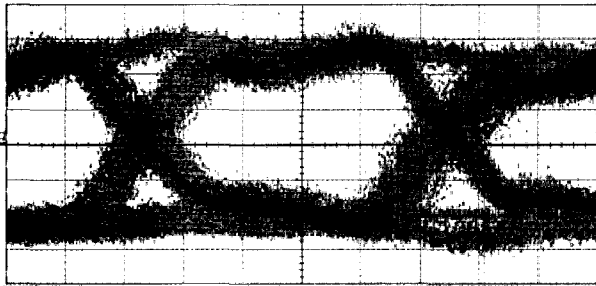


그림 7. 아이 패턴 측정 결과
Fig. 7. Measure result of eye diagram.

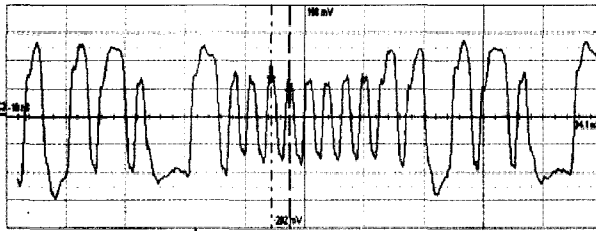


그림 8. ALIGN 프리미티브 출력 신호 파형
Fig. 8. Measure waveform of ALIGN output.

표 3. 링크층과 BIST 테스트 결과

Table 3. Results of link layer and BIST.

블럭	항목	사양/규격	측정결과
링크층	8b/10b부호/복호화	pass/fail	pass
	프리미티브생성/감지	pass/fail	pass
	CRC생성/확인	pass/fail	pass
	스크램블/디스크램블	pass/fail	pass
	송신버퍼 FIFO	pass/fail	pass
	수신버퍼 FIFO	pass/fail	pass
	링크 제어부	pass/fail	pass
BIST (non-compliant)	Low transition density bit pattern	pass/fail	pass
	High transition density bit pattern	pass/fail	pass
	Low freq. spectral content bit pattern	pass/fail	pass
	High freq. spectral content bit pattern	pass/fail	pass
	Simultaneous switching bit pattern	pass/fail	pass
BIST (compliant)	Low transition density bit pattern	pass/fail	pass
	High transition density bit pattern	pass/fail	pass
	Simultaneous switching bit pattern	pass/fail	pass

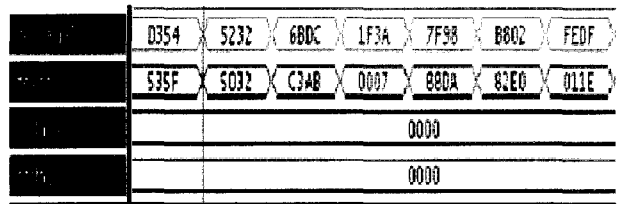


그림 9. 송신데이터에 대한 생성된 CRC 값
Fig. 9. Measured waveform of generated CRC on the transmitter.

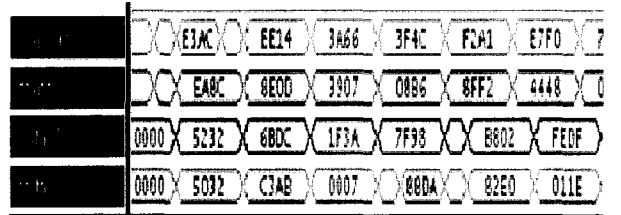


그림 10. 수신 데이터에 대한 CRC 계산 값
Fig. 10. Measured waveform of calculated CRC value on the receiver.

로 분석하였다. 하지만 물리층의 다른 항목은 대부분 사양을 만족하는 것으로 확인되었다. <표 1>과 <표 2>는 구현된 물리 층에 대한 특성 검토 결과이다.

테스트 결과 중 sim 은 회로 시뮬레이션 결과에 의한 값을 나타내고, mea 는 실제 칩에서의 측정 결과를 나타내며, 1UI 는 666.667ps를 나타낸다.

<그림 6>은 지터 특성을 계측기로 측정한 그림이다. 지터 특성은 출력 파형의 트리거 점으로부터 다섯 번째 상승모서리에서의 누적 분포를 측정하였다. 직렬 ATA 사양은 5번째 모서리에서 측정된 지터 특성이 0.15UI 와 0.33UI 사이에 분포할 것을 요구하고 있으므로 제작된 칩은 사양을 만족한다.

(1UI= 666.667ps 이므로 100ps= 0.15UI)

<그림 7>은 아이패턴을 측정한 그림으로 직렬 ATA 의 사양을 만족한다.

<그림 8>은 ALIGN 프리미티브가 출력단을 통하여 1.28Gbps 의 데이터 전송율로 출력되는 그림이다. 직렬 ATA 의 사양 1.5Gbps 에 만족하지 못하였다.

3. 링크 층 성능 검증 결과

링크 층의 칩 특성을 검토한 결과 링크 층에서 수행해야 하는 모든 특성을 만족한 것으로 검증되었다. <표 3>은 링크 층과 BIST 블록 특성을 검증한 결과를 정리한 것이다.

<그림 9>와 <그림 10>은 CRC 가 생성되고, 계산된 결과를 로직 어날라이저로 칩으로부터 실지 출력된 파형을 측정한 결과이다. <그림 9>는 송신측이 생성한 CRC 값이고, <그림 10>은 수신된 데이터에 대해서 CRC 값을 계산한 것으로 오류가 없는 경우 두 개의 값이 일치하는 것을 나타낸다.

IV. 결 론

PC 마더보드와 디스크와 같은 주변 저장 장치 사이에 1.5Gbps 의 데이터 전송율로 데이터를 전송하는 직렬 ATA 의 링크층과 물리층을 포함하는 칩을 제작하여 성능을 검증하였다. 링크 층의 8b/10b 부호화/복호화 회로, 프리미티브 생성/검파 회로, 스크램블/디스크램블 회로, 송,수신 FIFO, 링크 제어부를 포함한 링크 층을 구성하는 모든 블록은 사양을 만족하였다. 또한 내부에서 테스트 패턴을 생성하는 BIST 블록의 동작도 양호하여 테스트를 진행할 수 있었다. 물리층의 전기적 특성인 지터 특성, 아이 패턴, 공통 모드 출력 직류

전압, 송신단 출력 및 입력 전압 및 드라이버 출력 지터, OOB 신호 생성 및 아이들 상태 생성, ALIG 전송 및 검파, 링크층과 데이터 전송 등 대부분의 특성이 직렬 ATA 사양을 만족하였다. 그러나, 데이터 전송 속도는 사양이 요구하는 15.Gbps 대비 측정된 데이터는 1.28Gbps 로 사양을 완전히 만족하지는 못하였다. 칩 분석 결과 PLL 클럭 주파수가 1.28GHz 이상이 되면 배선 기생 효과가 커져서 클럭 신호의 감쇄가 발생된 것을 회로 시뮬레이션을 통하여 문제 점을 확인하였다. SPICE 시뮬레이션을 통하여 확인 및 회로 수정 항목을 도출하였고, 향후 직렬 ATA 의 사양을 만족하는 특성을 지닌 칩을 확보할 수 있을 것으로 예상된다.

참 고 문 헌

- [1] Bill Colson, "Serial ATA Evolutionary Transition", Intel Developer Update Magazine, August, 2000
- [2] Silicon Image, "Implementing STAT Technology", March, 2002
- [3] Serial ATA Spec. Revision 1.0.0.0 Serial ATA Workgroup group, November, 2000
- [4] Serial ATA II Connectivity Expansion through RSM Specification Revision 0.70, Serial ATA II Workgroup, August, 2002
- [5] A.X Widmer & P.A Franaszek, "A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code", IBM J.Res.Develop, VOL. 27, No.5, pp440-451, September, 1983

저 자 소 개



박 상 봉(정회원)
 1985년 2월 광운대학교
 전자재료공학과 졸업
 1987년 2월 고려대학교 전자공학
 석사
 1992년 2월 고려대학교 전자공학과
 공학 박사

1992년 3월~1999년 2월 삼성전자 선임연구원
 1999년 3월~현재 세명대학교 정보통신학과
 조교수
 2000년 2월~현재 옴니미디어(주) ASIC팀
 기술고문
 2000년 7월~현재 @lab(주) Digital 설계팀
 기술고문
 <주관심분야: Digital TV, Serial ATA>

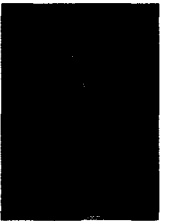
홍 성 혁(정회원)
 1994년 2월 인하대학교 전자재료공학과 학사
 1994년 ~ 2001년 삼성전자 책임연구원
 2001년 ~ 현재 @lab 수석연구원



박 노 경(정회원)
 1984년 2월 고려대학교
 전자공학과 졸업
 1986년 2월 고려대학교
 전자공학과 석사
 1990년 2월 고려대학교
 전자공학과 공학박사

1996년 3월 ~ 현재 (주)옴니미디어 기술고문
 1999년 3월 ~ 2000년 2월 OSU ECE 연구교수
 2000년 12월 ~ 현재 IDEC 호서대학교 책임교수
 1989년 4월 ~ 현재 호서대학교 전기정보통신
 공학부 교수

<주관심분야: HDTV, Image Processing Algorithm
 및 ASIC Design>



허 정 화(정회원)
 2001년 2월 세명대학교
 정보통신학과 졸업
 2003년 2월 세명대학교
 전산정보학과 석사
 2003년 3월~현재 세명대학교
 전산정보학과 박사과정

<주관심분야: ASIC 설계, 신호처리, Serial ATA>



신 영 호(정회원)
 1982년 2월 경북대학교
 전자공학과 졸업
 1984년 2월 경북대학교
 전자공학과 석사
 1983년 10월~2000년 12월
 삼성전자 수석개발팀장

2001년 1월~현재 @lab 연구소장
 2002년 3월~현재 세명대학교 겸임교수
 <주관심분야: Serial ATA, 아날로그 반도체 설계>