

논문 2004-41SD-7-4

PMOSFET에서 Hot Carrier Lifetime은 Hole injection에 의해 지배적이며, Nano-Scale CMOSFET에서의 NMOSFET에 비해 강화된 PMOSFET 열화 관찰

(PMOSFET Hot Carrier Lifetime Dominated by Hot Hole Injection and Enhanced PMOSFET Degradation than NMOSFET in Nano-Scale CMOSFET Technolog)

나 준 희*, 최 서 윤*, 김 용 구**, 이 희 덕**

(Jun-Hee Na, Seo-Yun Choi, Yong-Goo Kim, and Hi-Deok Lee)

요 약

본 논문에서는 Dual oxide를 갖는 Nano-scale CMOSFET에서 각 소자의 Hot carrier 특성을 분석하여 두 가지 중요한 결과를 나타내었다. 하나는 NMOSFET Thin/Thick인 경우 CHC stress 보다는 DAHC stress에 의한 소자 열화가 지배적이고, Hot electron이 중요하게 영향을 미치고 있는 반면에, PMOSFET에서는 특히 Hot hole에 의한 영향이 주로 나타나고 있다는 것이다. 다른 하나는, Thick MOSFET인 경우 여전히 NMOSFET의 수명이 PMOSFET의 수명에 비해 작지만, Thin MOSFET에서는 오히려 PMOSFET의 수명이 NMOSFET보다 작다는 것이다. 이러한 분석결과는 Charge pumping current 측정을 통해 간접적으로 확인하였다. 따라서 Nano-scale CMOSFET에서의 NMOSFET보다는 PMOSFET에 대한 Hot carrier lifetime 감소에 관심을 기울여야 하며, Hot hole에 대한 연구가 진행되어야 한다고 할 수 있다.

Abstract

Hot carrier degradation characteristics of Nano-scale CMOSFETs with dual gate oxide have been analyzed in depth. It is shown that, PMOSFET lifetime dominate the device lifetime than NMOSFET in Nano-scale CMOSFETs, that is, PMOSFET lifetime under CHC (Channel Hot Carrier) stress is much lower than NMOSFET lifetime under DAHC (Drain Avalanche Hot Carrier) stress. (In case of thin MOSFET, CHC stress showed severe degradation than DAHC for PMOSFET and DAHC than CHC for NMOSFET as well known.) Therefore, the interface trap generation due to enhanced hot hole injection will become a dominant degradation factor in upcoming Nano-scale CMOSFET technology. In case of PMOSFETs, CHC shows enhanced degradation than DAHC regardless of thin and thick PMOSFETs. However, what is important is that hot hole injection rather than hot electron injection play a important role in PMOSFET degradation i.e. threshold voltage increases and saturation drain current decreases due to the hot carrier stresses for both thin and thick PMOSFET. In case of thick MOSFET, the degradation by hot carrier is confirmed using charge pumping current method. Therefore, suppression of PMOSFET hot carrier degradation or hot hole injection is highly necessary to enhance overall device lifetime or circuit lifetime in Nano-scale CMOSFET technology

Keywords : Hot Carrier, Hole trapping, CHC, DAHC, Charge pumping.

* 학생회원, 충남대학교 정보통신공학부 (Dept. of Electrical and Computer Engineering, Chungnam National Univ.)

** 정회원, 충남대학교 전자공학과 (Dept. of Electronics Engineering, Chungnam National Univ.)

※ 본 연구는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자개발사업단 지원으로 수행되었음.

접수일자: 2004년3월23일, 수정완료일: 2004년6월15일

I. 서 론

고집적도를 추구하는 CMOSFET(Complementary Metal Oxide Semiconductor Field Effect Transistor) 기술은 지속적인 기술의 발전으로 인해 소자의 제조기술이 놀라운 속도로 발전하여, 소자의 크기를 나타내는 척도인 최소 게이트 길이(Minimum gate length)는 이미 100 nm 이하로 감소하였으며, 비록 초기 실험 단계이지만 10 nm의 게이트 길이를 갖는 소자가 보고되고 있을 정도이다^{[1][2]}.

이와 같은 게이트 길이의 감소로 양산 단계의 CMOSFET소자의 게이트 길이가 100 nm이하인 Nano-CMOSFET 시대가 이미 열리고 있다. 이처럼 매우 작아진 소자에 있어서 빠른 동작속도(High speed)와 고집적(High density)등의 성능도 중요하지만, 소자의 신뢰성(Reliability)도 매우 중요한 요소이며, Hot carrier 신뢰성은 소자의 수명을 결정짓는 매우 중요한 요소 중 하나이다^[3]. 그러므로 지금과 같이 매우 작아진 소자에 있어서 소자의 수명을 정확히 평가하고 이를 결정짓는 주요 mechanism을 파악하는 것이 매우 중요하다. 따라서 현재까지 CMOSFET 소자의 Hot carrier 발생 및 수명에 대한 연구가 많이 진행되었으며, NMOSFET인 경우에는 소자가 작아짐에 따라 DAHC(Drain Avalanche Hot Carrier)보다는 CHC(Channel Hot Carrier)가 더 중요하다는 연구가 보고 되는 것과 같이 Hot carrier 발생원인이 달라지는 현상 등이 나타나고 있다^{[4][5]}. 지금까지 Hot carrier에 대한 연구는 PMOSFET보다는 NMOSFET에 대해 집중되고 있는데, 이는 NMOSFET이나 PMOSFET 모두 Hot electron에 의한 소자 열화가 지배적이어서 NMOSFET인 경우에는 Hot carrier에 의해 문턱전압(Threshold voltage, V_{TEXT})이 증가하여 드레인 포화전압(Drain Saturation Current, I_{DSAT})이 감소하므로 회로 성능이 나빠지는 반면에 PMOSFET인 경우에는 Hot carrier에 의해 오히려 드레인 포화전압이 증가하여 회로 성능의 열화를 발생시키지 않기 때문이다. 그러나 PMOSFET인 경우에는 Hot hole에 의한 소자 열화가 보고 되기도 하므로 NMOSFET 및 PMOSFET 모두에 대한 정확한 Hot carrier 발생원인 및 수명에 대한 평가가 매우 중요하다^{[6][7]}.

또한 소자가 작아짐에 따라 소자의 동작전압이 낮아지고 있는데 반해, 외부 회로의 동작전압은 이전 세대의 전압을 그대로 유지하려는 경향 때문에 하나의 칩

(Chip)에 고속 동작을 위해 얇은 게이트 산화막(Gate Oxide)을 갖는 작은 Core MOSFET 소자 외에 칩 외부와의 연결을 위해 고전압에서 동작하도록 두꺼운 게이트 산화막을 갖는 I/O MOSFET 소자가 필요하게 되었다. 따라서 이제는 보통 한 칩 안에 두 개 이상의 게이트 산화막, 즉 Dual oxide 또는 Triple oxide가 존재하여 두 개 이상의 CMOSFET set이 존재하고 있으며, 각 CMOSFET에 따라 Hot carrier 발생원인 및 경로가 다를 수 있으므로 모든 CMOSFET에 대한 Hot carrier 수명 평가가 매우 중요하다고 할 수 있다. 특히 최근에는 NMOSFET인 경우에 I/O MOSFET은 DAHC가 지배적으로 작용하지만 Core MOSFET은 DAHC보다는 CHC가 더 지배적으로 작용한다는 연구 결과가 보고되기도 하였다^[8]. 그러므로 Nano-CMOSFET 시대이지만 I/O 소자까지 포함한 모든 CMOSFET에 대한 정확한 Hot carrier에 대한 발생 경로 및 과정(mechanism)을 분석하는 것이 필요하다.

본 논문에서는 게이트 길이가 각각 95 nm와 250 nm인 Core CMOSFET과 I/O CMOSFET 모두에 대해 Hot carrier 발생 과정을 분석하여 소자의 수명(Device Lifetime)이 어떤 mechanism에 의해 좌우되는지를 분석하였다. 특히 분석결과 PMOSFET인 경우 Core 및 I/O에서 모두 hot electron보다 hot hole trapping으로 인한 소자의 성능저하가 지배적임을 발견하였다. 또한, I/O MOSFET에서는 NMOSFET의 수명이 PMOSFET보다 작아서 NMOSFET이 소자의 수명을 결정하는데 비하여, Core MOSFET에서는 PMOSFET에서 발생하는 hot carrier에 의한 소자성능 저하가 NMOSFET보다 더 심하게 나타남을 처음 실험적으로 나타내었다. 따라서 앞으로 사용될 Nano-scale의 CMOSFET에서 hot hole trapping에 의한 열화를 바탕으로 한 소자 수명에 관한 연구가 매우 필요함을 나타내었다.

II. 실험 방법

일반적인 CMOSFET 소자의 단면과 Hot carrier 발생과정은 그림 1과 같이 도식적으로 나타낼 수 있다. 즉, NMOSFET인 경우를 예를 들어보면 소스(Source)에서 출발한 전자가 채널(Channel)을 지나는 동안 가속되면서 높은 에너지를 얻어 게이트 산화막을 넘어가는 경우가 발생할 수 있으며 이는 그림 1(a)와 같이 CHC(Channel Hot Carrier)로 나타내어진다. 또한 드레인과

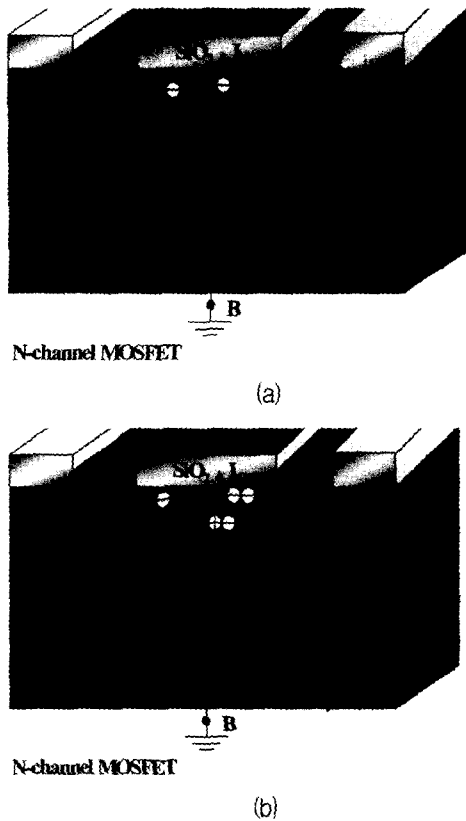


그림 1. 각 Stress 조건에 따른 Hot carrier 발생의 개략도. (a) CHC (Channel Hot carrier)와 (b) DAHC (Drain Avalanche Hot Carrier) 경우
 Fig 1. Hot carrier Mechanism of each stress condition, (a) CHC and (b) DAHC.

판(Substrate)사이의 공핍영역(Depletion region)에서 발생한 EHP(Electron-Hole Pair) 중 정공(Hole)은 기판으로 흘러가고 전자는 전계에 의해 가속되어 높은 에너지를 얻게 되는 경우에는 그림 1(b)와 같이 나타내며 DAHC (Drain Avalanche Hot Carrier)로 표현된다.

DAHC Stress는 특정한 드레인-소스(Drain-Source) 전압, V_{DS} 에서 기판 전류(Substrate current)가 최대, $I_{SUB,MAX}$ 로 되는 게이트-소스(Gate-Source) 전압, V_{GS} 를 가하는 Stress 조건이며($V_{GS}, V_{DS} @ I_{SUB,MAX}$), CHC stress는 드레인-소스 전압 및 게이트-소스 전압을 같게 하여 전압을 인가하는 Stress 조건($V_{DS}=V_{GS}$)으로 각각 그림 1의 (a) 및 (b)에 해당된다고 할 수 있다.

실험에 사용되는 CMOSFET은 20 Å 과 50 Å 을 갖는 Dual 산화막 공정을 갖는 0.13 μ m CMOSFET 기술을 이용하여 제작되었으며, 20 Å 을 갖는 Core MOSFET의 게이트 길이는 0.13 μ m이며 실제 투과전자 현미경(Transmission Electron Microscopy, TEM) 기준 물리

- STI (Shallow trench isolation) - depth 3500 Å
- Retrograde twin well
- Dual No gate oxide;
 - Thin oxide of 20 Å for 0.13 μ m MOSFETs
 - Thick oxide of 50 Å for 0.25 μ m MOSFETs
- LDD (Lightly Doped Drain) Ion Implantation
- Halo implantation;
- Oxide and nitride double sidewall;
- Source/Drain Ion Implantation
- Novel two-step Cobalt salicide (Co/Ti)

그림 2. 소자 제작을 위한 주요 공정
 Fig 2. Key process flow for fabrication of CMOSFET.

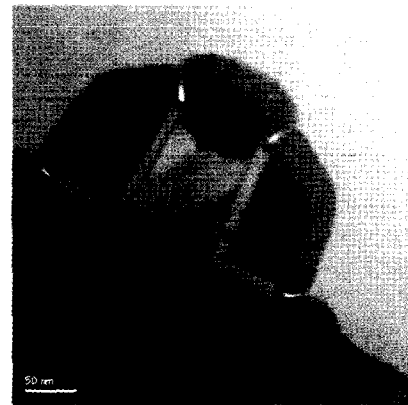


그림 3. 제작된 소자의 TEM 단면도. 물리적 게이트 길이(Physical gate length)가 약 95 nm 임을 확인할 수 있음
 Fig 3. TEM (Transmission Electron Microscopy) sectional view of the fabricated MOSFET. Physical gate length is about 95 nm.

적 게이트 길이(Physical gate length)는 약 95 nm이고, 50 Å 의 I/O MOSFET의 게이트 길이는 0.25 μ m이다. (이후부터는 편의상 0.13 μ m MOSFET의 경우 thin MOSFET, 0.25 μ m MOSFET의 경우 thick MOSFET이라 부르기로 하겠다.)

소자 제작에 사용된 0.13 μ m CMOSFET 기술의 주요 제조공정(process flow)은 그림 2와 같다. 주요 공정으로는 3500 Å 깊이의 STI(Shallow Trench Isolation)를 사용하였으며, Retrograde twin well, Dual Oxide, Two-step CoSi₂를 사용하였다.

제작된 MOSFET의 단면도는 그림 3과 같으며, 투과 전자 현미경(TEM)으로 측정된 단면을 살펴보면 물리적 게이트 길이가 약 95 nm 정도가 됨을 알 수 있다. 그림 4는 제작된 95 nm NMOSFET의 I_{DS} vs. V_{GS} 곡선

및 I_{DS} vs. V_{DS} 곡선으로 특성이 우수함을 알 수 있다.

Hot carrier stress에 따른 소자의 특성 열화를 판단하기 위한 요소(parameter)로는 우선 MOSFET 소자의 성능을 나타내는 주요 파라미터인 드레인 전류 (Drain Saturation Current, I_{DSAT})와 문턱전압 (Threshold Voltage, $V_{T,EXT}$)을 사용하였으며, 특성 변화는 Stress를 인가한 후 순방향모드(Forward mode)에서 성능저하 (Degradation)를 평가하였고, Hot carrier에 의한 소자의 성능저하를 평가하기 위한 소자의 수명은 각 stress 조건하에서의 드레인 전류 I_{DSAT} 와 문턱전압 $V_{T,EXT}$ 의 변화가 10%인 점을 기준으로 정의한 후, 동작전압 (Operating voltage) 에서의 소자의 수명(Device lifetime)은 역 드레인 전압의 곡선(lifetime versus $1/V_D$ curve)으로부터 추출하였다. 즉, 소자의 가속된 열화 (Degradation)를 위해 Stress 전압은 동작전압보다 다소 높게 인가하였다. DAHC 및 CHC Hot carrier stress에 따른 소자 특성의 변화 원인을 자세히 파악하기 위해 Hot carrier stress 전후에 전하 펌프 측정법(Charge

pumping method)을 이용하였다. 즉, 소자의 성능저하의 근본적인 원인이 되는 산화막내의 트랩 된 전하들과 산화막과 실리콘 경계면에 생성된 계면상태(interface states)를 분석하였으며, 100 ns의 상승시간(rise time)과 하강시간(fall time), 100 kHz의 주파수, 그리고 2.0V의 크기(amplitude)를 갖는 조건에서 측정되었다.

III. 실험 결과

Hot carrier 열화(degradation) 측정을 위해 본 논문에서는 앞에서 언급했듯이 Thin 및 Thick 각각의 NMOSFET과 PMOSFET 모두에 대해 DAHC(Drain Avalanche Hot Carrier)와 CHC(Channel Hot Carrier) stress를 인가하였다.

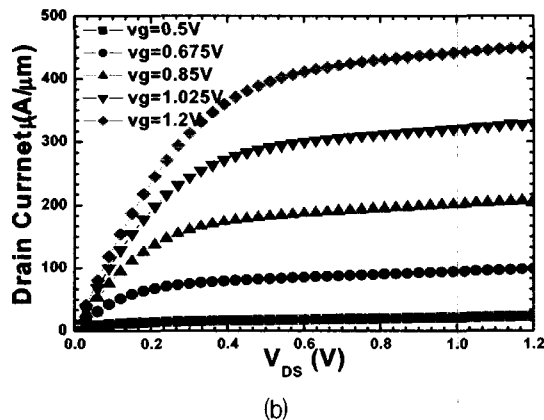
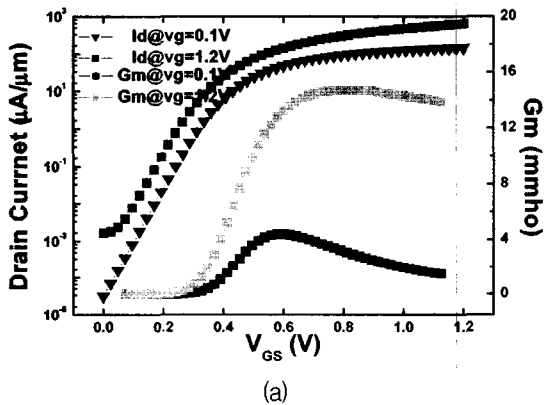
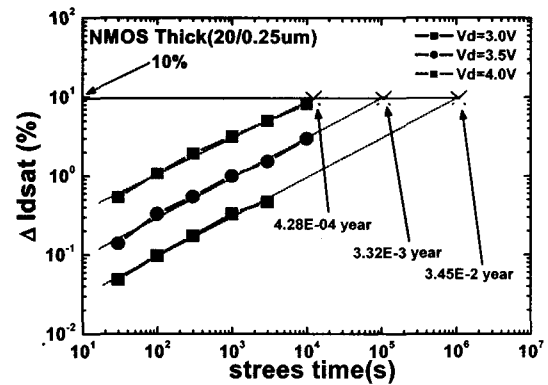
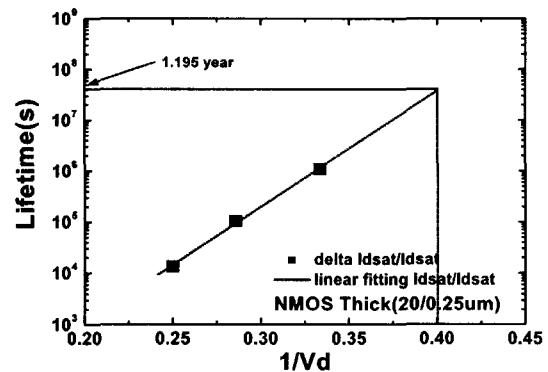


그림 4. 95 nm NMOSFET의 소자 특성. (a) I_{DS} - V_{GS} , (b) I_{DS} - V_{DS} 곡선

Fig. 4. Device characteristic of 95 nm NMOSFET. (a) I_{DS} - V_{GS} and (b) I_{DS} - V_{DS} curves.



(a)



(b)

그림 5. Thick NMOSFET의 DAHC Stress에 따른 특성 조건. (a) 드레인 전압에 따른 포화 드레인 전류 ($I_{D,SAT}$)의 열화. 그리고 (b) 소자 수명 추출곡선

Fig 5. Hot carrier lifetime extraction of Thick NMOSFET under DAHC stress condition. (a) Degradation of Saturation Drain Current $I_{D,SAT}$ and (b) Lifetime extraction.

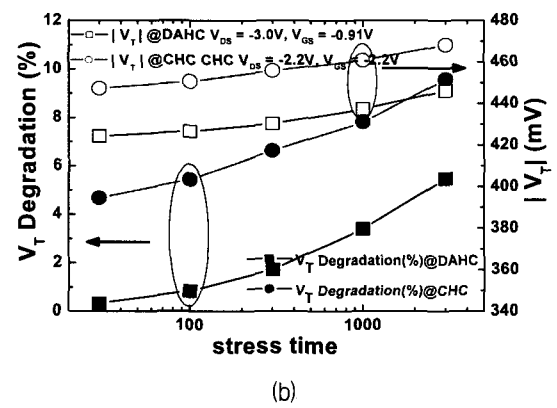
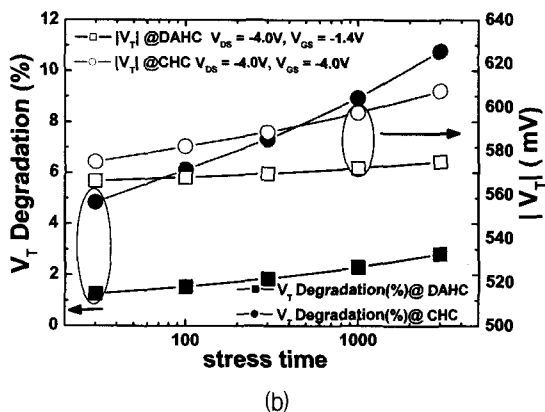
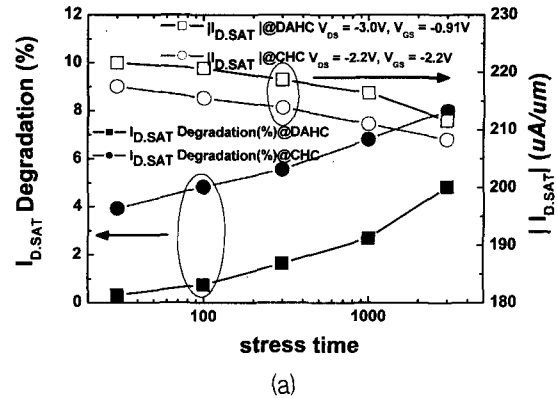
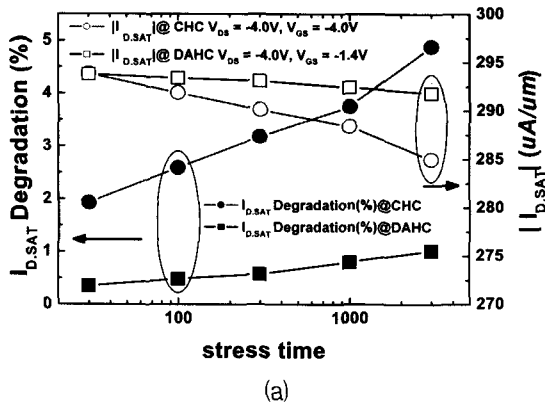


그림 6. DAHC와 CHC stress 조건에 따른 Thick PMOSFET Hot carrier 열화특성. (a) 포화 드레인 전류($I_{D,SAT}$)와 (b) 문턱전압($V_{T,EXT}$)특성. 드레인-소스 전압은(V_{DS}) CHC, DAHC stress 조건에서 모두 4.0 V

그림 7. DAHC와 CHC stress 조건에 따른 Thin PMOSFET Hot carrier 열화특성. (a) 포화 드레인 전류 ($I_{D,SAT}$) 와 (b) 문턱전압($V_{T,EXT}$)특성. 드레인-소스 전압(V_{DS})은 DAHC, CHC stress 조건에서 각각 3.0 과 2.2 V

Fig 6. Hot carrier degradation of Thick PMOSFET under DAHC and CHC stress conditions. (a) Saturation drain current, $I_{D,SAT}$ and (b) external threshold voltages, $V_{T,EXT}$. V_{DS} is 4.0 V for both CHC and DAHC stresses condition.

Fig 7. Hot carrier degradation of Thin PMOSFET under DAHC and CHC stress conditions. (a) $I_{D,SAT}$ and (b) $V_{T,EXT}$. V_{DS} is 3.0 and 2.2 V for DAHC and CHC stress condition respectively.

실험결과들 중에서 대표 격으로 Thick NMOSFET의 특성을 살펴보면 그림 5(b)와 같이 1.195년으로 평가되었으며, 이러한 방법으로 실험에서 고려된 모든 소자에 대해 DAHC, CHC Hot carrier 특성을 분석하였다.

그림 6와 그림 7는 Thick/Thin PMOSFET에서의 드레인 전류와 문턱전압의 변화를 시간에 대해 DAHC와 CHC stress조건에서 비교해 본 것이다. PMOSFET에서 상대적인 열화율을 나타낸 드레인 전류와 문턱전압의 열화는 잘 알려진 것과 같이 그림 6와 7처럼 CHC가 DAHC보다 더욱 지배적인 것을 볼 수 있었다. 그러나 여기서 주목할만한 사실은 어떤 Stress 조건이든 시간이 증가함에 따라 문턱전압의 절대값은 증가하고 드레인 전류의 절대값은 감소했다는 것이다. 이는 산화막과

채널(Channel)사이의 계면(Interface)에서 전자(electron) 보다는 정공(hole) trap에 의한 영향이 더욱 크다는 것을 의미한다. 이는 현재까지 다수의 논문에서 NMO SFET, PMOSFET 모두 전자(electron)의 trapping에 의한 영향이 지배적이라는 것에 반하는 결과라고 할 수 있다. 즉, PMOSFET은 NMOSFET과는 다르게 정공(hole)의 trapping에 의한 열화(degradation)가 지배적이고 이는 PMOSFET에서 stress조건에 관계없이 같은 경향을 보인다는 것을 확인할 수 있었다.

그림 8은 CHC와 DAHC 각각의 경우에 stress 전후에 드레인 전압에 대한 드레인 전류를 측정해본 것으로, Thin MOSFET 및 Thick MOSFET 모두 앞에서 언급했던 것과 같이 드레인 전류가 감소함을 나타내고 있다. 따라서 PMOSFET에서 정공(Hole)의 trap에 의한

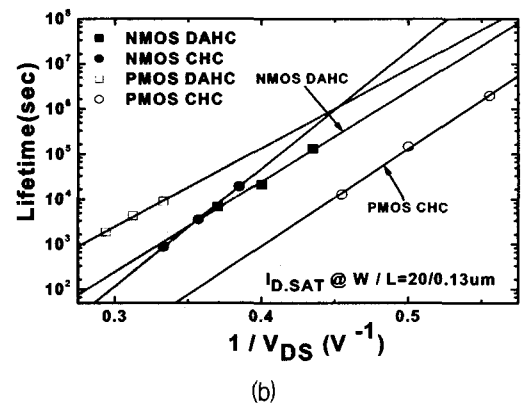
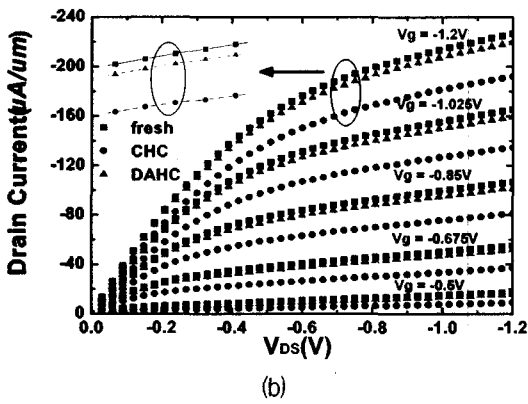
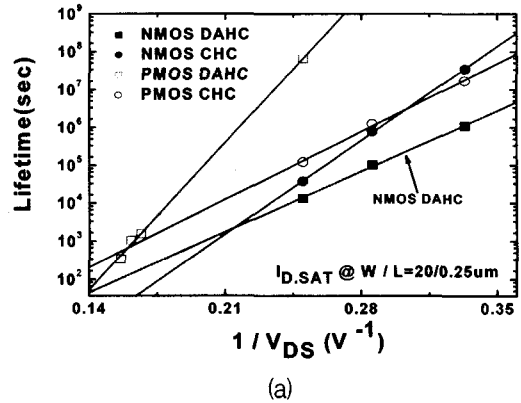
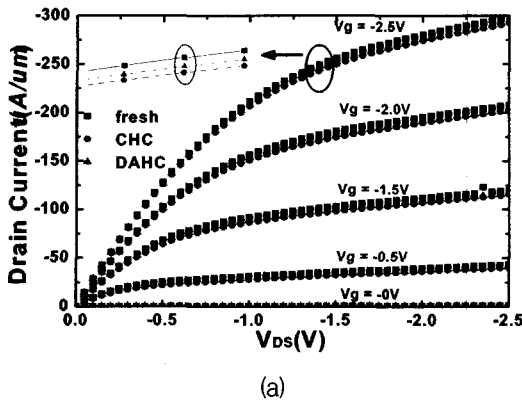


그림 8. Hot carrier stress에 의한 드레인 전류 감소 특성. (a) Thick PMOSFET 과 (b) Thin PMOSFET
Fig 8. Decrease of drain current by hot carrier stress (a) Thick PMOSFET and (b) Thin PMOSFET.

그림 9. Hot carrier 수명(lifetime versus 1/Vds) .(a) thick MOSFETs(250 nm)와 (b) thin MOSFETs(95 nm)
Fig 9. Hot-carrier lifetime versus 1/Vds for (a) thick MOSFETs(250 nm) and (b) thin MOSFETs(95 nm).

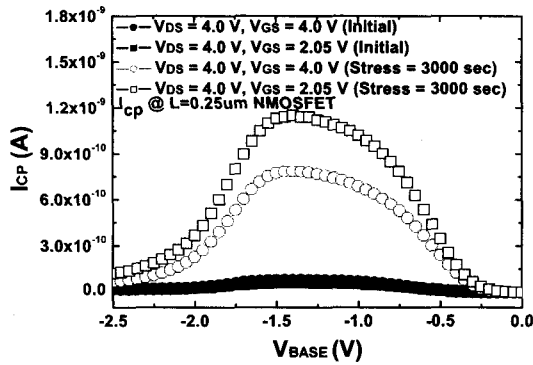
영향이 크다는 것을 확인할 수 있었다. 특히 stress를 가하지 않은 조건(fresh)과 비교한 것을 보면 Thin PMOSFET에서 이런 경향은 더욱 두드러진다는 것을 알 수 있다. 즉, 정공(hole)의 trapping에 의한 영향은 Nano-scale에서 영향이 더욱 커질 것이라는 것을 예상할 수 있다.

그림 9는 모든 MOSFET 소자의 Hot carrier 특성을 종합하여 나타낸 결과로서 매우 흥미로운 특성을 보여주고 있다.

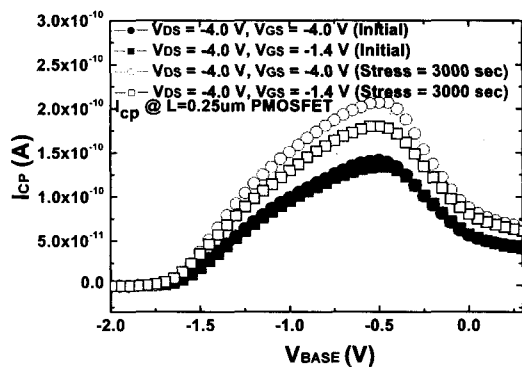
우선 그림 9(a)는 Thick MOSFET들의 특성을 나타내는데, NMOSFET인 경우에는 잘 알려져 있듯이 DAHC에 의한 열화가 CHC보다 매우 큼을 알 수 있으며 PMOSFET인 경우에는 반대로 CHC가 DAHC보다 훨씬 더 많은 영향을 끼치는 것을 알 수 있다. 또한 NMOSFET와 PMOSFET를 비교해 보면 NMOSFET DAHC인 경우의 수명이 PMOSFET CHC인 경우의 수명보다 매우 작음을 알 수 있다. 이는 지금까지 다른 논문에서 언급했던 결과와 같은 결과로써, 즉, NMOS

-FET이 PMOSFET에 비해 Hot carrier 영향에 더 지배적인 것을 알 수 있었다.

그러나 Thin(100 nm) MOSFET인 경우에는 그림 9(b)와 같이 Thick MOSFET와는 매우 다른 특성을 나타내어 또 한 가지 주목할만한 결과를 보여 주게 된다. 지금까지 CMOSFET 기술에서 Hot carrier 영향이라 하면 NMOSFET의 영향이 PMOSFET에 비해 상대적으로 매우 컸기 때문에 PMOSFET은 어느 정도 무시되는 경향이 있었다고 할 수 있었다. 하지만 그림 9(b)와 같은 이번 실험 결과를 볼 때 Nano-scale에서 PMOSFET CHC에 의한 Hot carrier 영향이 NMOSFET DAHC에 의한 영향 보다 큰 것을 관찰할 수 있었다. 즉, PMOSFET의 CHC에 의한 lifetime(약6.64E+4년)이 NMOSFET의 DAHC에 의한 Lifetime(약3.96E+5년) 보다 작은 특성을 나타내고 있다. 같은 NMOSFET에서는 DAHC가 CHC보다 수명이 작고 PMOSFET에서는 CHC가 DAHC보다 수명이 작은 특성은 Thick MOSFET과 같은 특성이지만, Thick MOSFET과 다른 점



(a)



(b)

그림 10. DAHC, CHC stress 인가 전후의 Charge pumping current, I_{cp} . 비교결과. (a) $0.25 \mu\text{m}$ NMOSFET 와 (b) $0.25 \mu\text{m}$ PMOSFET

Fig 10. Dependence of charge pumping current variation on the hot carrier stress condition (DAHC, CHC). (a) $0.25 \mu\text{m}$ NMOSFET and (b) $0.25 \mu\text{m}$ PMOSFET.

은 PMOSFET CHC 의 수명이 NMOSFET DAHC의 수명보다 작다는 것으로 이와 같은 연구결과는 아직 보고 된 적이 없다고 여겨진다. 이러한 측정 결과를 몇 차례 검증하였으나 계속 같은 결과가 나오는 것으로부터 그림 9의 결과는 매우 정확하다고 할 수 있다.

따라서 결론적으로 비록 NMOSFET 및 PMOSFET 의 수명은 Lifetime spec.인 10년 보다 크기는 하지만 Nano-scale의 CMOSFET에서는 일반적인 NMOSFET 의 Hot carrier 수명보다는 PMOSFET의 Hot carrier 수명이 소자 수명을 제한하는 요소가 된다고 할 수 있다. 그러므로 앞으로는 NMOSFET뿐만 아니라 PMOSFET Hot Carrier에 대한 많은 연구 및 실험도 필요하고 PMOSFET의 Hot carrier 수명을 개선시키기 위한 노력이 매우 필요하다고 여겨진다.

위와 같은 Hot carrier 열화 특성을 분석하기 위해 펌프 측정(Charge pumping) 방법을 이용하여 stress 전

후의 계면(Interface)을 분석하였다^{[9][10]}. 그림 10은 Thick NMOSFET 및 PMOSFET 각각에 대한 펌프 측정법의 전류측정 결과를 나타낸 것이다. 각 MOSFET 소자에 대한 가장 열악한 상태(worst case)를 비교해보면, NMOSFET의 경우는 그림 10(a)와 같이 DAHC ($I_{SUB,MAX}$)인 경우에 계면 trap 발생이 더 많이 되었고, PMOSFET의 경우는 그림 10(b)와 같이 CHC($V_{DS}=V_{GS}$)인 경우에 더 많이 발생했음을 실험을 통해 확인할 수 있었는데, 이는 그림 5 ~ 그림 9의 결과와 일치하는 특성을 나타낸다. 따라서 계면분석을 위해 사용한 펌프 측정법은 MOSFET의 Hot carrier에 의한 열화 특성을 잘 나타낸다고 할 수 있다.

따라서 비록 Thin 소자에서는 게이트 산화막의 두께가 얇기 때문에 Charge pumping current가 제대로 측정되지 않았지만 Thick소자의 검증으로부터 Thin 소자의 Hot carrier 측정도 제대로 되었음을 간접적으로 다시 한 번 확인할 수 있다고 할 수 있다.

IV. 결 론

본 논문에서는 Nano-Scale CMOSFET technology에서 게이트 길이가 100 nm 이내인 Core CMOSFET 및 외부 회로와의 연결을 위한 I/O CMOSFET 각각에 대해 DAHC 및 CHC 조건에 따른 Hot carrier 수명의 특성에 대하여 비교 분석하였다. 우선 PMOSFET 소자의 경우에는 일반적인 특성과 같이 CHC(Channel hot carrier) stress가 DAHC (Drain Avalanche Hot Carrier) stress보다 열화된 특성을 보였지만, 기존의 일반적인 연구 결과와는 달리 절대값을 비교하면 두 경우 모두 Stress 인가 후에 V_{TEXT} 가 증가하고, I_{DSAT} 이 감소하는 특성이 나타났다. 이러한 소자의 성능저하현상 (Hot carrier degradation)은 기존에 많은 연구들을 통해서 드러났던 hot carrier 메커니즘과는 달리 Hot hole에 의한 영향이 매우 큼을 나타내고 있다.

또한 실험에서 발견된 더욱 중요한 결과는 Nano-Scale CMOSFET에서는 Hot carrier에 의한 NMO SFET의 수명보다는 PMOSFET의 수명이 더 작다는 것이다. 즉, NMOSFET인 경우에는 CHC보다 DAHC에 의한 열화가 더 심하고 PMOSFET인 경우에는 DAHC보다 CHC에 의한 열화가 심하지만, 각 MOSFET에서 가장 열악한 경우를 비교해 보면 PMOSFET의 CHC에

의한 수명이 NMOSFET의 DAHC에 의한 수명보다 훨씬 작다는 것을 실험을 통해 확인하였다.

따라서 앞으로의 Nano-scale CMOSFET에서는 PMOSFET이 전체 수명을 좌우하게 되므로 NMO SFET 보다는 PMOSFET의 Hot carrier 수명 개선이 매우 필요하고, 상대적으로 Hot electron 이 아닌 Hot hole에 의한 PMOSFET 소자의 Hot carrier 현상을 억제하는 것이 회로 및 Chip의 신뢰성을 향상시키는데 매우 중요함을 알 수 있으며, PMOSFET 소자에서 Hot carrier에 의한 수명 감소에 대한 연구가 매우 필요하다고 할 수 있다.

참 고 문 헌

- [1] S.wolf, "Silicon Processing for the VLSI Era", LATTICE, pp.559-581, 1995.
- [2] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, K.W. Terrill, "Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and Improvement", IEEE Trans. on Electron Devices, vol. 32, pp.375-408, 1985.
- [3] S. L. Jang, M. C. Hu, "An Analytical Drain Current Model for Submicrometer and Deep Submicrometer MOSFET's", IEEE Trans. on Electron Devices, vol. 44, pp.1896-1902, 1997.
- [4] S. G. Lee, J. M. Hwang, H. D. Lee, "Experimental Evidence for Nonlucky Electron Model Effect in 0.15- μ m NMOSFETs", IEEE Trans. on Electron Devices, vol. 49, pp.1876-1881, 2002.
- [5] T. Tsuchiya, Y. Okazaki, M. Miyake, T. Kobayashi, "New Hot-carrier Degradation Mode and Lifetime Prediction Method in Quarter-Micrometer PMOSFET", IEEE Trans. on Electron Devices, vol. 39, pp.404-408, 1992.
- [6] Z. J. Yang, F. J. Guarin, S. E. Rauch III, "The interaction of hot electrons and hot holes on the degradation of P-channel metal oxide semiconductor field effect transistors", IEEE Conf. on Devices, Circuits and Systems, pp.D026-1 D026-3, 2002.
- [7] J. F. Chen, C. P. Tsao, T. -C. Ong, "Enhanced Hot-Carrier Induced Degradation in pMOSFETs Stressed Under High Gate Voltage", IEEE Electron Devices Lett., vol. 19, pp.230-233, 2003.
- [8] C. Lin, S. Biesemans, L. K. Han, K. Houlihan, T. Schiml, K. Schroefer, C. Wann, J. Chen, R. Mahnkopf, "Hot carrier Reliability for 0.13 μ m CMOS Technology with Dual Gate Oxide Thickness", IEEE Electron Devices Meeting, IEDM Technical Digest. International, pp.135-138, 2000.
- [9] Y. Liang, W. Zhao, M. Z. Xu, C. H. Tan, "A new charge-pumping measurement technique for lateral profiling of interface states and oxide charges in MOSFETs", Solid-State and Integrated-Circuit Technology, Proceedings. Conf., Vol. 2 pp.982-985, 2001.
- [10] Z. Chen, K. Hess, J. J. Lee, J. W. Lyding, E. Rosenbaum, I. Kizilyalli, S. Chetlur, "Mechanism for hot-carrier-induced interface trap generation in MOS transistors", IEEE Electron Devices Meeting, IEDM Technical Digest. International, pp.85-88, 1999.

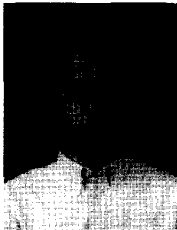
저 자 소 개



나 준 희(학생회원)
1999년 충남대학교 정보통신
공학부 학사과정 재학 중
<주관심분야 : 나노 CMOS 공정
및 소자>

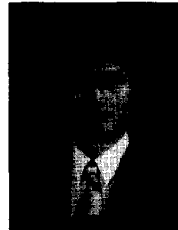


최 서 윤(학생회원)
2000년 충남대학교 정보통신
공학부 학사졸업.
2004년~현재 삼성전자 반도체총괄
메모리사업부 플래쉬개발팀
<주관심분야: 나노 CMOS 공정
및 소자>



김 용 구(정회원)
2002년 홍익대학교 전기공학과
학사졸업
2004년 충남대학교 전자공학과
석사졸업
2004년~현재 충남대학교 전자
공학과 박사과정 재학 중

<주관심분야: 나노 CMOS 공정 및 소자 >



이 희 덕(정회원)
1990년 한국과학기술원 전기 및
전자공학과 학사졸업
1992년 한국과학기술원 전기 및
전자공학과 석사졸업
1996년 한국과학기술원 전기 및
전자공학과 박사졸업

1993년~2001년 LG반도체 및 Hynix 반도체
책임연구원

2001년~현재 충남대학교 전자공학과 조교수

<주관심분야: 나노 소자 및 신뢰성, RF 소자
Modeling 및 RF회로설계 등>

