

논문 2004-41SD-7-1

Capacitance - Voltage 방법을 이용한 MOSFET의 유효 채널 길이 추출

(Accurate Extraction of the Effective Channel Length of MOSFET Using Capacitance Voltage Method)

김 용 구*, 지 희 환*, 한 인 식*, 박 성 형**, 이 희 덕**

(Yong-Goo Kim, Hee-Hwan Ji, In-Shik Han, Sung-Hyung Park, and Hi-Deok Lee)

요 약

나노 급 소자에서의 성능이 유효 채널 길이에 대하여 더욱 민감하게 되므로 정확한 유효 채널 길이의 추출이 중요하다. 본 논문에서는 100 nm 이하의 MOSFET에서 유효 채널 길이를 추출하기 위하여 새로운 정전용량-전압(Capacitance-Voltage) 방법을 제안 하였다. 제안한 방법에서는 게이트와 소스와 드레인 사이의 정전용량(C_{gsd})를 측정하여 유효 채널 길이를 추출하였다. 그리고 추출된 유효 채널 길이와 기존의 $1/\beta$ 과 Terada 방법 그리고 다른 정전용량-전압 방법의 추출된 유효 채널 길이의 결과들과 비교하여 본 논문에서 제안한 추출방법이 100 nm 이하 크기의 MOSFET의 유효 채널 길이를 추출함에 타당함을 증명 하였다.

Abstract

For MOSFET devices with nanometer range gate length, accurate extraction of effective gate length is highly important because transistor characteristics become very sensitive to effective channel length. In this paper, we propose a new approach to extract the effective channel length of nanometer range MOSFET by Capacitance Voltage(C-V) method. The effective channel length is extracted using gate to source/drain capacitance(C_{gsd}). It is shown that $1/\beta$ method, Terada method and other C-V method are inadequate to extract the accurate effective channel length. Therefore, the proposed method is highly effective for extraction of effective channel length of 100nm CMOSFETs.

Keywords: Effective Channel Length, Capacitance Voltage Method, sub 100nm CMOSFETs.

I. 서 론

MOS 제조 공정의 발달로 인하여 현재 MOSFET의 크기가 100 nm 이하로 줄어들고 있으며, 제작된 소자의 특성은 유효 채널 길이에 매우 의존 하므로 정확한 유효 채널 길이의 추출이 더욱 중요해지고 있다. MOS

FET의 게이트 길이는 제작 과정의 게이트 리소그래피 나 식각 전압에 크게 영향을 받으며, 소스와 드레인 (Source and Drain) 접합 사이의 순수한 길이인 유효 채널 길이(L_{eff})는 MOSFET 제작 공정 중 소스와 드레인 이온주입 후 열처리에 의해 소스와 드레인 접합의 측면 확산(lateral diffusion)으로 인하여 제작 되어진 게이트 길이(L_{poly} : Polysilicon Gate Length)에 겹치게 되는 길이(ΔL)만큼 줄어들게 된다. 그러므로 유효 채널 길이는 $L_{eff} = L_{poly} - \Delta L$ 로 정의된다. 정의 되어진 각 길이는 그림 1과 같이 나타내어 질 수 있다. 이러한 유효 채널 길이를 추출하기 위해 전류-전압(Current -Voltage) 방법^[1-5], 정전용량-전압(Capacitance-Voltage) 방법^[6-8] 등 현재까지 여러 가지 방법들이 제안되어 사용되고

* 학생회원, ** 정회원 충남대학교 전자공학과
(Dept. of Electronics Engineering, Chungnam National University)

*** 정회원, 하이닉스 반도체
(System IC PD Center, Hynix Semiconductor Inc.)

※ 본 연구는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자개발사업단 지원으로 수행되었음.

접수일자: 2003년8월5일, 수정완료일: 2004년6월15일

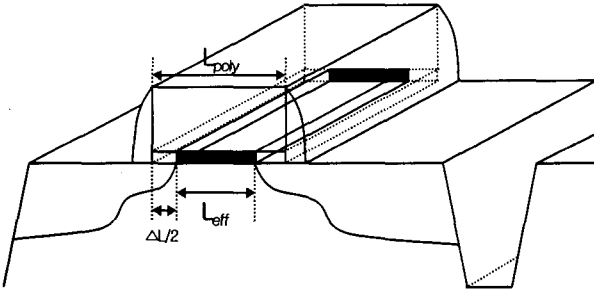


그림 1. MOSFET의 유효채널 길이 (L_{eff})와 겹치게 되는 길이(ΔL)를 나타내는 단면도
 Fig. 1. Schematic cross-sectional view of MOSFET with L_{eff} and ΔL .

있다. 그 중에 전류-전압(Current-Voltage) 방법을 사용하여 추출하는 방법들은 마이크로 영역의 MOSFET에서 나노 영역의 MOSFET으로 크기가 감소됨에 따라 순수한 채널 길이가 감소하여 유효 이동도(Effective Mobility)가 감소하게 되는데 이러한 이동도(Mobility)를 상수로 가정함으로써 추출된 유효 채널 길이가 서로 일치하지 않는 문제점을 가지고 있다. 이는 특히 $0.1\mu m$ 이하의 MOSFET에서 단 채널 효과(Short Channel Effect)를 억제하기 위해 도입되는 Halo(또는 Pocket) 구조의 경우 더욱 심화된다. 이러한 차이는 MOSFET의 채널 길이가 감소할수록 더욱 차이가 심하게 나타나게 되므로 정확한 유효 채널 길이의 추출이 더욱 어려워진다.

본 논문은 전류-전압(Current-Voltage) 특성을 사용하여 추출하는 방법이 이동도(Mobility)를 상수로 가정함에 있어서 정확한 유효 채널 길이의 추출이 어려우므로 이동도의 상수 가정이 필요하지 않는 MOSFET의 정전용량을 이용하여 기존의 제안된 정전용량-전압 방법이 아닌 개선된 방법으로 정확한 유효 채널 길이를 추출하고자 한다.

II. 게이트와 소스와 드레인의 정전용량 (C_{gsd}) 측정 및 유효 채널 길이 추출방법

유효 채널 길이를 추출하기 위한 측정 회로는 그림 2와 같다. 유효 채널 길이를 추출하기 위해 서로 다른 게이트 길이를 가지는 MOSFET의 문턱전압(V_{th} : Threshold Voltage) 직전의 영역에서의 정전용량 ($C_{gsd,vth}$)과 충분히 채널이 형성된 후의 게이트와 소스,드레인 사이의 정전용량 ($C_{gsd,inv}$)를 측정한다. $C_{gsd,vth}$ 는 서로 다른 게이트 길이에 대해서 동일한 $V_g - V_{th}$ 의 정전용량 값을 사용하여야 한다. C_{gsd} 를 측정하기 위해 HP4194A

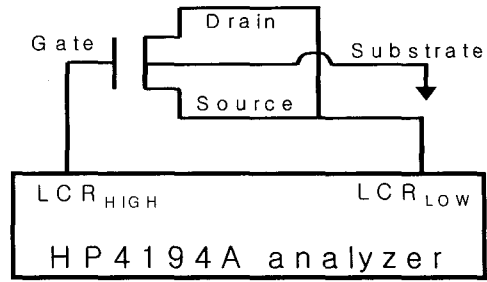


그림 2. C_{gsd} 를 측정하기 위한 측정 회로도
 Fig. 2. Experimental setup for measurement of C_{gsd} .

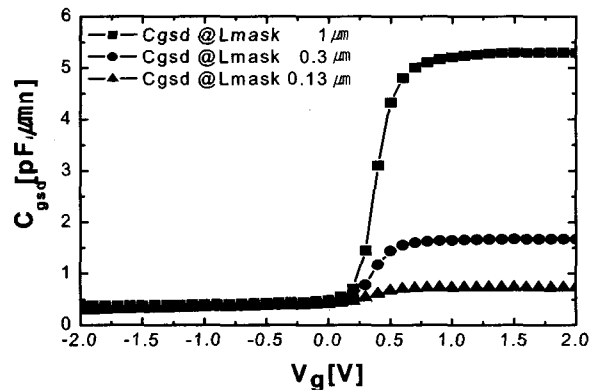


그림 3. 게이트 길이에 따른 MOSFET의 정전용량-전압 (Capacitance-Voltage) 특성
 Fig. 3. C-V characteristics of MOSFETs with gate length of $0.13\mu m$, $0.3\mu m$ and $1\mu m$.

alyzer 장비의 high 단자에 MOSFET의 게이트를 연결시키고 low 단자에 소스와 드레인 단자를 연결하고 MOSFET의 기판은 접지 시킨다. 측정된 전압 조건은 게이트에 DC 접압을 V_{min} ($-2V$)에서 V_{max} ($+2V$)까지 가하면서 300 KHz 주파수에 피크-피크(Peak-to-Peak) 전압을 50mV 인가하여 측정 한다. 그림 2의 회로를 이용하여 측정된 정전용량은 그림 3과 같다.

그림 3과 같이 측정된 정전용량을 이용하여 유효 채널 길이를 추출하는 방법은 다음과 같다. MOSFET의 V_{th} 직전의 영역에서 측정된 $C_{gsd,vth}$ 는 식 (1)과 같이 소스와 드레인에 의해 겹치게 되는 영역에서의 정전용량 : $2(C_{ov})$, 외부 정전용량(Extrinsic Capacitance) : $2(C_{of} + C_{top})$ 와 기생 정전용량(Parasitic Capacitance) : C_s 를 포함하게 된다. 각 정전용량 성분은 그림 4에 나타나 있다. 게이트 전압이 문턱전압을 지나면서 채널이 형성되며 채널이 충분히 형성된 후에 측정되는 정전용량, $C_{gsd,inv}$ 는 식 (2)와 같이 소스와 드레인에 의해 겹치게 되는 영역에서의 정전용량 : $2(C_{ov})$ 와 채널이 형성되면서 생성되는 순수한 채널 영역에서의 정전용량(Intrinsic Capacitance) : C_{int} 의 합과 외부 정전용량 $2(C_{of} +$

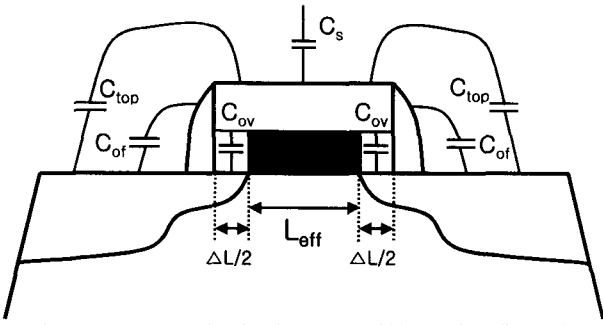


그림 4. MOSFET의 각 정전용량 성분을 나타낸 단면도
Fig. 4. Schematic cross-sectional view of MOSFET with capacitance component.

C_{top} 와 C_s 의 합으로 나타나게 된다. 여기서 C_{of} 는 게이트 측면에서 발생하는 정전용량(Sidewall Fringe Capacitance)를 의미하며, C_{top} 은 게이트 위쪽에서 소스와 드레인 영역으로 발생하는 정전용량이며 C_s 는 stray 정전용량으로 기생 정전용량이다. 그러므로 측정된 채널이 형성된 영역에서의 $C_{gsd.inv}$ 에서 채널이 형성되기 직전의 영역의 $C_{gsd.vth}$ 를 빼주게 되면 식 (3)과 같이 기생 정전용량 성분을 소거하고 순수한 채널 영역에서의 정전용량, C_{int} 성분만 남게 된다. 최종적으로 식 (4)와 같은 관계식에 의하여 순수한 채널 영역의 정전용량인 C_{int} 가 추출 된다.

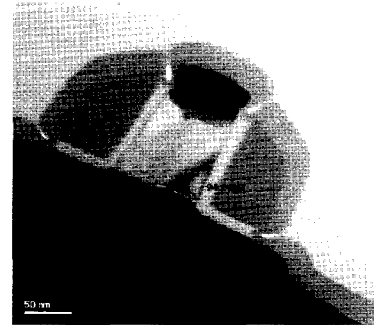
$$C_{gsd.vth} = 2(C_{ov} + C_{of} + C_{top}) + C_s \quad (1)$$

$$C_{gsd.inv} = C_{int} + 2(C_{ov} + C_{of} + C_{top}) + C_s \quad (2)$$

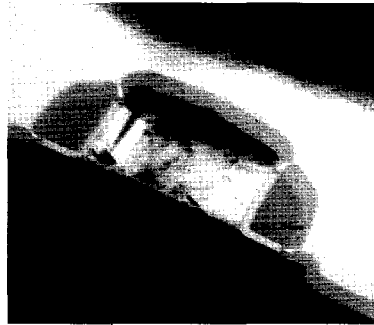
$$C_{gsd.inv} - C_{gsd.vth} = C_{int} \quad (3)$$

$$C_{inv} = \frac{\epsilon_{ox}}{t_{ox}} \cdot W \cdot L_{eff} \quad (4)$$

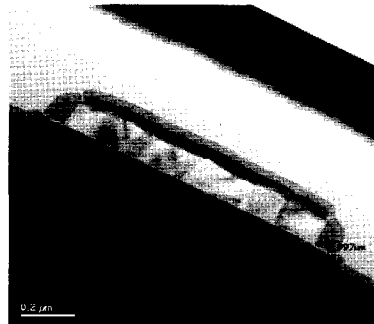
위 식을 통해서 구해진 C_{int} 를 이용하여 L_{eff} 를 추출하기 위해서 L_{poly} 가 서로 다른 MOSFET의 C_{int} 값을 이용한다. L_{poly} 에 따른 C_{int} 의 그래프에서 C_{int} 를 linear fitting하여 L_{poly} 가 0인 점에서 L_{eff} 가 0이 되므로 C_{int} 값이 0이 되는 점이 ΔL 이 된다. L_{poly} 에 따른 C_{int} 의 그래프에서 C_{int} 값은 최소한 3개 이상의 값이 필요하다. 이는 ΔL 을 찾기 위한 linear fitting시에 발생할 수 있는 오차를 줄이기 위함이다. 또한 마이크로 영역의 장 채널 MOSFET의 경우 게이트 길이에 대해서 ΔL 의 비중이 작기 때문에 공정상의 마스크 길이(L_{mask} : Mask Gate Length)를 이용하여 L_{eff} 를 추출하여도 추출된 결과의 오차가 작지만 나노 영역의 단 채널 MOSFET의 경우 ΔL 의 비중이 L_{poly} 의 30% 이상을 차지하게 되어



(a)



(b)



(c)

그림 5. 게이트 길이, L_{gate} 에 따른 XTEM 단면도
(a) $0.13\mu m$, (b) $0.3\mu m$, (c) $1\mu m$

Fig. 5. XTEM images of MOSFET with different a gate length, L_{gate} of (a) $0.13\mu m$, (b) $0.3\mu m$, (c) $1\mu m$.

L_{mask} 를 이용하여 추출된 L_{eff} 가 상당한 오차를 가지게 된다. 그러므로 L_{eff} 추출시 L_{mask} 가 아닌 실질적으로 형성되는 L_{poly} 값을 이용하여 추출하는 것이 더 정확한 L_{eff} 를 추출할 수 있다. 본 논문에서는 공정상의 마스크 길이 $0.13\mu m$, $0.3\mu m$ 그리고 $1\mu m$ 가 아닌 실질적으로 형성된 게이트의 정확한 길이를 알기 위해서 투과 전자 현미경(XTEM: Cross-Section Transmission Electron Microscopy) 이미지를 분석하였다. 분석 결과는 마스크 길이 $0.13\mu m$ 의 경우 $0.0946\mu m$, $0.3\mu m$ 은 $0.2615\mu m$ 그리고 마스크 길이 $1\mu m$ 로 진행된 소자의 경우 $0.997\mu m$ 의 게이트 길이로 만들어 지는 것을 확인하였다. 마스크 길이 $0.13\mu m$, $0.3\mu m$ 그리고 $1\mu m$ 으로 진행된 소자의 XTEM 분석결과는 그림 5 (a)~(c)와 같다

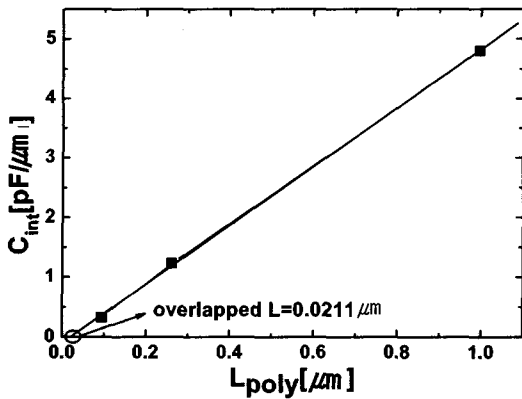


그림 6. C_{int} - L_{poly} 특성을 이용한 ΔL 추출 방법
 Fig. 6. Extraction of ΔL using Intrinsic gate capacitance, C_{int} versus gate length, L_{poly} .

따라서 XTEM 분석결과의 게이트 길이와 측정된 정전용량을 이용하여 L_{poly} - C_{int} 그래프에서 ΔL 를 추출할 수 있다. 추출된 ΔL 를 XTEM으로 분석된 L_{poly} 에서 빼주게 되면 L_{eff} 가 추출되게 된다. ΔL 를 추출하는 방법은 그림 6과 같다

III. 유효 채널 길이 추출 결과

본 논문에서, 추출된 L_{eff} 를 검증하기 위하여 소스와 드레인에 의해 ΔL 에 영향을 주는 공정, 즉 소스와 드레인 측면 확산 길이에 영향을 주는 공정 중에서 소스와 드레인 급속 열처리 (RTA: Rapid Thermal Anneal)와 단 채널 효과를 개선시키기 위해 도입된 halo(또는 pocket)조건을 split하였다. L_{eff} 의 추출에 사용된 MOSFET의 공정 흐름도는 그림 7과 같다. 여기서 두 가지의 split을 제외하고는 모두 동일한 공정으로 진행된 MOSFET이다. 이러한 공정 조건에 대하여 유효 채널 길이를 추출하고 추출된 결과에 대한 검증으로 4가지 다른 방법을 사용하여 추출 결과를 비교하였다. 우선 전류-전압 방식의 컨덕턴스를 이용하는 $1/\beta$ 방법^[2]과 저항을 이용하는 Terada 방법^[3]의 2가지와 정전용량 - 전압 방식에서는 위의 추출 방법에서도 언급한 바와 같이 L_{mask} 를 이용하는 방법^[6]과 L_{poly} 를 이용하는 방법에서의 추출된 소스와 드레인에 의한 ΔL 을 비교하였으며 게이트와 소스와 드레인/기판사이의 정전용량 (C_{mose})와 게이트와 소스와 드레인 사이의 정전용량 (C_{gsd})를 측정하여 유효 채널 길이를 추출하는 방법^[7,8]을 이용하여 추출된 L_{eff} 를 비교하여 본 논문에서 추출된 결과의 타당성을 검증하였다.

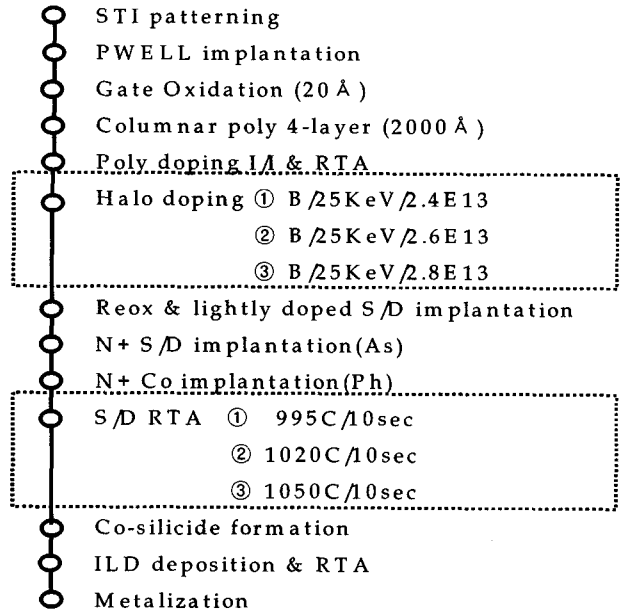


그림 7. 추출된 유효 채널 길이의 검증을 위한 MOSFET split 조건 및 CMOS 제작 공정 흐름도
 Fig. 7. Process Flow for fabrication of CMOSFET with process split for evaluation of proposed method.

본 논문에서 제시한 게이트와 소스와 드레인 사이의 정전용량(C_{gsd})를 이용하여 추출된 L_{eff} 는 공정 조건에 따라 다음과 같다. 첫째, 소스와 드레인 급속 열처리 온도에 따라 ΔL 이 $0.0211\mu m$, $0.0259\mu m$ 그리고 $0.0401\mu m$ 로 추출되었고 둘째, halo(또는 pocket) dose량에 따른 ΔL 은 $0.02538\mu m$, $0.02197\mu m$ 그리고 $0.01933\mu m$ 로 추출 된다. 이렇게 추출된 ΔL 을 XTEM으로 분석된 L_{poly} 에서 빼주게 되면 L_{eff} 가 추출된다. 추출된 L_{eff} 의 결과는 표 1과 같다. 추출된 L_{eff} 의 결과에서 공정 조건에 의해서 소스와 드레인 측면 확산의 효과를 분명히 알 수 있다. 반면에 본 논문에서 추출한 결과의 타당성을 검증하기 위해 기존의 방법을 이용하여 추출한 결과를 보면 우선 L_{mask} 를 이용하는 방법에서는 추출된 ΔL 의 값이 게이트 길이를 이용한 경우의 $0.0211\mu m$ 보다 훨씬 큰 $0.0639\mu m$ 로 추출되었다 (그림 8).

이는 XTEM으로 확인된 $0.0946\mu m$ 의 L_{poly} 에 70%를 차지하는 크기이며 이 정도의 ΔL 값을 가지게 되면 장 채널의 드레인과 소스 사이의 파괴 전압(BV_{dss} : Drain to Source Breakdown Voltage)보다 Breakdown Voltage가 현저히 낮아져야 한다. 하지만 BV_{dss} 측정결과(그림 9)에서는 BV_{dss} 가 현저히 낮아지는 단 채널 효과가 발생되지 않았다. 그러므로 마스크 길이를 이용하여 추출된 결과는 추출된 ΔL 이 상당한 오차를 가짐을 확인할 수 있다.

표 1. 측정된 C_{gsd} 를 이용한 L_{eff} 추출 결과
Table 1. Extraction results for measured C_{gsd} .

공정 조건		$L_{mask} = 0.13\mu m$	$L_{mask} = 0.3\mu m$	$L_{mask} = 1\mu m$
S/D RTA 온도	995°C/10sec	0.0735	0.2404	0.9759
	1020°C/10sec	0.0687	0.2356	0.9711
	1050°C/10sec	0.0545	0.2214	0.9569
halo dose량	B/25KeV/2.4E13	0.0693	0.2362	0.9717
	B/25KeV/2.6E13	0.0726	0.2369	0.975
	B/25KeV/2.8E13	0.0753	0.2422	0.9777

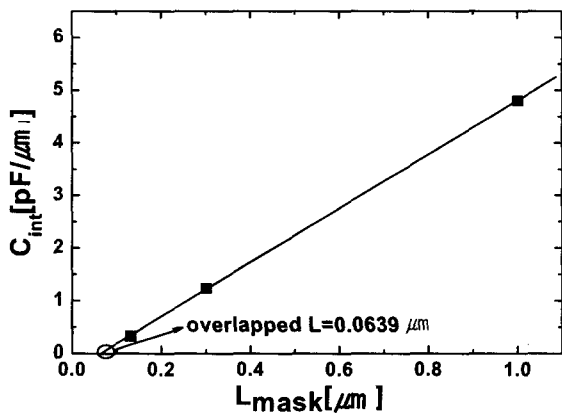


그림 8. $L_{mask}-C_{int}$ 를 이용한 ΔL 추출 방법
Fig. 8. Extraction of ΔL using Intrinsic gate capacitance, C_{int} versus mask gate length, L_{mask} .

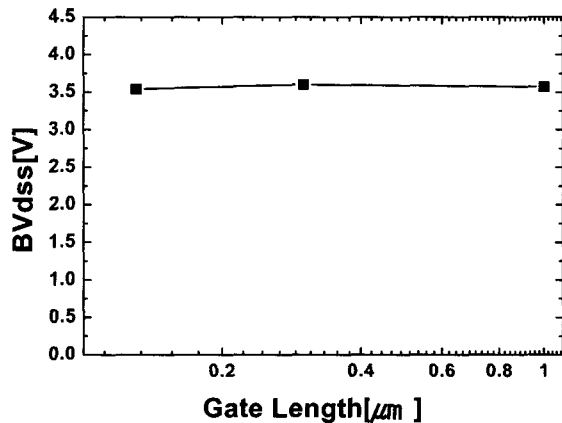


그림 9. 게이트 길이 0.13 μm , 0.3 μm , 1 μm 에 따른 드레인/소스 사이의 파괴 전압, BV_{dss} 특성
Fig. 9. BV_{dss} characteristics of MOSFET device with a gate length of 0.13 μm , 0.3 μm , 1 μm .

또한 전류-전압 방식의 2가지 방법의 경우에는 ΔL 값이 추출하고자 하는 MOSFET의 L_{poly} 의 크기와 거의 비슷하거나 더 크게 추출되므로 L_{eff} 값이 거의 0이거나 음수의 값으로 추출되는 결과(그림 10과 그림 11)를 보였다. 그리고 정전용량-전압 방식의 MOSFET의

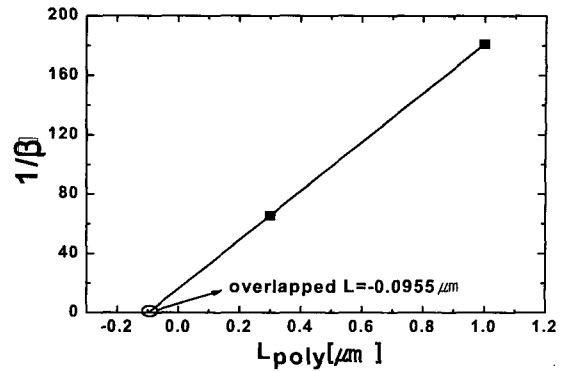


그림 10. $1/\beta$ 방법을 이용한 ΔL 추출 방법
Fig. 10. Extraction of ΔL using $1/\beta$ Method.

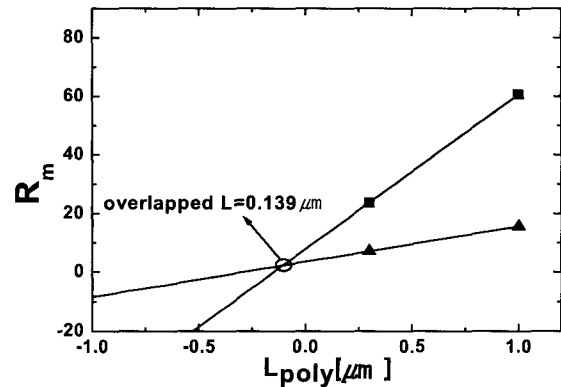


그림 11. Terada 방법을 이용한 ΔL 추출 방법
Fig. 11. Extraction of ΔL using Terada Method.

전체 정전용량(C_{mosc} : MOSFET Capacitance)를 이용하여 추출된 결과는 본 논문에서의 결과와 비슷하였지만 소스와 드레인 측면 확산 길이에 영향을 주는(즉 소스와 드레인에 의한 ΔL 에 영향) 공정 조건에 따라서 추출된 결과가 공정 조건에 따라 영향을 받지 않는 즉, 경향성이 없는 결과를 나타내었다.

IV. 결론

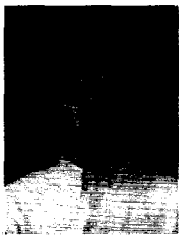
본 논문에서는 게이트와 소스와 드레인 사이의 정전용량(C_{gsd})를 이용하여 서로 다른 게이트 길이를 가지는 MOSFET의 순수한 채널 정전용량(C_{int})의 $L_{poly}-C_{int}$ 그래프로부터 소스와 드레인에 의한 ΔL 을 추출함으로써 $L_{poly}-\Delta L=L_{eff}$ 의 관계로 L_{eff} 를 추출하였다. 그리고 추출된 L_{eff} 에 대한 검증을 위하여 MOSFET의 크기가 감소함에 따라 ΔL 이 게이트 길이에 대한 비중이 증가되므로 정확한 L_{eff} 를 추출하기 위하여 XTEM으로 실질적인 게이트 길이를 확인 후 L_{eff} 를 추출하여 기존의 마스크 길이를 이용하는 방법에 비해 매우 정확함을 나타냈다.

또한 소스와 드레인 측면 확산 길이에 영향을 주는 공정 조건을 split하여 전류-전압 방식의 2가지 방법과 다른 정전용량-전압 방법을 이용하여 추출된 결과를 비교함으로써 본 논문에서 제시한 방법이 다른 추출 방법과는 달리 MOSFET 제조 공정에서의 소스와 드레인 측면 확산 즉, 공정 조건에 따른 L_{eff} 에 대한 경향성을 확실하게 보임을 확인하였다. 그러므로 본 논문에서 제시한 방법이 나노 크기의 MOSFET의 유효 채널 길이를 추출하기에 적합한 방법이라 할 수 있다.

참고 문헌

- [1] K. L. Peng, S.-Y. Oh and M. A. Afromowitz, "Basic Parameter Measurement and Channel Broadening Effect in the Submicrometer MOSFET", IEEE EDL, Vol. 5, No. 11, pp. 473-, 1984.
- [2] Kwok K. Ng and John R. Brews, "Measuring the Effective Channel Length of MOSFETs", IEEE Circuit and Devices, pp. 33-, 1990.
- [3] K. Terada and H. Muta, "A New Method to Determine Effective MOSFET Channel Length", JJAP, Vol. 18 No. 5, pp. 953-, 1979.
- [4] J. Whitfield, "A Modification on An Improved Method to Determine MOSFET Channel Length", IEEE, EDL, Vol. 6, p. 109-, 1985.
- [5] Yuan Taur, "MOSFET Channel Length: Extraction and Interpretation", IEEE, TED, Vol. 47, pp.160-, 2000.
- [6] B. J. Sheu and P. K. Ko, "A Capacitance Method to Determine Channel Lengths for Conventional and LDD MOSFET's", IEEE EDL, Vol. 5, pp. 491-, 1984.
- [7] M. M. Lau, C. Y. T. Chiang, Y. T. Yelow and Z. Q. Yao, "Measurement of V_T and L_{eff} Using MOSFET Gate-Substrate Capacitance", IEEE ICMTS, Vol 12, pp. 152-, 1999.
- [8] M. M. Lau, C. Y. T. Chiang, Y. T. Yelow and Z. Q. Yao, "A New Method of Threshold Voltage Extraction via MOSFET Gate-Substrate Capacitance Measurement", IEEE, TED, Vol. 48, pp. 1742-, 2001.

저자 소개



김용구(학생회원)
2002년 홍익대학교 전기공학과 학사.
2004년 충남대학교 전자공학과 석사.
2004년~현재 충남대학교 전자공학과 박사 과정.
<주관심분야: 나노 CMOS 공정 및 소자>



지희환(학생회원)
1995년 충남대학교 전자공학과 학사.
1998년 충남대학교 전자공학과 석사.
2003년 충남대학교 전자공학과 박사수료.
<주관심분야: 나노 CMOS 소자

및 공정>



한인식(학생회원)
2003년 여수대학교 반도체물리학과 학사.
2003년~현재 충남대학교 전자공학과 석사 과정.
<주관심분야: 나노 CMOS 소자 신뢰성 평가>



박성형(정회원)
1995년 건국대학교 물리학과 학사.
2004년 충남대학교 전자공학과 석사.
1995년~현재 LG반도체 및 Hynix반도체 선임연구원.
<주관심분야: 나노 소자 및 신뢰성, Analog 소자

Modeling>



이희덕(정회원)
1990년 한국과학기술원 전기 및 전자공학과 학사.
1992년 한국과학기술원 전기 및 전자공학과 석사.
1996년 한국과학기술원 전기 및 전자공학과 박사.

1993년 ~ 2001년 2월 LG반도체 및 Hynix반도체 책임연구원.

2001년 ~ 현재 충남대학교 전자공학과 조교수.
<주관심분야: 나노 소자 및 신뢰성, RF 소자 Modeling 및 RF회로설계 등>