

On Board Computer Design, Analysis and Test for KOMPSAT2

曹永鎬* · 沈在先**
(Young-Ho Cho · Jae-Sun Shim)

Abstract - In this paper, we describe the structure, function and the design factor of common module for KOMPSAT-2 OBC, which will be launched in 2005. By analysing OBC's performance, we can know the throughput and how much improve performance than KOMPSAT-1. it is used in the satellite mission design by system engineer. We verify the usefulness of common module for KOMPSAT-2 OBC through environment test.

Key Words : KOMPSAT2(다목적 실용위성 2호), OBC(On Board Computer, 탑재컴퓨터), Throughput(처리량)

1. 서 론

우주개발 초기 단계인 1950년대 말과 1960년대에는 대부분의 위성이 이를 발사할 수 있는 발사체 능력과 위성능력 한계로 소형위성으로 제한되었으나, 이후 발사체의 발사 능력 증가 및 위성기술의 발전과 함께 위성의 규모도 점차적으로 증가하였다. 또한 통신 산업이 발달함에 따라 상용위성에 대한 요구가 커지면서 국내에서도 독자적인 위성 개발을 위해 필요한 핵심 기술에 대한 연구의 필요성이 제기되고 있다. 특히 임무가 복잡하고 다양해짐에 따라 이를 처리해야 하는 작업이 복잡해져서 탑재컴퓨터의 기능이 더욱 고성능화 할 필요성이 증대되고 있다. 이러한 위성용 탑재 컴퓨터에 대한 개발 기술은 고 신뢰도의 위성 개발을 위해 반드시 필요한 요소 기술로서 위성 개발 선진국들 내에서도 기술 이전을 기피하고 있는 첨단 선도 기술이다[1-4].

국내에서의 위성용 탑재 컴퓨터 개발은 1989년 영국 Surrey 대학과 공동으로 개발한 우리별 1호에서부터 시작되었다. 이 컴퓨터는 80C186 CPU를 사용한 것으로 우리별 2호 기에도 동일하게 적용되었다. 우리별 2호기 개발 과정에서 부 컴퓨터로서 80C960 RISC(Reduced Instruction Set Computer) CPU를 사용한 탑재컴퓨터가 KAIST에서 개발되었으며, 우주에서의 운영결과에 따라 우리별 3호의 주 컴퓨터로 사용되었다[1]. 우리별 1호 및 2호에서 채택한 컴퓨터의 동작 구조는 주 컴퓨터가 동일한 구성품 내에 내장된 형태로서 DASH(Data Sharing Network) 버스에 의해 외부 연결된 Stand-alone SBC(Single Board Computer) 구조를 채용하고 있다. 3호기 역시 동일한 처리 구조를 유지하고 있으며 위성

체에 대한 동작 제어는 OBDH(On-Board Data Handling) 서브시스템에 의해 제어되도록 되어있다. 3호기의 경우 DASH 버스를 좀 더 확장한 지능형 NC(Node Controller) 개념을 도입하여 모든 제어 소프트웨어는 OBDH에서 수행되도록 하고 있으며, 해당 서브시스템 하드웨어에 대한 제어는 해당 NC에서 하드웨어에 의해 처리되도록 하고 있다. 즉 중앙 집중식 처리 및 분산 IO 처리 전송이 NC에 의해 하드웨어로 처리되도록 설계되어 있다. 이러한 구조는 예산 등이 제한된 시험용 위성에서 많이 사용되는 형태로 새로운 하드웨어를 추가할 경우 전용의 NC를 추가 설계하여야 함으로 실용화 위성에서 사용하기에는 다소 어려움이 있다. 국내의 통신용 위성 무궁화 1, 2호의 경우 1980년대 초에 개발된 것을 재사용한 관계로 탑재컴퓨터라 불릴수 있는 부분이 거의 없이 대부분의 위성 운영이 하드웨어 회로에 의해 동작되었다. 무궁화 3호의 경우 비록 국내 개발 부분이 없으나 향후 국내 위성용 컴퓨터 개발을 위한 기초가 될 것으로 보인다[2-5].

실용화 모델로서 본격적인 개발이 이루어진 것은 KOMPSAT1에서 이루어졌다. KOMPSAT1에는 3개의 독립된 프로세서 모듈이 구성되어 있으며 각 모듈은 동일한 프로세서로 구성되어 있다. 각 모듈은 별도의 I/O 보드를 다수 내장하고 있으며 1553B 데이터 버스를 이용하여 통신하고 있다. 이러한 구조를 통하여 분산 처리 및 분산 I/O가 가능하며 다양한 기능을 손쉽게 추가할 수 있다는 장점이 있다.

본 논문에서는 위성용 탑재 컴퓨터 개발을 위해 다목적 실용위성 개발을 통해 해외에서 습득한 기술을 바탕으로 16비트 80C186 CPU를 사용한 기능형 개발 모델을 개발하였는데 이를 바탕으로 좀더 성능이 개선된 32비트 80386 CPU를 사용한 개량형 모델을 설계 방법을 제시하였다. 제시된 모델은 1호기의 프로세서 모듈의 내부 버스의 호환성을 갖도록 설계함으로 설계과정에 신뢰성을 확보하였다. 그리고 탑재 컴퓨터 성능을 분석함으로써 1호기 비하여 향상한 정도와 처리량을 언급함으로써 앞으로 시스템 설계자가 위성의 미션을 설계할 수 있도록 한다.

* 正 會 員 : 韓國航空宇宙産業(주) 우주개발연구센터
先任研究員 · 工博

** 正 會 員 : 삼척大學 電氣工學科 教授 · 工博
接受日字 : 2004年 4月 1日
最終完了 : 2004年 6月 14日

2. KOMPSAT2 본체의 전기적 구조

인공위성은 임무수행 기능을 담당하는 탑재체(payload)와 이를 지원하는 본체(bus)로 크게 분류가 된다. 본 절에서는 KOMPSAT2의 본체 설계 개념과 구성하고 있는 서브시스템들을 살펴보고자 한다. KOMPSAT2의 본체의 데이터버스 구조는 이중으로 구성되며 주(primary) 데이터 버스의 오류 발생에 대하여도 잉여(redundancy) 데이터 버스가 정상적으로 작동함으로써 전체 위성체의 성능에 전혀 영향을 끼치지 않게 설계하였다. 이러한 이중적인 구조는 위성체를 구성하는 다른 대부분의 부분품에 대하여도 동일하게 적용된다. 즉, 주 유닛과 동일한 잉여 유닛을 별도로 가짐으로써 주 유닛의 오류를 잉여 유닛으로 보상한다. 이때 적용되는 잉여 유닛은 박스 단위에서 완전히 동일하거나 내부적으로 이중적 설계를 하거나 혹은 다수의 유닛을 사용하는 경우 부가적으로 하나의 유닛을 더 배치함으로써 오류 방지를 구현한다. 주 구성품과 잉여 구성품은 서로 십자형으로 연결된다[6].

KOMPSAT2 본체의 구조는 기능에 따라 3개의 서브시스템으로 보는데 그림 1은 기능별로 위성 본체의 블럭으로 표현한 것이다. 첫 번째로 TC&R는 전송할 위성의 여러 가지 정보 데이터를 모으고 처리하며, 수신기로부터 받은 명령 데이터를 처리하는 송신(downlink) 및 수신(uplink) 기능을 갖는다. 명령은 위성을 유지하고 운영하는데 필요하며, 적절한 명령들을 전달하기 위해서는 위성의 위치와 상태에 대한 정보가 필요하다.

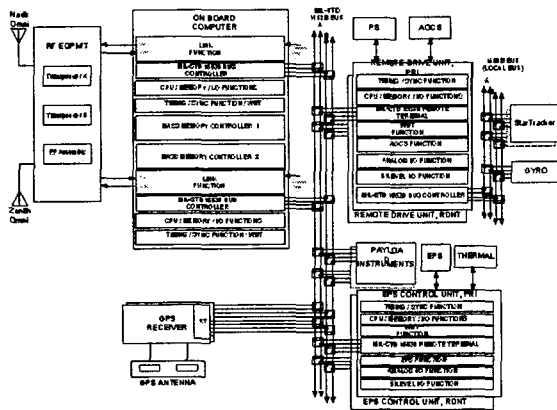


그림 1. KOMPSAT2 본체 구조
Fig. 1. Structure of KOMPSAT2 bus

이 서브시스템에는 OBC(On-Board Computer)가 탑재되어 있으며 위성체의 핵심 프로세서로서의 역할을 담당한다. 두 번째로 궤도에서 자세 및 궤도에 영향을 미치는 교란 요소에 대해 임무수행 중 원하는 방향으로 위성체를 지향시키며 안정화시키는 자세 및 궤도 제어계를 담당하는 RDU(Remote Drive Unit) 프로세서가 있다. 마지막으로 ECU (EPS Control Unit)가 있다. 위성체의 수명과 직접적으로 연관된 전력 공급 및 분배를 제어하는 ECU를 전력계 제어용으로 구성한다. 위성체의 작동 온도를 제어하는 전력계 제어는 ECU의 부분에 포함시킨다. 서브시스템 별로 프로세서를 따로 할당함으로써 모듈화된 설계 및 조립, 시험을 가능하게 구성하였다. 모든 프로세서의 핵심 부분은 동일하게 설계되어 있

고 각 기능에 따라 IO부분만 다르게 설계 하였다. 그러므로 3장에서는 이러한 컴퓨터의 I/O를 제외한 주요 보드에 대한 설계 방향을 기술하였다.

3. KOMPSAT2 탑재 컴퓨터 주요 보드 설계

위성 프로그램 자체는 고장 수리가 불가능하다는 것으로 인해 가능하면 오랜 시간 동안 다양한 시험을 거쳐 완벽하게 동작하도록 해야 함으로 동일한 임무 수행을 위해서 상용 개발 프로그램보다는 수백 배 이상의 비용이 소요된다. 그러므로 일단 개발된 하드웨어 모듈은 가능한 최소한의 변경만으로 재사용하도록 함으로서 재개발 및 설계 변경으로 인한 시험 비용을 줄여야한다. KOMPSAT2에 사용되는 프로세서는 1호기 CPU(186)의 상속성(heritage)을 충분히 활용할 수 있도록 같은 계열의 후속 모델인 80386으로 CPU를 선정하였다. 그러므로 하드웨어에 의한 신뢰성뿐 아니라 소프트웨어 의한 설계 변경이 적으므로 그 신뢰성 및 경제적 효과를 높도록 하였다.

탑재컴퓨터의 구조는 담당하는 임무에 따라 그 I/O 보드는 변화지만 핵심 보드 4장과 인터페이스 구조는 같은 구조를 가지므로 그림 2와 같이 설계하였다. 보드별 기능을 분할하고 보드간의 인터페이스는 ISA 버스 구조를 갖게하였다.

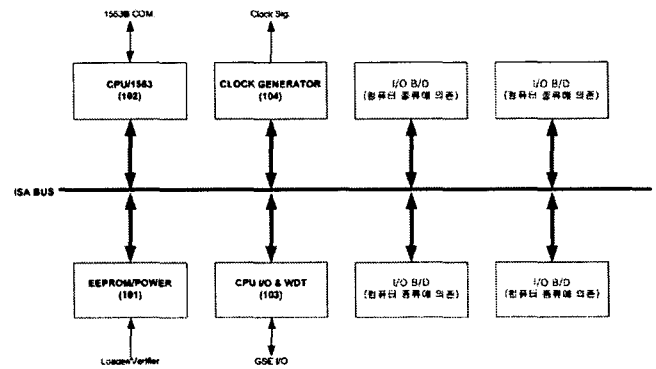


그림 2 탑재컴퓨터 구조
Fig. 2 OBC structure

각 보드들이 가져야 하는 기능을 살펴보면 EEPROM/Power 보드에는 비행 소프트웨어가 저장되어 있으며, 탑재 컴퓨터의 전원 투입 상태가 되면 비행 소프트웨어가 RAM으로 전송되어 미션을 수행하게 된다. 보드의 주요 기능 및 특징은 다음과 같다.

- 실행 프로그램 및 데이터 저장을 위한 512K 바이트 EEPROM(실장용량 : 384KB)
- 16 비트 데이터 버스와의 인터페이스를 위한 192K 워드 배열
- 소프트웨어 탑재 및 수정 보완과 제작 보드의 입증을 위한 인터페이스 회로
- 어드레스 버스로부터 메모리 접근을 위한 디코더 회로
- +5V, ±15V 입력전원의 In-rush current 제한을 위

한 필터 회로 제공

CPU/1553 보드는 EDAC(Error Detection And Correction) 기능을 갖는 512 K 바이트의 SRAM이 있다. SRAM 영역에는 탑재체 및 본체의 여러 모듈들과의 인터페이스를 위한 MIL-STD-1553B 버스 데이터를 위한 공유영역(128KB)을 갖도록 설계하였다. 탑재컴퓨터는 비행 소프트웨어를 통한 타이밍 동작을 위하여 타이머0(1125Hz), 타이머1(100Hz) 두개의 PIT(Programmable Interval Timer) 기능을 제공하며, 내장된 PIC(Programmable Interrupt Controller)를 이용하여 정의된 16개의 인터럽트 제어를 수행하게 된다. 이 보드의 주요 특징은 다음과 같다.

- 80386 마이크로프로세서 : 12 MHz, 16 비트 데이터 버스,
- 듀얼 MIL-STD-1553B 인터페이스
- 에러 검사 및 보정(EDAC) 기능이 부가된 512K 바이트 RAM
- 16레벨의 소프트웨어 프로그래밍 및 하드웨어 인터럽트 처리

CPU I/O & WDT 보드에는 탑재컴퓨터에 고장이 발생할 때를 대비하기 위하여 자체 전원을 사용하고 있는 WDT(Watch Dog Timer)기능을 내장하고 있어서 고장상태를 항상 감시할 수 있도록 하였으며, 또한 외부 잉여 구조를 채택하여 한쪽의 탑재컴퓨터에 고장이 발생할 시에는 자동적으로 혹은 지상에서 강제적으로 다른 쪽 탑재 컴퓨터를 사용할 수 있도록 하였다. 보드의 주요 특징은 다음과 같다.

- EGSE와의 데이터 송수신을 위한 RS-232/ RS-422 인터페이스(19200 Baud)
- EGSE 인터페이스 기능은 지상 시험 과정에서만 가능
- GPS 1 Hz 동기 클럭 수신
- ECU 전원인가 시 리셋 신호 발생
- WDT(Watch Dog Timer) Reset 기능

Clock Generator 보드에는 탑재 컴퓨터의 시간 서비스를 위한 클럭 생성기능, 시간동기기능을 수행할 수 있다. 클럭 생성으로는 14.985MHz 및 24MHz의 오실레이터를 분주하여 탑재컴퓨터에 사용되는 모든 클럭을 생성하며, FEP가 내장된 DPLL을 이용하여 GPS 1Hz와 탑재컴퓨터 내부에서 생성되는 1Hz의 동기를 맞추게 된다. 보드의 주요 특징은 다음과 같다.

- ECU에 필요한 각종 클럭 발생
: 405, 230.5, 202.5, 1.125, 1.0(KHz), 100.0, 10.0, 4.0, 1.0(Hz)
- GPS 1Hz 기준 주파수에 동기 된 클럭 발생
- 온도 보상 오실레이터 회로(14.985MHz)

위의 기능을 갖고 또한 본 논문에는 제시되지 않은 I/O 기능을 담당하기 위하여 전체 탑재 컴퓨터 어드레스 및 메모리 맵은 표 1과 같이 설계하였다.

표 1. 메모리 구조 및 I/O 맵

Table 1. Memory structure and I/O Map

| ADDRESS (HEX) | I/O | ADDRESS (HEX) | MEMORY |
|---------------|-------------------------------------|---------------|--|
| 00000 H | UART 1 GSE Interface | 00000 H | RAM 512K BYTES |
| 01000 H | UART 2 Spare | | |
| 02000 H | MASS MEMORY CONTROL | | |
| 03000 H | MASS MEMORY CONTROL | | |
| 04000 H | INTERRUPT CONTROLLER | | |
| 05000 H | PIT CONTROL | 60000 H | 128K BYTES "SHARED RAM" FOR 1553 |
| 06000 H | EDAC & DPLL (FEP) | | |
| 07000 H | MIL-STD-1553B BCRT CNTRL | | |
| 08000 H | WDT | 80000 H | MASS MEMORY |
| 09000 H | | | |
| 0A000 H | ANALOG INPUT-ECU | 90000 H | Unused |
| 0B000 H | BILEVEL I/O - ECU x-ponder - OBC | A0000 H | EEPROM 384K BYTES |
| 0C000 H | Spare | | |
| 0D000 H | EPS SERIAL I/F - ECU | | |
| 0E000 H | Spare | | |
| 0F000 H | Spare | | |
| 0FF00 H | | | |

그림 3은 실제 제작된 보드 사진이다.

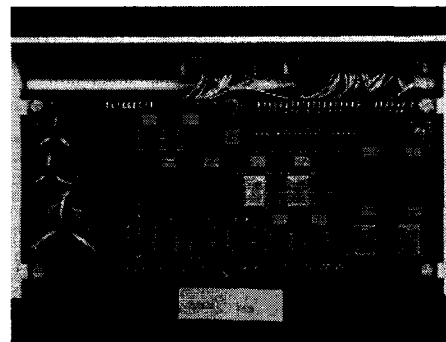


그림 3 EEPROM/Power 보드
Fig. 3 EEPROM/Power Board

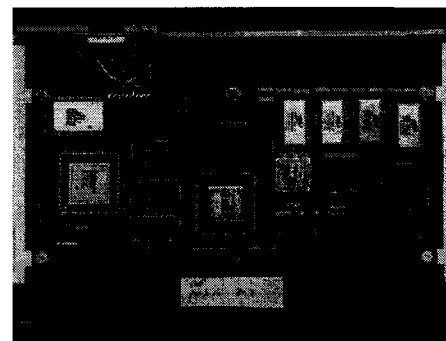


그림 4 CPU/1553 보드
Fig. 4 CPU/1553 보드

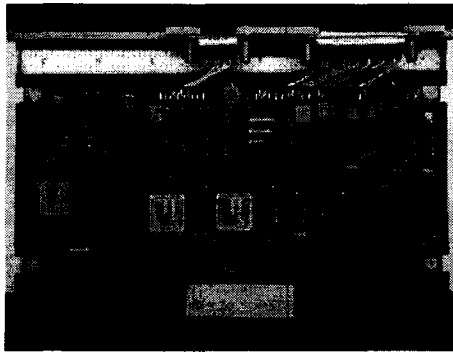


그림 5 CPU I/O & WDT 보드
Fig. 5 CPU I/O & WDT Board

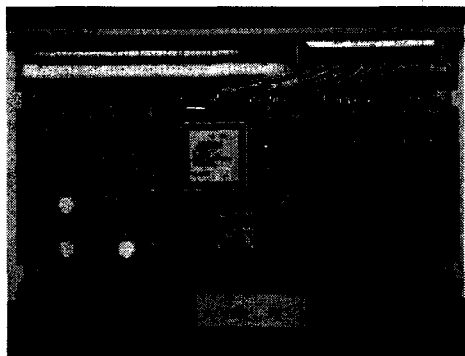


그림 6 Clock Generator 보드
Fig. 6 Clock Generator Board

4. 성능 분석 및 환경시험

4.1 프로세서 성능 분석

본 절에서는 KOMPSAT2 탑재 컴퓨터에 사용되는 80386 CPU의 성능이 1호기보다 향상된 정도를 살펴보고 또한 탑재컴퓨터의 처리량(throughput)를 분석하였다. KOMPSAT2 탑재 컴퓨터 성능을 알아보기 위하여 수행한 시험결과를 표 2에 보였다. 비교대상인 CPU는 KOMPSAT1에 사용되었던 80186 CPU이며 벤치마크 소프트웨어로는 Integer 성능비교를 위해서는 Queen, Logic 성능비교는 Dhrystone 그리고 Floating Point 성능 비교를 위해서 Clinpack 소프트웨어를 사용하였다.

표 2. 프로세서 성능 비교

Table 2. Comparison of processor performances

| Benchmarking Software | KOMPSAT1 (80186-12) | KOMPSAT2 (80386-12) | Remark |
|-----------------------|---------------------|---------------------|----------------|
| Queen | 2.0540(1.00) | 1.1860(1.732) | Integer |
| Dhrystone | 2.7040(1.00) | 1.5880(1.703) | Logic |
| Clinpack | 6.3300(1.00) | 4.0460(1.565) | Floating Point |
| Total | 11.0880(1.00) | 6.8200(1.625) | |

표의 숫자는 해당 소프트웨어의 평균 실행 시간이며 괄호 안의 숫자는 80C186 CPU의 성능을 1로 가정했을 때, 상대적인 성능을 나타낸 것으로 KOMPSAT2에 사용되는 CPU 80386-12 KOMPSAT1에 사용된 CPU보다 약 1.625배의 성능향상이 있다는 것을 알 수 있다.

하드웨어의 처리량은 소프트웨어 명령어를 수행하는데 걸리는 실제의 하드웨어 시간을 계산하기 위한 것이다. 그러므로 비행 소프트웨어 계산 시에는 고려되지 않은 태스크(task)들을 예상하여 실제 명령어를 수행하는데 걸리는 최대 시간을 구할 수 있으므로 소프트웨어 설계자가 전체 시스템을 설계하는데 중요한 정보가 될 것이다. 탑재컴퓨터의 프로세서는 기본 버스 사이클은 2 사이클이다. 각각의 인터페이스 사이클은 다음과 같다[9].

CPU to SRAM Access

2 wait cycle added

Instruction Time : 0.33us (83.3ns×4clocks)

CPU to SDRAM Access

9 wait cycle added

Instruction Time : 0.92us (83.3ns×11clocks)

CPU to IO Access

6 wait cycle added

Instruction Time : 0.67us (83.3ns×8clocks)

1553B Controller to SRAM Access

2 wait cycle added

Instruction Time : 3126us (83.3ns×4clocks×9471 words)

하드웨어에 의한 인터럽트 역시 처리량에 영향을 미치는데 그러한 인터럽트들은 다음과 같다.

1553 Controller retry interrupt

Maximum 30 interrupts per second

1Hz/4Hz/10Hz 인터럽트

15 interrupts per second

PIT Controller Retry 인터럽트

30 interrupts per second max.

S/W 인터럽트

100 interrupts per max. (가정)

위 사항들을 계산하면 전체 인터럽트 수는 175개의 인터럽트가 발생한다. 부가적으로 하드웨어 입장에서는 인터럽트는 일종의 소프트웨어에 의한 서브루틴의 호출과 리턴으로 간주되므로 총 93 clock[]이 소요된다. 그러므로

$$93\text{clock}/\text{interrupt} \times 175\text{interrupt} \times 83.3\text{ns}/\text{clock}$$

따라서 인터럽트에 의한 CPU 지연 시간은 약 1356us 이다. 결론적으로 모든 요소를 고려한 총 하드웨어로 인한 지연 시간은 약 4.5ms이므로 비행 소프트웨어는 매 1초마다 약 995ms의 시간을 사용할 수 있으며 이에 맞게 소프트웨어를 구성해야 할 것이다.

4.2 환경시험

위성은 발사체에 실려 우주로 나가며 정해진 궤도에서 원하는 임무를 수행하게 된다. 이러한 일련에 과정동안 실제 탑재컴퓨터에 가해지는 환경을 견딜 수 있도록 설계가 되었는지 검증이 필요가 요구된다. 그러므로 설계된 탑재컴퓨터의 유용성을 검증하기 위하여 발사할 때 발생하는 진동시험과 우주환경인 진공과 열 변환을 모사한 열진공 시험을 수행하였다.

진동시험은 발사 시 발생하는 환경으로서 위성에서 실제 탑재 컴퓨터에 가해지는 최악(worst case)의 환경은 표 3과 같이 주어지며 X, Y, Z 축에 따라 3회를 실시하였다[7].

표 3. 랜덤 진동 시험 수준

Table 3. Random vibration test level

| Frequency(Hz) | Acceleration PSD(G ² /Hz) |
|---------------|--------------------------------------|
| 20 | 0.026 |
| 50 | 0.160 |
| 800 | 0.160 |
| 2000 | 0.026 |
| Overall | Grms |
| | 14.1 |
| Duration | Min(s)/axis |
| | 1m |

궤도 685[Km]의 우주환경과 비슷한 진공과 이때 변화는 열 주기를 모사에서 테스트를 수행하였다. 압력은 1.33 x mbar (1.0 x Torr)이고 온도는 -25~55°C로 하여 8 사이클을 그림 7과 같은 주기로 각 시점마다 프로세서의 기능을 시험하였다.

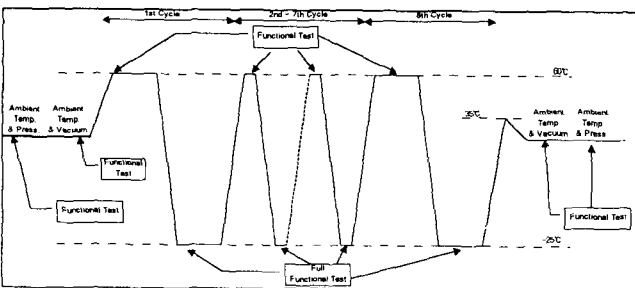


그림 7 열진공 주기
Fig. 7 Thermal vacuum profile

위와 같은 환경 조건을 주고 표 4와 같은 프로세서가 갖는 기본 동작들을 실제 시험하였는데 정상 동작하였다.

표 4 프로세서 기능 시험 주요 항목

Table 4 Processor function test main items

| 보드 | 기능 시험 항목 | 방법 |
|------------------|-------------|---|
| EEPROM 보드 | ROM | 전영어를 0x5555, 0xFFFF, 0xAAAA 데이터를 쓰고 읽음. |
| | 필터 기능 | 모든 전압은 5[ms] 안에 안정상태가 되어야하고 5[V]는 최대 서지 전류가 2.5[A] 이내, +15[V]와 -15[V]는 각각 1.75[A], 3.10[A]의 최대 서지 전류를 가져야 함 |
| CPU 보드 | RAM | 코드가 있는 세그먼트은 제외한 영역을 0x5555, 0xFFFF, 0xAAAA 데이터를 쓰고 읽음. |
| | 1553 통신 기능 | 상용 카드는 BC모드, 탑재 컴퓨터는 RT 모드로 하여 통신 확인 |
| | PIT 기능 | 타이머0 타이머 1이 정해진 주기대로 인터럽트가 발생하는지 확인 |
| CPU I/O & WDT 보드 | GSE 통신기능 | 상용 RS422 카드를 이용하여 탑재 컴퓨터와 통신을 확인 |
| | Watchdog 기능 | 시험 프로그램에서 강제로 프로세서를 Idle 상태로 만들었을 때 자동으로 30[ms] 이상의 리셋 펄스가 걸림. |
| 클럭 발생 보드 | 출력 클럭 | 1Hz, 4Hz, 10Hz 측정 |

그림 8, 9은 실제 환경시험을 수행하는 사진이고 그림 10~그림14은 열진공 시험 4사이클 cold(-25)시에 기능 시험을 수행했을 때 외부 핀으로 출력이 나오는 것을 스코프를 이용하여 측정한 것이다.



그림 8 랜덤진동 시험
Fig. 8 Random vibration test



그림 9 열진공 시험
Fig. 9 Thermal vacuum test

그림10~그림12은 탑재컴퓨터에 전원을 투입 시 순간 공급되는 전류를 나타낸 것으로 표 4에 있는 최대 값들을 넘지 말아야 하며 5[mS]안에 정상 상태에 도달해야 한다. 설계된 컴퓨터는 이 조건들을 만족함을 알 수 있다.

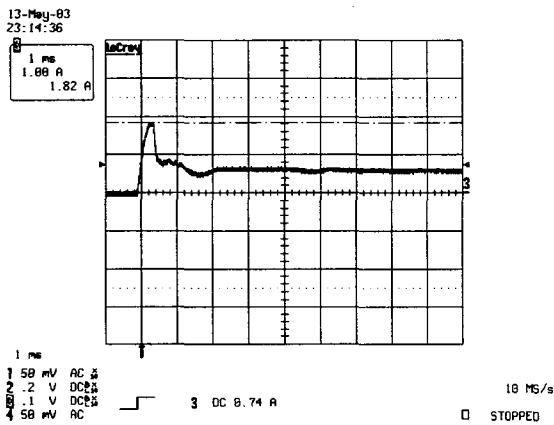


그림 10 5V 전원단의 In-rush 전류 측정치
Fig. 10 In rush current measurement in 5V

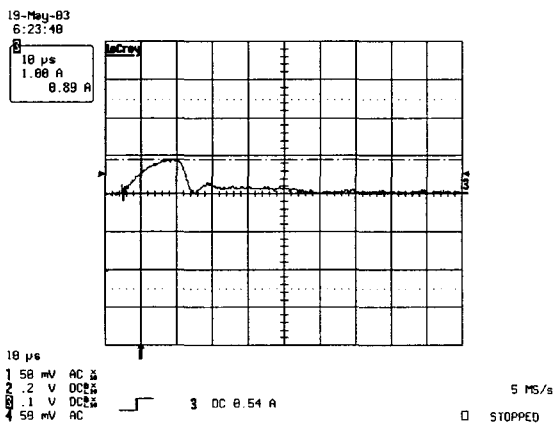


그림 11 15V 전원단의 In-rush 전류 측정치
Fig. 11 In rush current measurement in 15V

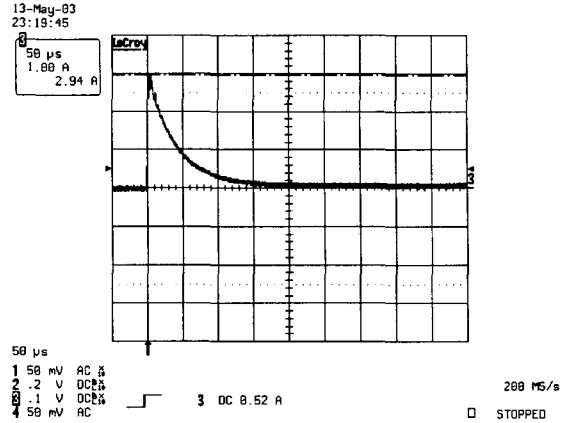


그림 12 -15V 전원단의 In-rush 전류 측정치
Fig. 12 In rush current measurement in -15V

그림 13은 프로세서를 강제로 Idle 상태로 만들어 watchdog 기능에 의하여 리셋이 발생하는 파형으로 31[mS] 펄스 폭을 가졌다.

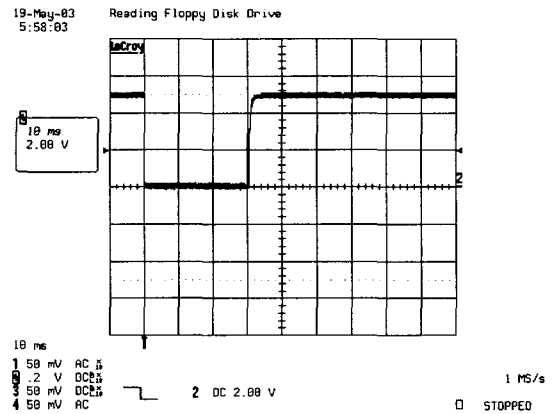


그림 13 Watchdog 출력 파형
Fig. 13 Watchdog output wave

탑재 컴퓨터는 여러 가지 클럭을 발생 시키는데 외부로 나오는 출력 클럭만 표시한 것이 그림 14다. 이 주파수는 모두 역시 카운터기를 이용하여 각각 측정하였는데 모든 오차가 범위가 $\pm 60^{-6}$ 이내 존재함을 확인하였다.

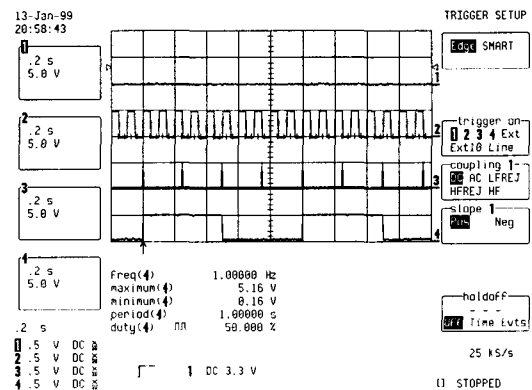


그림 14 1Hz, 4Hz, 10Hz 출력 파형
Fig. 14 1Hz, 4Hz, 10Hz Output wave

그 외 기능들은 프로세서에 실린 시험용 소프트웨어로 그 기능에 이상이 없음을 검증하였다.

5. 결 론

위성용 탑재 컴퓨터에 대한 개발 기술은 고 신뢰도의 위성 개발을 위해 반드시 필요한 소요 기술로서 위성 개발 선진국들 내에서도 기술 이전을 기피하고 있는 첨단 선도 기술이다. 본 논문에서는 KOMPSAT2호기에 탑재되는 컴퓨터에 대한 설계방법으로서 컴퓨터의 사양, 메모리 맵, 보드별 기능 분할 방법을 소개하였다. 설계된 컴퓨터는 1호기에 비하여 연산능력은 약 1.625배 성능향상이 있음을 알 수 있었다. 또한 설계된 컴퓨터의 하드웨어 처리량은 약 4.5ms이므로 비행 소프트웨어는 매 1초마다 약 995ms의 시간을 사용할 수 있음을 분석하였다. 우주환경과 발사환경을 모사하여 환경시험을 수행하였는데 모든 조건 하에서 정상 동작함을 검증하였다.

상기의 결과를 근거로 설계된 컴퓨터는 위성용 컴퓨터 핵심부분으로 사용해도 무방할 것으로 사료되며 현재 실제 위성에 탑재될 FM(Flight Model)모델이 OBC, ECU 모든 컴퓨터가 제시된 설계를 근거로 제작이 완료되어 시험 중이며 2005년에 발사될 예정이다.

참 고 문 헌

[1] 장영근, 이동호, 인공위성 시스템, 동문사, 1999.
 [2] 김기형 외, "소형 위성의 제어를 위한 컴퓨터 시스템의 설계 및 구현", J. Astron Space Science 12(2), S52-S66, 1996.
 [3] 김대영 외, 인공위성 핵심기술 선행개발 연구, 한국항공우주연구소, 2001.
 [4] 박성동 외, "우리별 1, 2호 위성 시스템 개요", J. Astron Space Science 13(2), S1-S19, 1996.
 [5] 조영호, 이한석, 심재선, "다목적 실용위성의 전력계 제어장치를 위한 프로세서 모듈 개발", 대한 전기학회 하계학술대회 논문집, 용평, D. 2999-2222, 2003.

[6] KOMPSAT-2 Equipment Specification For EPS Control Unit, KARI, 2002.
 [7] KOMPSAT-2 Component Environment Design and Test Specification, 2002.
 [8] Wiley J. Larson and James R. Wertz, Space Mission Analysis and Design Second Edition, Kluwer Academic Publishers, 1992.
 [9] 80386 Data Sheet, Intel, 2000.

저 자 소 개



조 영 호(曹永鎬)

1973년 8월 1일생. 1996년 성균관대 공대 전기공학 졸업. 1998년~ 동 대학원 전기공학과 졸업(석사). 2001년 동대학원 전기전자컴퓨터공학부 졸업(박사). 2000~현재 한국항공우주산업(주) 우주개발연구센터 선임연구원

Tel : 042-939-3561, Fax : 042-939-3500

E-mail : choyh@koreaaero.com



심 재 선(沈在先)

1950년 7월 23일생 .1973년 성균관대학교 공대 전기공학과 졸업. 1979년 단국대학교 대학원 전기공학과 졸업(석사), 1989년 성균관대학교 대학원 전기공학과 졸업(박사). 1975년~현재 삼척대학교 전기공학과 교수

Tel : 033-570-6345

E-mail : myongo@samcheok.ac.kr