

# 리플로 납땜과정에서 플라스틱 IC 패키지의 박리방지를 위한 응력최적설계의 적용

김근우\* · 이강용\* · 김옥환\*\*

(2003년 8월 5일 접수, 2004년 3월 24일 심사완료)

## Application of Stress Optimization for Preventing the Delamination of the Plastic IC Package in Reflow Soldering Process

Geun Woo Kim, Kang Yong Lee and Ok Whan Kim

**Key Words:** Plastic IC Package(플라스틱 IC 패키지), Thermal Loading(열응력), DOE(실험계획법), Unconstraint Optimization(비제약 최적화)

### Abstract

In order to prevent the interface delamination of an plastic IC package in the infrared(IR) soldering process, we tried to reduce stress by parameterization, sensitivity analysis and unconstraint optimization. The design variables of dimensions and material properties are determined among all the possible variables from the parametric study. Their optimized values are determined by applying the unconstraint optimization to the parameterized IC package. The maximum von-Mises stress value decreases greatly by optimum design.

### 1. 서 론

플라스틱 IC 패키지의 리플로 납땜(reflow soldering)공정 중에 패키지는 고온에 이르게 되어 이종부품 간의 열팽창계수의 차이로 열응력이 집중되어 부품간의 층간 박리 현상이 발생한다.<sup>(1)</sup> 패키지의 치수 및 물성을 변경하여 이 응력을 줄이기 위해 많은 시뮬레이션을 실시하여야 한다. 그러나 그것은 매우 반복적이고 많은 시간을 필요로 하는 과정이다. 그러므로 이러한 일을 효과적으로 수행하는 것이 필요하다.

1990년대 이후 다꾸찌(Taguchi) 방법과 같은 실험계획법(design of experiment: DOE)이 IC 패키지의 유한요소해석에 적용됐다. Mertol은 PBGA(plastic ball grid array)<sup>(2)</sup>와 Enhanced-PBGA<sup>(3)</sup>에 대한 치수 및 물성 최적화를 위해 다꾸찌 방법을 유한요소법과 함께 사용했다. Chen 등<sup>(4)</sup>은 PQFP(plastic quad flat package)의 뒤틀림(warpage)을 최소화하기 위해 유한요소법을 사용했다. Yeh 등<sup>(5)</sup>은 FCOB(flip chip on board)구조의 설계 파라미터들의 변경을 통하여 신뢰성을 파악하였다. Rajan 등<sup>(6,7)</sup>은 IC 패키지에 최적설계의 적용을 시도하였다. 그들은 패키지에 대한 형상 최적 설계<sup>(6)</sup>와 일반 설계<sup>(7)</sup>의 방법론을 개발했다. Gani와 Rajan<sup>(8)</sup>은 IC 패키지에 대한 수명 예측을 위한 파괴역학을 형상최적화에 적용하였다. Subbarayan은 납땜 형상과 수명예측을 위한 자동화된 CAD 시스템을 개발했다.<sup>(9)</sup> 그리고 납땜 접합 신뢰성을 최대화하는데 최적화기법을 사용하였다.<sup>(10)</sup> Stoyanov 등<sup>(11-13)</sup>

† 책임저자, 회원, 연세대학교 기계공학부

E-mail : KYL2813@yahoo.co.kr

TEL : (02)2123-2813 FAX : (02)2123-2813

\* 회원, 연세대학교 기계공학부

\*\* 회원, 천안공업대학 플랜트설계과

은 플립-칩(flip-chip) 납땜 접합의 수명을 최대화하기 위해 유한요소 코드, PHYSICA와 최적화 툴(tool), VisualDOC를 연결하였다. 하지만 본 연구에서는 리플로 납땜 과정동안 패키지에서의 박리를 억제하는 최적 SOJ 패키지를 찾기 위해 ABAQUS와 최적화 툴, VisualDOC를 연결하였다. 그리고 IC 패키지의 설계변수를 파라미터화 하는 방법과 파라미터화된 유한요소 모델에 적용된 치수와 물성 값들의 최적화하는 방법을 설명하고자 하였다.

이러한 것들을 수행하기 위해 첫째로 IC 패키지의 형상변경을 위해 CAE 솔버(solver)의 입력 파일에서의 절점 좌표와 요소의 구성(connectivities)부분을 바로 변경시킬 수 있는 모듈을 새롭게 개발하였다. 또 그것을 사용하여 민감도 해석을 수행하였다. 즉 리플로 납땜 과정에서 열응력에 플라스틱 IC 패키지의 박박리에 대한 치수와 물성 치와 같은 변수의 영향을 평가하고 von-Mises 응력을 최소화하는 주요인자를 결정하였다. 그리고 두 번째로 민감도 해석에 의해 결정된 주요인자에 대해 최적설계를 찾았다.

## 2. 온도 및 열응력 해석

먼저 IC 패키지에 대한 열응력 해석을 통해 층간 박리 모델을 설정한다. 연구대상 패키지로써 Fig. 1과 같은 SOJ(small outline j-lead)형식을 선정하였다. 경계조건 및 온도분포해석은 본 연구팀의 기존 연구<sup>(14)</sup>와 동일하며 유한요소 응력해석에 사용된다. 응력해석은 2D 평면 변형을 탄성 거동의 가정하에 패키지의 구조적 결함을 평가하도록 수행됐다.<sup>(14)</sup> 종래의 굽힘 혹은 전단강도에 기초한 파손판별기준(failure criterion)이 파손을 결정하는데 사용된다.<sup>(15,16)</sup> 유한요소법에 사용된 소프트웨어는 ABAQUS이다. 메쉬 크기는 그것이 충분히 검증된 참고문헌 [14]와 거의 같다. 응력해석을 위한 경계조건은 대칭면은 x방향으로 고정되고 대칭면의 맨 아래 절점은 x와 y 방향으로 고정된다. 그 순간에서 각 절점의 온도분포는 열응력 계산을 위한 입력 데이터가 된다. 과도해석에서 온도 입력시 시간간격으로 2초를 사용했다. 응

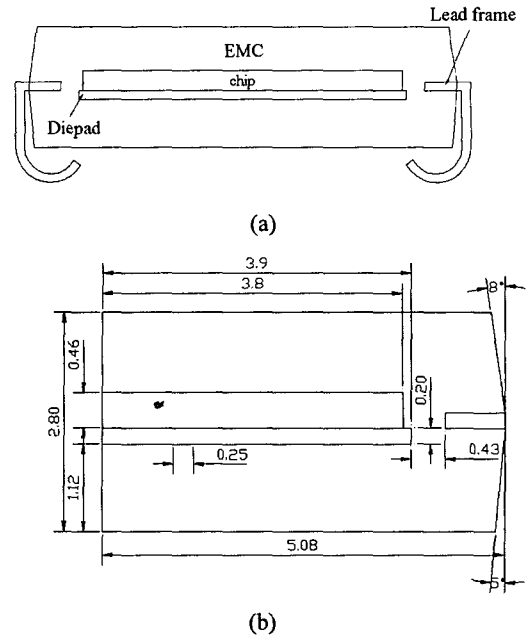


Fig. 1 SOJ plastic package with the present dimensions(mm)

력자유온도(stress free temperature)는 IC 패키지의 몰딩 온도(molding temperature)인 170°C 로 가정하였다. 이 논문에서 연구된 IC 패키지의 재료의 물성치는 Table 1에 주어진다. 여기서  $\alpha_1$ 와  $\alpha_2$ 는 각각 유리전이온도( $T_g$ ) 이하와 이상의 열팽창 계수이다.

온도측정은 실제 제조공정조건에서 Fig. 2에서와 같이 네 위치(top/side/bottom surfaces and diepad bottom)에서 K-형식 열전대(thermocouple, 0.1mm dia.)를 사용하여 측정하였다. 시간에 따라 각 측정부위에서 측정된 온도변화곡선은 Fig. 2와 같다.

다이패드 밑에서 측정된 실험값과 유한요소법에 의한 해석결과의 비교는 Fig. 2에 보이며, 5% 내의 오차를 보인다.

리플로 납땜과정 중 응력집중이 가장 심한 네 부위 A, B, C와 D점(Fig. 3)에서 von-Mises 응력은 Fig. 4에 보여진다. 최대응력은 상온에서 B점에서 발생한다. 네 점에서 von-Mises 응력은 EMC(epoxy mold compound)의 굽힘강도(98 Mpa)보다 크기 때문에 그 값들을 감소시키는 것이 필요하다.

Table 1 Material properties of IC package

	Lead-frame (alloy 42)	Chip(Si)	EMC	Adhesive (Ag-epoxy)
Specific heat (J/kg °C)	502.4	699	1050	0.234
Conductivity coefficient (W/m °C)	14.65	148	0.735	374
Density(kg/m <sup>3</sup> )	8.1×10 <sup>3</sup>	2.33×10 <sup>3</sup>	1.9×10 <sup>3</sup>	1.05×10 <sup>3</sup>
Thermal expansion coefficient ( /°C)	0.45×10 <sup>-3</sup>	0.26×10 <sup>-3</sup>	α <sub>1</sub> : 1.0×10 <sup>-3</sup> α <sub>2</sub> : 4.5×10 <sup>-5</sup>	α <sub>1</sub> : 4.9×10 <sup>-3</sup> α <sub>2</sub> : 2.4×10 <sup>-4</sup>
Young's modulus (N/m <sup>2</sup> )	1.445×10 <sup>11</sup>	1.88×10 <sup>11</sup>	2.45×10 <sup>10</sup> (25°C) 2.0×10 <sup>10</sup> (70°C) 1.0×10 <sup>10</sup> (150°C) 1.0×10 <sup>9</sup> (215°C)	1.2×10 <sup>10</sup> (23°C)
Possion's ratio	0.3	0.28	0.23	0.3
Glass transition temperature( °C)	.	.	133-145	36

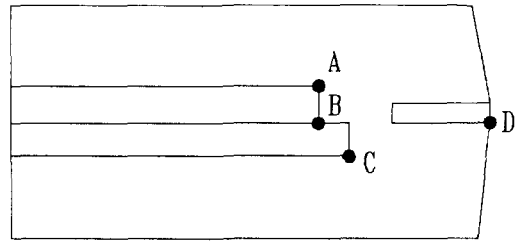


Fig. 3 Stress concentration points

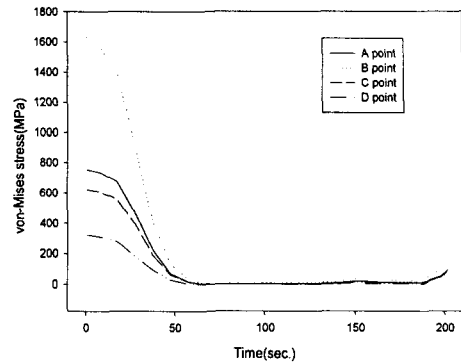


Fig. 4 Variation of von-Mises stress during reflow soldering process Inc.

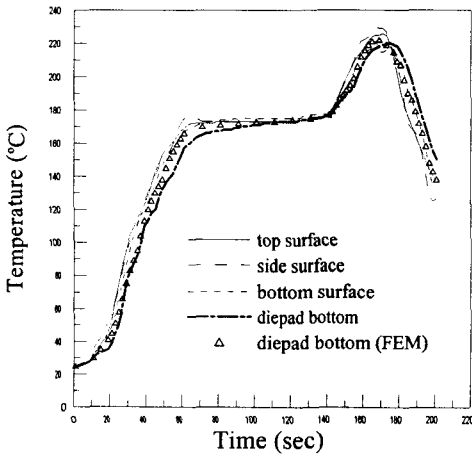


Fig. 2 The measured and calculated temperature profiles

### 3. 파라미터화된 유한요소모델과 최적화의 절차

자동화된 치수와 물성 최적화를 위하여 유한요소 모델을 파라미터화하는 것이 필요하다. 치수와 물성 파라미터를 변경하기 위한 '유한요소 모

델 파라미터화'를 수행하기 위하여 우선 Fig. 5에 보여진 'valid dimensioning scheme'<sup>(18)</sup>에 따라 IC 패키지의 단면을 파라미터화한다. 두 번째로 Fig. 6에서 보여진 것과 같이 IC 패키지의 단면을 'design elements'<sup>(19)</sup>로 분할한다.

세 번째로, 해석을 위한 유한요소 메쉬는 'iso-parametric mapping technique'<sup>(20)</sup>에 의한 각 'design element' 내에서 생성된다. 메쉬를 위한 격자수는 매 'design element'에서의 초기 격자 간격보다 크게 될 때 초기 격자 간격을 유지하기 위해 변경된다. 이렇게 함에 의해 파라미터화된 12개의 형상관련 인자를 변경함에 의해 IC 패키지의 단면에 대한 모든 형상을 제어할 수 있다.

'유한요소 모델 파라미터화'를 하기 위한 FORTRAN 프로그램에 의한 ABAQUS 입력파일 생성 프로그램' (이후, 이 프로그램은 FEGEN이라 칭한다)을 코딩하고 ABAQUS 해석 파일을 생성한

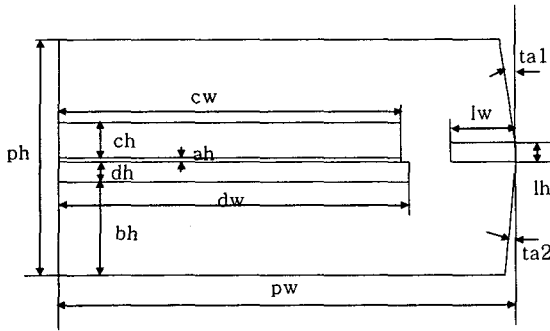


Fig. 5 IC package section parameterized

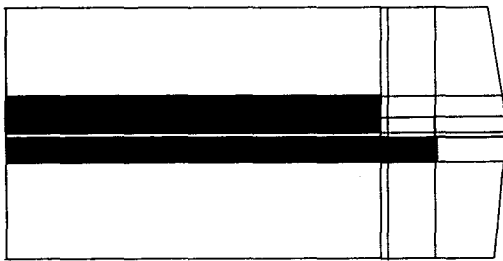


Fig. 6 Subdivision of IC package section

다. 절점의 수 뿐만 아니라 물성 값과 치수에 대한 파라미터들이 FEAGEN에 입력될 때, 열 및 응력해석을 포함한 IC 패키지 납땜 과정을 시뮬레이션하기 위한 ABAQUS 입력 파일이 생성된다.

즉, 절점 좌표, 요소의 구성(connectivities), 경계 및 하중 조건 그리고 ABAQUS 명령어가 생성된다.

유한요소 모델이 파라미터화 된 후, 파라미터들의 일부가 치수 및 물성의 최적화를 위해 설계 변수로 사용된다. 파라미터화 된 유한요소 모델이 생성된 후, 이것을 IC 패키지를 최적화하기 위한 최적화 알고리즘에 연결한다. 본 연구에서는 최적화 알고리즘으로써 VisualDOC<sup>(21)</sup>라는 상용 소프트웨어를 사용했다. Fig. 7에서 보는 바와 같이 해석을 위한 입력파일 생성 툴로써 FEAGEN을, 솔버(solver)로써 ABAQUS를 그리고 최적화 툴로써 VisualDOC를 사용했다.

#### 4. 민감도 해석

IC 패키지가 최적화되기 전에, 자동화된 민감도

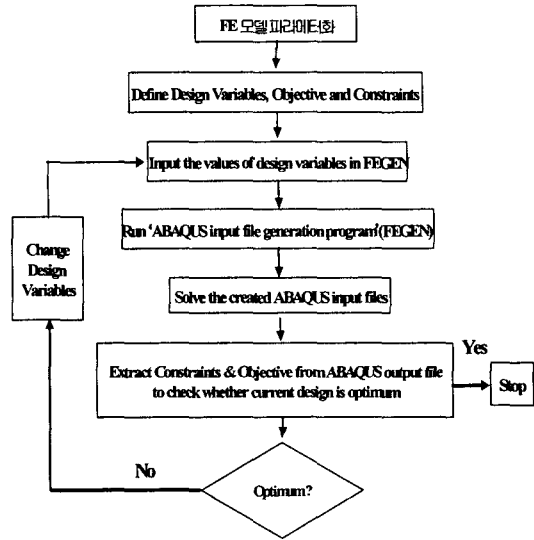


Fig. 7 The automated optimization procedure

해석이 VisualDOC를 사용함에 의해 파라미터화된 유한요소 모델에 대해 수행된다. Fig. 4에서의 SOJ 형식 패키지에서 최대 von-Mises 응력에 영향을 끼치는 주요인자와 모든 변수 값에 따른 von-Mises 응력의 변화의 경향을 찾기 위해 응력 값이 최대인B점에서 민감도 해석이 수행된다. 설계 인자는 EMC의 탄성계수와 열팽창계수, 다이패드의 탄성계수와 열팽창계수, 칩(chip)의 탄성계수와 열팽창계수, 접착제(adhesive)의 탄성계수와 열팽창계수, EMC의 두께, 다이패드의 두께, 접착제의 두께 및 칩의 두께(Table 2)이다.

Fig. 8에서 변수의 값은 설계변수의 현재 값에 승수(乘數, multiplier)로 곱해진 값이 된다. Fig. 8로부터 EMC 탄성계수,  $E_{enc}$ , EMC 열팽창계수,  $\alpha_{enc}$ , EMC 두께,  $t_{enc}$ , 칩 탄성계수,  $E_{chip}$ , 칩 두께,  $t_{chip}$ , 다이패드 두께,  $t_{pad}$ , 접착제 열팽창계수  $\alpha_{adhe}$ , 다이패드 탄성계수,  $E_{pad}$  그리고 접착제 탄성계수,  $E_{adhe}$  가 응력에 영향을 끼치는 주요인자이다. 접착제 두께,  $t_{adhe}$ , 칩 열팽창계수,  $\alpha_{chip}$ 와 다이패드 열팽창계수,  $\alpha_{pad}$ 는 응력에 거의 영향을 끼치지 않는다 그러므로 이들을 제외한 주요인자들을 IC 패키지를 최적화하는 설계변수으로써 사용된다.

Table 2 The 12 design variables of IC package

Variable	Symbol
EMC thickness	$t_{emc}$
Diepad thickness	$t_{pad}$
Adhesive thickness	$t_{adhe}$
Chip thickness	$t_{chip}$
EMC Young's modulus	$E_{emc}$
EMC CTE	$\alpha_{emc}$
Diepad Young's modulus	$E_{pad}$
Diepad CTE	$\alpha_{pad}$
Chip Young's modulus	$E_{chip}$
Chip CTE	$\alpha_{chip}$
Adhesive's modulus	$E_{adhe}$
Adhesive's CTE	$\alpha_{adhe}$

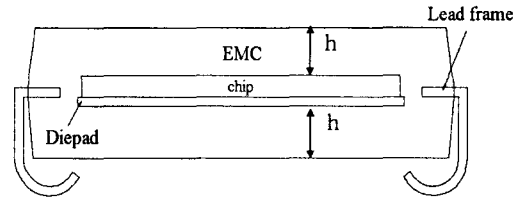


Fig. 9 The definition of EMC thickne

EMC의 두께는 Fig. 9에 보여진 바와 같이 'h'로 정의된다.

### 5. 최적설계

IC 패키지를 위한 설계문제는 치수와 물성 치 같은 설계변수를 갖는 비제약 최적화 문제로서 구성될 수 있고 Fig. 7에서 보여진 최적화 절차를 사용함에 의해 계산된다. 최적화문제의 정식화 절차는 다음과 같다. 앞서 언급한 바와 같이 IC 패키지를 최적화하기 위해서 12개의 설계변수 중 3개의 민감하지 않은 인자를 제외한 9개인자가 식 (1)에서와 같이 선정된다.

$$\text{Minimize max. } \sigma (t_{emc}, t_{chip}, t_{pad}, E_{emc}, E_{chip},$$

$$E_{pad}, E_{adhe}, \alpha_{emc}, \alpha_{adhe}) \quad (1)$$

Side constraints

$$0.7 \cdot t_{emc}^p \leq t_{emc} \leq 1.3 \cdot t_{emc}^p$$

$$0.7 \cdot t_{chip}^p \leq t_{chip} \leq 1.3 \cdot t_{chip}^p$$

$$0.7 \cdot t_{pad}^p \leq t_{pad} \leq 1.3 \cdot t_{pad}^p$$

$$0.7 \cdot E_{emc}^p \leq E_{emc} \leq 1.3 \cdot E_{emc}^p$$

$$0.7 \cdot E_{chip}^p \leq E_{chip} \leq 1.3 \cdot E_{chip}^p$$

$$0.7 \cdot E_{pad}^p \leq E_{pad} \leq 1.3 \cdot E_{pad}^p$$

$$0.7 \cdot E_{adhe}^p \leq E_{adhe} \leq 1.3 \cdot E_{adhe}^p$$

$$0.7 \cdot \alpha_{emc}^p \leq \alpha_{emc} \leq 1.3 \cdot \alpha_{emc}^p$$

$$0.7 \cdot \alpha_{adhe}^p \leq \alpha_{adhe} \leq 1.3 \cdot \alpha_{adhe}^p \quad (2)$$

여기서  $\sigma$  는 von-Mises 응력이고 윗 첨자 p는 이 모델의 현재 값을 뜻한다. 각 현재값은 Table 3에 보여진다. 모든 설계변수의 범위는 다이패드

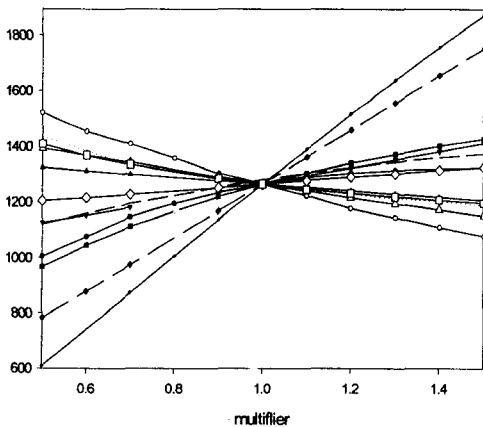
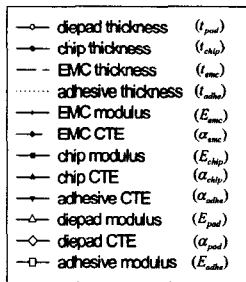


Fig. 8 'Multiplier of a variable vs. stress at B position' graph from sensitivity analysis

**Table 3** The present values of dimensions and material properties of IC package

Variable	Value
EMC thickness (mm)	1.0
Diepad thickness (mm)	0.20
Adhesive thickness (mm)	0.0254
Chip thickness (mm)	0.46
EMC Young's modulus	See Table 1
EMC CTE	
Diepad Young's modulus	
Diepad CTE	
Chip Young's modulus	
Chip CTE	
Adhesive's modulus	
Adhesive's CTE	

를 제외하고 현재 값의 30%로 한다. 최적화 문제에서는 단지 상온(0 초, 25C)에서 최대응력을 최소화하는 경우만을 고려했다. 왜냐하면 이 지점과 시간에서 최대응력은 납땜 과정동안 최대이고 다른 시간에서의 최대응력 값은 무시할 수 있기 때문이다(Fig. 4). Table 4에서 보듯이 최적화 후에 상온에서 B점 최대응력은 크게 감소한다. 그러나 아직도 EMC의 강도, 98 Mpa 보다 크다. 이것은 최적화되더라도 파손되기 쉬움을 의미한다. 파손을 방지하기 위하여 상온에서 또 고온에서 각각 더 큰 강도를 가지는 칩과 EMC 재료를 선정해야 한다.

3개의 민감하지 않은 인자( $t_{adhe}$ ,  $\alpha_{chip}$  and  $\alpha_{pad}$ )는 목적함수에 거의 영향을 끼치지 않는다는 것은 Table 4에서의 2개의 최적화 결과값들을 비교함에 의해 증명된다. 즉 9개와 12개의 설계변수에 의해 수행된 결과들이 같다. 또 특이한 점은 3개의 설계변수의 값은 최적화 후에도 변하지 않았다.

이강용 등<sup>(14)</sup>은 이 SOJ 패키지에 대해 민감도 해석을 수행하였다. 이 연구에서 수행된 주요인자의 변화의 경향(Fig. 8)은 그들의 결과와 거의 같다.

Takashi 등<sup>(22)</sup>은 EMC의 탄성계수를 작게 해야 함을 주장하였는데 그것은 본 연구의 결과와 같다.

**Table 4** Comparison of the results of design variables and stress response

Case Variable	Present design	optimized design A with 9 design variables	optimized design B with 12 design variables
$t_{emc}$	1.0	0.7	0.7
$t_{chip}$	1.0	0.7	0.7
$t_{pad}$	1.0	1.0	1.0
$E_{emc}$	1.0	0.7	0.7
$E_{chip}$	1.0	0.7	0.7
$E_{pad}$	1.0	1.3	1.3
$E_{adhe}$	1.0	1.3	1.3
$\alpha_{emc}$	1.0	0.7	0.7
$\alpha_{adhe}$	1.0	0.7	0.7
$t_{adhe}$	1.0	1.0	1.0
$\alpha_{pad}$	1.0	1.0	1.0
$\alpha_{chip}$	1.0	1.0	1.0
$\sigma_{EMC strength}$	15.73	5.43	5.43

## 6. 결론

자동화된 민감도 해석과 최적화는 '유한요소 모델 파라미터화'를 함께 의해 SOJ 형식(type) IC 패키지에 적용된다. 유한요소 모델 파라미터화는 '유한요소 모델 생성 프로그램(FEGEN)'을 코딩함에 의해 수행할 수 있고 새로운 최적화 절차가 제시된다.

IC 패키지에 대한 민감도 해석에 의해 주요인자가 선정되고 선정된 변수에 대한 최적화를 수행함에 의해 납땜 과정에서 패키지의 열응력을 최소화하는 최적설계안이 결정된다. IC 패키지를 최적화하기 위해서 12개의 설계변수 중 3개의 민감하지 않은 인자를 제외한 9개인자로 최적화를 실시하더라도 12개인자로 얻은 결과와 같은 결과를 얻어지고 해석시간이 단축됨을 알 수 있다.

최대 von-Mises 응력 값은 최적설계에 의해 크게 감소하나 그 값은 EMC의 강도 아래로 감소하지는 않는다. 그러므로 박리 현상을 보다 근원적으로 방지하기 위해서는 보다 심층적인 연구가 필요하다.

## 후 기

본 연구는 한국 과학 재단 연구비(No.R01-2001-00388) 지원으로 수행되었으며 지원에 감사를 드립니다.

## 참고문헌

- (1) Hattori, T., Sakata, S. and Murakami, G., 1989, "A Stress Singularity Parameter Approach for Evaluating the Interfacial Reliability of Plastic Encapsulated LSI Devices," *ASME Journal of Electronic Packaging*, Vol. 111, pp. 243~245.
- (2) Mertol, A., 1995, "Application of the Taguchi Method on the Robust Design of Molded Plastic Ball Grid Array Packages," *IEEE Trans Components Packaging and Manufacturing Technol*, Part B, pp. 734~743.
- (3) Mertol, A., 1997, "Optimization of High Pin Ccount Cavity-up Enhanced Plastic Ball Grid Array(EPBGA) Packages for Robust Design," *IEEE Trans Components Packaging and Manufacturing Technol*, Part B, pp. 376~88.
- (4) Chen, R. S., Lin, H. C. and Kung, C. 2000, "Optimal Dimension of PQFP by Using Taguchi Method," *Composite Structures*, Vol. 49, pp. 1~8.
- (5) Yeh, C.P., Zhou, W.X., Karl, W., 1996, "Parametric Finite Element Analysis of Flip Chip Reliability," *The International Journal of Microcircuits and Electronic Packaging*, Vol. 19, No. 2, pp. 120~127.
- (6) Rajan, S.D. and Nagaraj, B., 1992, "A Shape Optimal Design Methodology for Packaging Design," *ASME Journal of Electronic Packaging*, Vol.121, pp. 148~155, 1994, *Journal of Electronic Packaging*, ASME 461-466.
- (7) Rajan, S.D., Sarihan, V. and Mahalingam, M., 1994, "Methodology for Automated Design of Microelectronic Packages," *Journal of Electronic Packaging*, ASME, pp274~281.
- (8) Gani, L., Rajan, S.D., 1999, "Use of Fracture Mechanics and Shape Optimization for Component Designs," *AIAA Journal*, pp. 255~260.
- (9) Subbarayan G., 1996, "A Procedure for Automated Shape and Life Prediction in Flip-Chip and BGA Solder Joints," *Journal of Electronic Packaging*, pp. 127~133.
- (10) Deshpande A. M., Subbarayan G., and Mahajan R. L., 1997, "Maximizing Solder Joint Reliability Through Optimal Shape Design," *Journal of Electronic Packaging*, pp. 149~155.
- (11) Stoyanov, S., Balley, C. and Cross, M., 2002, "Optimisation Modelling for Flip-Chip Joint Reliability," *Soldering and Surface Mount Technology*, Vol. 14, No. 1, pp. 49~58, ISSN 0954-0911, Pub Emerald.
- (12) Stoyanov, S., Balley, C., Lu H. and Cross, M., 2002, "Integrated Computational Mechanics and Optimisation for Electronic Components," in *Optimisation in Industry*, Pub Springer Verlag, pp. 57~71, ISBN 1-85233-534-3.
- (13) Stoyanov et. al., "Response Surface Modelling and Optimisation for Reliable Electronic Products," *IEEE Conference for High Density Packaging*, Shanghai, China, pp. 47~57, ISBN 0-7803-9823-8.
- (14) Lee, K.Y., Moon, H.S., Lee T.S. and Kim, K.S., 1995, "Plastic IC Package Cracking Analysis due to Thermal Stress," *Transaction of the KSME*, Vol. 19, No. 12. pp. 3197~3204.
- (15) Glaser, J.C and Juair, M.P., 1989, "Thermal and Struc Analysis of a PLCC Device for Surface Mount Process," *ASME Journal of Electronic Packaging*, Vol. 111, pp. 172~178.
- (16) Kornblum, Y., Glaser J.C., 1989, "Combined Moisture and Thermal Stresses Failure Mode in a PLCC," *ASME Journal of ElectronicPackaging*, Vol. 111, pp. 249~254.
- (17) ABAQUS User's Manual, Ver.6.0, HKS Inc.
- (18) Robert, L. and David, G., 1982., "Modification of Geometric Models Through Variational Geometry," *Computer Aided Design*, Vol. 14, No. 4, pp. 209~214.
- (19) Zhang, D., Cheng, G. and Gu, Y., 1992, "Automatic Generation of Quadrilateral Mapping

- Elements and Applicability of Shape Optimization Software," *Computers & Structures*, pp. 697~705.
- (20) Choi, K. K. and Chang, K.H., 1994, "A Study of Design Velocity Field Computation for Shape Optimal Design," *Finitie Elements in Analysis and Design*, Vol. 15, pp. 317~341.
- (21) VisualDOC MANUAL, Ver.1.2 , VMS Inc.
- (22) Aihara, T., Ito, S., Sasajima, H. and Oota, K., 2001, "Development of Reliability and Moldability on Fine Pitch Ball Grid Array by Optimizing Materials," *Journal of Electronic Packaging, Transaction of the ASME*, Vol. 123, pp. 88~94.