

GSM 대역 5 W급 전류 모드 D급 전력증폭기의 설계

Design of 5 W Current-Mode Class D RF Power Amplifier for GSM Band

서 용 주 · 조 경 준* · 김 종 현*

Yong-Joo Seo · Kyoung-Joon Cho* · Jong-Heon Kim*

요 약

본 논문에서는 900 MHz 대역에서 70 % 이상의 고효율을 갖는 전류 모드 D급 전력증폭기를 설계, 제작하였다. 푸시-풀 B급 전력증폭기의 구조를 기초로 하여 병렬 고조파 컨트롤회로를 적용하여, 기존 D급 전력증폭기의 큰 손실 요인이었던 소자 내 커패시턴스의 충, 방전에 의한 전력 손실을 최소화하였다. 측정결과, 900 MHz 대역, 출력전력 3.2 W에서 73 % 전력 부가 효율, 그리고 출력전력 5 W에서 72 % 전력 부가 효율을 각각 얻었으며 DC 전력에 따라 출력의 크기가 선형적으로 변화하는 D급 전력증폭기의 특성을 확인하였다.

Abstract

In this paper, a current - mode class D(CMCD) power amplifier over 70 % power added efficiency at 900 MHz is designed and implemented. Based on push-pull class B structure, main power loss due to charge and discharge of output capacitance in switching mode power amplifier is minimized by applying a parallel harmonic control circuit. Experimental CMCD amplifier with 73 % power added efficiency at 3.2 W and 72 % power added efficiency at 5 W are achieved respectively. In addition, a characteristic of switching mode power amplifier whose output power is proportional to magnitude of DC power is verified.

Key words : Power Amplifier, Switching Mode Power Amplifier, Current-Mode, Harmonic Control

I. 서 론

통신시스템에 사용되는 전력증폭기는 원 신호의 증폭을 위해 많은 양의 전력을 소모한다. 특히 CD-MA같은 주파수 확산 방식 신호의 증폭에 사용되는 전력증폭기는 선형성 확보를 위해 일반적으로 A급이나 AB급 증폭기를 백-오프(Back-off) 해서 사용하기 때문에 효율은 급격히 저하된다. 이러한 효율의 개선을 위해 트랜지스터를 전압원 또는 전류원 대신 스위치로 동작시키는 스위칭 모드 전력증폭기에 대

한 연구가 활발히 진행되고 있다. 일반적으로 스위칭 모드 전력증폭기는 트랜지스터의 드레인 또는 컬렉터에 인가되는 평균전류와 전압의 중복되는 양을 줄임으로서 효율을 증가시키며 D, E, F⁻¹, S급 증폭기가 있다^[1]. 특히 D급 증폭기는 스위치 모드 증폭기들 중 가장 높은 효율을 가지며^[2], 출력단 부정합에도 선형 모드 증폭기에 비해 출력과 효율의 손실이 적으며^[3], 변조 전원공급기와 함께 적용할 경우, 효율과 선형성을 동시에 만족시킬 수 있는 장점을 가진다^[4]. 이러한 D급 전력증폭기는 주로 오디오 주파

「본 연구는 2004년도 광운대학교 교내연구비와 정보통신부의 대학정보통신 연구센터(ITRC) 지원사업으로 수행되었음.」
(주)에이스테크놀로지(ACE Technology)

*광운대학교 전파공학과(Dept. Radio Science & Engineering, Kwangwoon University)

· 논문 번호 : 20040126-011

· 수정완료일자 : 2004년 6월 8일

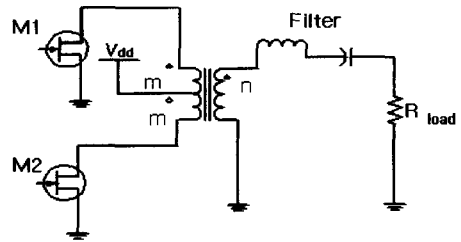
수 대역 증폭기나 전력 컨버터로서 폭 넓게 사용되었지만, RF와 마이크로파 대역에서는 적용이 어려웠다. 주파수가 높아질수록 일정하지 않은 듀티 사이클, 전력 소자 내부에 존재하는 비선형 커패시턴스, 그리고 여러 기생요소 때문에 발생하는 출력 손실로 인해서 고효율을 갖지 못하는 문제점이 있었다^[5]. 최근 이러한 단점을 극복하는 전류 모드 D급 전력증폭기에 관한 발표가 있었다. 900 MHz 대역, 870 mW 출력전력과 70 %의 전력 부가 효율을 갖는 전류 모드 전력증폭기는 RF 대역에서 D급 전력증폭기의 적용 가능성을 제시하였다^[6]. 그러나 이 경우는 상대적으로 낮은 출력전력의 경우였으며, 1 GHz 대역, 13 W 출력을 갖는 전류 모드 D급 전력증폭기는 DC 전력에 의해서 출력의 크기가 결정되는 전류 모드 D급 증폭기 특성 규명이 미비하였으며, 전력 부가 효율은 56 % 밖에 미치지 못했다^[7]. 본 논문에서는 GaAs FET 소자인 FLL 357ME를 사용하여, 900 MHz 대역, 5 W의 출력과 70 % 이상의 전력 부가 효율을 보이는 전류 모드 D급 전력증폭기를 설계, 제작하였으며 기존 논문에서 미비하였던 DC 전력의 크기에 따라 출력이 선형적으로 변화하고 효율은 일정하게 유지되는 D급 전력증폭기의 동작 특성을 검증하였다.

II. Class D 전력증폭기 이론

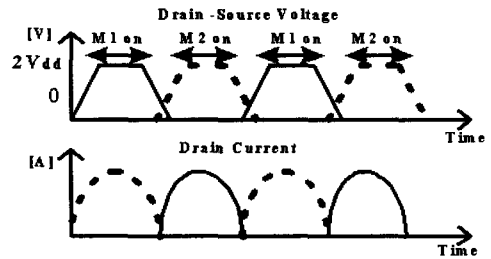
2-1 전력증폭기의 동작 원리

그림 1은 전압 모드 D급 전력증폭기의 기본 구조 및 이상적인 경우의 드레인 전류 및 전압의 파형을 나타냈다.

두 개의 트랜지스터는 각각 트랜스포머에 의해 180°의 위상차를 갖고 구동되어 M1과 M2가 각각 스위칭 온-오프가 되게 한다. 그리고 출력단 필터의 공진 주파수는 반송 주파수로 설정되어, 출력단에 증폭된 원 신호로 복원시킨다. 이상적인 경우, 트랜지스터의 드레인 전압 파형은 방형파형(Rectangular-waveform)이며, 전류 파형은 사인반파(Half sinewave-form)가 되어 효율은 100 %가 된다. 그러나 트랜지스터는 출력단에 존재하는 기생성분들과 스위칭 될 때 저항을 갖기 때문에 이상적인 스위치로 동작하지 않는다. 특히 전압 모드 D급 증폭기는 주파수가 높



(a) 전압 모드 D급 전력증폭기 회로
(a) VMCD circuit



(b) 전류와 전압파형
(b) Current and voltage waveforms

그림 1. 전압 모드 D급 전력증폭기 회로와 파형
Fig. 1. VMCD circuits and waveforms.

아질수록 트랜지스터에 존재하는 기생 성분에 의해 대부분의 출력손실이 발생하게 된다.

만일 트랜지스터 M1과 M2의 드레인과 소스 사이에 존재하는 접합 커패시턴스를 C_{ds1} , C_{ds2} 라 할 때, M1이 온 상태이며 M2가 오프 상태가 되면 C_{ds1} 은 방전하며 C_{ds2} 는 $2V_{dd}$ 의 DC 전력으로 충전될 하게 된다. 이와 반대로 M1이 오프상태이며 M2가 온 상태가 된다면 C_{ds2} 는 소자 M2의 재료 온 저항으로 방전을 할 것이며 C_{ds1} 은 $2V_{dc}$ 로 충전을 할 것이다. C_{ds2} 가 방전하게 될 때 방전하게 될 축적된 에너지 E_{loss2} 는

$$E_{loss2} = \frac{1}{2} C_{ds2} (2V_{dd})^2 \quad (1)$$

이며 이와 동시에 소자 M1의 0에서 $2V_{dd}$ 로 C_{ds1} 가 충전하면서 손실되는 에너지 E_{loss1} 은

$$E_{loss1} = \frac{1}{2} C_{ds1} (2V_{dd})^2 \quad (2)$$

가 된다. 또한 M1이 온 상태가 되고 M2가 오프 상태가 되면 C_{ds2} 는 $2V_{dd}$ 로 충전하며 C_{ds1} 은 방전을 하게 된다.

따라서, 매 스위칭 주파수 f 를 갖는 소자 M1에서 발생하는 접합 및 기생 커패시턴스에 의한 전력의 손실은 $E_{loss1} + E_{loss2}$ 가 되며 이 순간 똑같은 과정이 소자 M2에서 발생하게 되므로 전압 모드 D급 전력 증폭기에서 발생하는 총 전력손실 P_{diss} 는

$$\begin{aligned}
 P_{diss} &= 2(E_{loss1} + E_{loss2})f \\
 &= 2 \left[\frac{1}{2} C_{ds1} (2V_{dd})^2 \right] f + 2 \left[\frac{1}{2} C_{ds2} (2V_{dd})^2 \right] f \\
 &= (C_{ds1} + C_{ds2}) 4V_{dd}^2 f = 8C_{ds} V_{dd}^2 f \quad (3)
 \end{aligned}$$

가 된다. 이러한 메커니즘에 의한 전력손실은 실제 전력증폭기의 출력전력에는 손실을 주지 않는다. 커패시턴스 C_{ds1} 와 C_{ds2} 에 의해 충전과 방전되는 전류는 소자 M1과 M2로 흐르며 출력단에는 흐르지 않기 때문이다.

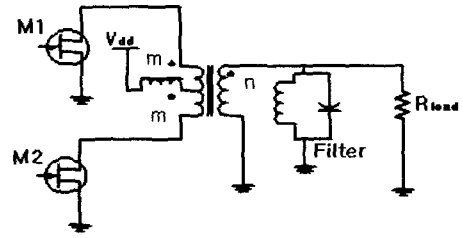
그러나 식 (3)에 의해 소비되는 전력손실만큼 DC 전력이 더 필요로 하게 되므로 전압 모드 D급 전력 증폭기의 효율은 저하되게 된다. 식 (3)에서 볼 수 있듯이 전압 모드 D급 전력증폭기의 전력손실은 전력 소자 내에 존재하는 접합과 기생 커패시턴스의 양 C_{ds} 와 스위칭 주파수 f 에 비례하며 공급되는 DC 전압의 제곱에 비례하므로 고주파 대역과 대전력 증폭기의 적용에는 한계를 갖는다.

또한 이러한 접합 커패시턴스 요소는 PN 접합을 갖는 트랜지스터의 특성상 컨트롤 할 수 없으며 D급 전력증폭기의 고효율 구현에 주된 문제점이었다.

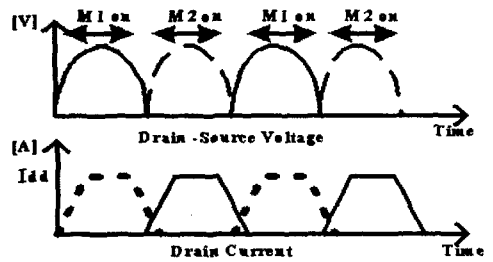
이러한 성분들에 의한 출력전력의 손실을 극복하기 위해 전류 모드 D급 전력증폭기가 제안되었으며, 기본구조와 이상적인 경우의 파형은 그림 2와 같다.

전류 모드 D급 전력증폭기에서 트랜지스터는 전압원 대신 전류원으로 동작하며, 전류가 스위칭을 제어한다. 병렬 공진 회로의 공진 주파수는 반송 주파수에 설정되어, 스위칭 파형에서 원 신호를 복원시킨다. 그림 3은 M2가 온 상태일 때, 전류 모드 D급 전력증폭기의 스위치 모델과 그때의 전류파형을 나타내고 있다.

만일 전력소자의 출력단에 C_{ds1} 와 같은 커패시턴스 성분이 존재한다면, 이 성분은 출력단의 공진회로와 병렬로 존재한다. 그러므로 공진회로를 설계할 때, 전력소자에 존재하는 커패시턴스 값을 뺀 값으로 공진회로를 구성하면, 전력 소자의 출력단에 존



(a) 전류 모드 D급 전력증폭기 회로
(a) CMCD circuit



(b) 전류와 전압파형
(b) Current and voltage waveforms

그림 2. 전류 모드 D급 전력증폭기의 회로와 파형
Fig. 2. CMCD circuit and waveforms.

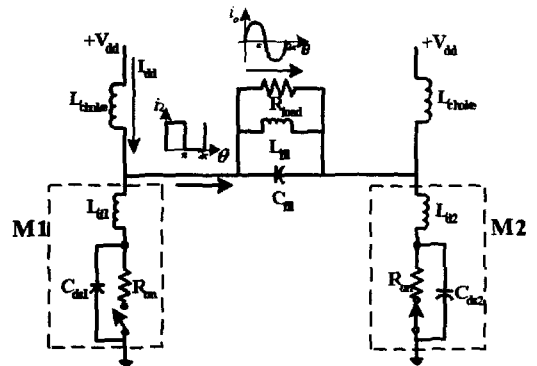


그림 3. 전류 모드 D급 전력증폭기의 스위치 모델
Fig. 3. Switch model of the current-mode class-D power amplifier.

재하는 커패시턴스 성분은 공진회로에 흡수되어 각 소자의 스위칭 시간에 전압 강하가 발생하지 않는다.

따라서 D급 전력증폭기의 주 손실 원인인 커패시턴스 성분의 충, 방전에 의한 전력손실을 효과적으로 줄일 수 있으며 전류 모드 D급 증폭기는 RF 대역에서도 고효율이 가능하다. 물론 전력소자의 출력단에 존재하는 인덕턴스 성분에 의한 손실의 양 $1/2 LI^2$ 은 피할 수 없다. 하지만 전류 모드와 전압 모드

D급 전력증폭기 손실 요소의 큰 차이점은 전류 모드 D급 증폭기는 손실요소를 인위적으로 최소화 할 수 있다는 것이다. 전압 모드 D급 전력증폭기의 경우 소자 내부에 고유하게 존재하는 집합 커패시턴스에 의한 손실요소를 전혀 컨트롤 할 수 없는 것에 비해, 전류 모드 D급 전력증폭기는 소자에 존재하는 리드와 기생 인덕턴스에 의한 손실 요소를 제작 공정에서 낮은 인덕턴스 값을 갖는 리드를 사용함으로써 최소화 할 수 있다. 또한 원활한 동작을 위해 상보형(Complementary) 구조의 소자와 트랜스포머를 사용, 추가적인 손실이 발생할 수 있는 전압 모드 D급 전력증폭기와 달리, 전류 모드 D급 전력증폭기는 발룬(Balun)을 이용한 단순한 푸시-풀 구조로서 RF 대역과 고주파 대역에도 구현할 수 있는 장점을 가진다.

III. 전력증폭기의 설계

본 논문에서 제안한 전류 모드 D급 전력 증폭기는 900 MHz 대역에서, Fujitsu사의 FLL357me GaAs FET 소자를 사용하여 푸시-풀 구조로 설계하였으며 Agilent사의 ADS 2002를 이용하여 시뮬레이션을 하였다. 그림 4는 제안한 전류 모드 D급 전력증폭기의 회로도이다.

출력단은 25 Ω의 임피던스를 갖는 발룬 특성으로 인하여, 25 Ω의 특성 임피던스를 갖는 라인 T1과 T2를 소자들 사이에 삽입하였으며, 시뮬레이션을 통해 길이를 최적화 하였다. 또한 상대적으로 작은 값의 트랜지스터 내부 커패시턴스 C_{ds} 를 효과적으로 최적화하기 위해 C_{ext} 를 적용하여, 스위치 모델에서 고효율이 구현되도록 시뮬레이션을 통해 그 값을 최적화

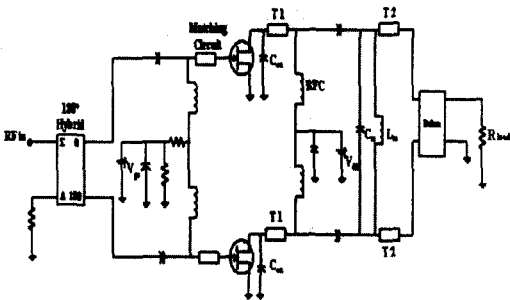
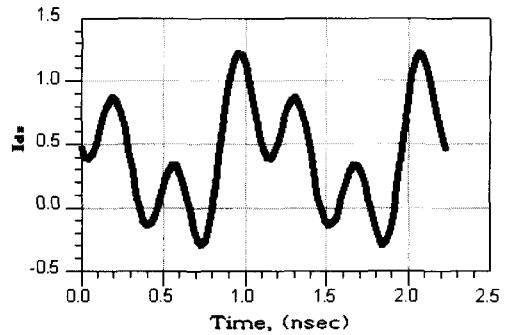
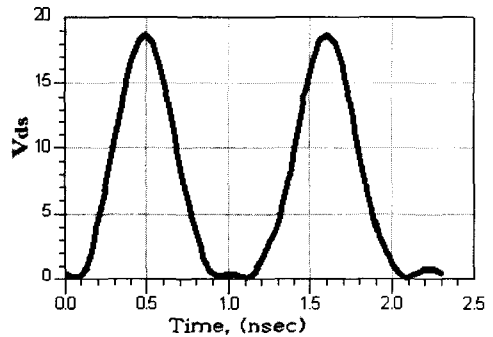


그림 4. 전류 모드 D급 전력증폭기 회로도
Fig. 4. Schematic of the current-mode class-D power amplifier.



(a) 드레인 전류 파형
(a) Drain current waveform



(b) 드레인 전압 파형
(b) Drain voltage waveform

그림 5. 전류 모드 D급 전력 증폭기의 출력 파형
Fig. 5. Simulated output of the CMCD power amplifier.

하였다.

그림 5는 $V_{ds} = 8$ V에서 스위칭이 일어나는 입력전력 21 dBm를 인가했을 때, D급 전력증폭기의 드레인 전압과 전류 V_{ds} 와 I_{ds} 의 시뮬레이션 된 출력 파형이다.

고조파 튜닝의 관점에서, 전류 모드 D급 전력증폭기는 출력단의 전압과 전류파형의 형태를 분석함으로써 각 고조파에 적합한 튜닝 방법으로 고효율을 얻을 수 있다.

특히 2차와 3차 고조파는 크기뿐만이 아니라 고효율을 구현하기 위한 중요한 요소이다.

전류 모드 D급 전력증폭기의 출력 임피던스는 2차 고조파에 대해서는 개방이 되어야 하고, 3차 고조파에 대해서는 단락이 되어야 한다. 출력단을 고조파에 특성에 맞게 설계함으로써, 전력증폭기의 드레인 전류와 전압의 파형은 고효율을 보이는 스위칭

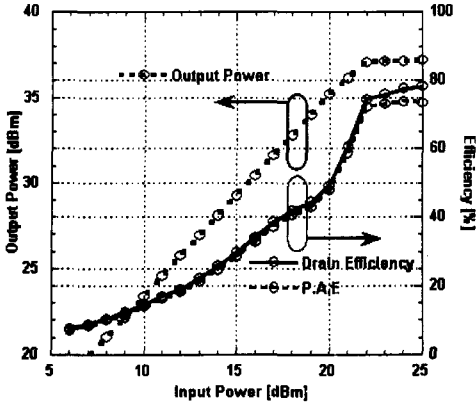


그림 6. 출력전력과 전력 부가 효율 시뮬레이션 결과
Fig. 6. Simulated efficiency and output power of the current-mode class D power amplifier.

파형으로 만들 수 있다.

설계된 전력증폭기에서 2차 고조파는 발룬 특성으로 인해 2차 고조파에 대해 개방이 되며, 그 외의 고조파는 출력단의 고조파 컨트롤 회로와 C_{ext} 에서 단락이 되도록 시뮬레이션을 통해 값들을 최적화 하였다.

그림 5에서 시뮬레이션 된 증폭기의 전압파형은 2차 고조파가 합성된 사인반파(Half sine-waveform), 전류파형은 3차 고조파가 합성된 방형파형(Rectangular-waveform)의 모습을 확인할 수 있다. 전류파형은 출력단에 존재하는 C_{d1} 에 의해 완벽한 방형파 형태는 아니지만 트랜지스터가 오프되었을 때, 스위치 오프 상태를 확인할 수 있다.

그림 6은 $V_{dd} = 8$ V일 때, 전류 모드 D급 전력증폭기의 출력과 전력 부가 효율의 시뮬레이션 결과를 나타냈다.

전력증폭기는 입력전력이 낮을 때에는 B급 전력증폭기로 동작하며 스위칭 일어나기 충분한 21 dBm 이상의 입력전력부터는 스위칭 동작을 통해 고효율을 보이는 것을 확인할 수 있다.

시뮬레이션 결과, 37 dBm 출력전력에서는 78 %의 드레인 효율을, 73 %의 전력 부가 효율을 각각 얻었다.

그림 7은 입력전력을 출력전력이 포화되어 스위칭 동작이 일어나는 21 dBm으로 고정시키고 DC 전압을 변화시킬 때, 출력전압과 전력 부가 효율을 시뮬레이션 한 결과를 나타내었다.

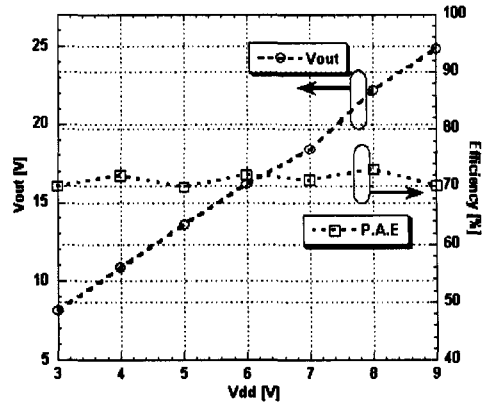


그림 7. 드레인 전압 변화에 따른 출력과 전력 부가 효율의 시뮬레이션 결과

Fig. 7. Simulated result of the output power and power added efficiency with changing drain voltage.

3~9 V 구간에서 70 % 이상의 일정한 전력 부가 효율을 유지하며, DC 전압에 따라 출력전력이 선형적으로 변하는 것을 시뮬레이션 결과를 통해 확인할 수 있다.

IV. 전력증폭기의 제작 및 측정

설계된 전력증폭기는 유전율 3.5, 두께 0.762 mm 인 RF-35-0300 기판에 제작했다. 증폭기의 스위칭 동작을 위해 이득이 21 dB인 구동증폭기로 구동했다. 그림 8은 제작된 증폭기의 실물도이다.

푸시-풀 동작을 위해 아나렌의 180° 하이브리드 커플러를 사용, 입력전력을 부가하였으며, 출력단은 발룬을 사용하였다.

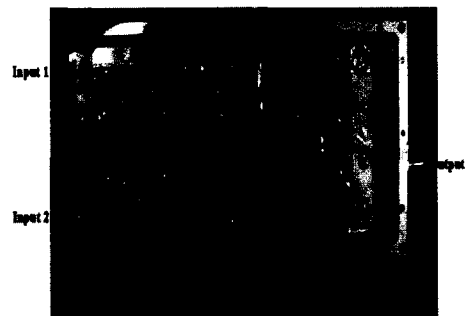


그림 8. 전류 모드 D급 전력증폭기의 실물사진
Fig. 8. Photograph of the current-mode class D power amplifier.

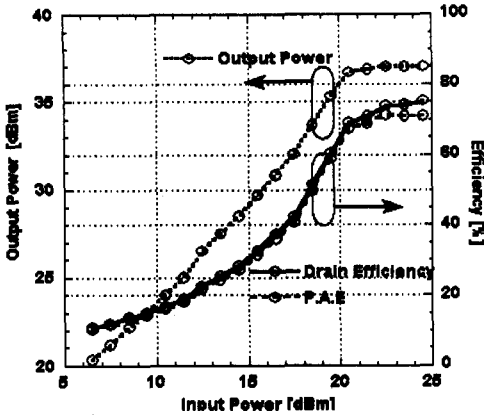


그림 9. 전류 모드 D급 전력증폭기의 출력전력과 전력 부가 효율 측정 결과
 Fig. 9. Measured result of the efficiency and output power of the current-mode class D power amplifier.

그림 9는 $V_{gs} = -2\text{ V}$, $V_{dd} = 8\text{ V}$ 를 인가하였을 때, D급 전력증폭기의 출력전력과 전력 부가 효율을 측정 한 결과이다.

입력단 하이브리드 커플러와 출력단 발룬(Balun)의 삽입 손실은 각각 0.3 dB 정도 되었으며, 출력단 하모닉 컨트롤 회로의 삽입 손실은 0.4 dB 정도 되었다. 그림 9는 이러한 모든 요소들이 포함된 측정 결과이다. 만일 더 적은 삽입 손실과 높은 Q 값의 인덕터와 커패시터를 사용한다면 나은 효율 개선의 효과 뿐만 아니라 고조파 억압 특성을 기대할 수 있다.

측정 결과, 입력전력이 낮을 때는 선형적 출력 특성을 갖는 B급 전력증폭기로 동작하며 입력 전력을 증가시켜도 출력 전력이 일정하게 되는 전력 포화 지점인 20 dBm부터는 75% 이상의 고효율을 보이는 스위칭 모드 증폭기로 동작하는 것을 확인할 수 있다. 따라서 입력전력 20 dBm 이상에서는 출력전력이 입력전력이 아닌 DC 전압의 크기에 따라 결정되는 스위칭 모드 증폭기의 동작함을 알 수 있다.

그림 10은 이러한 스위칭 모드 D급 전력증폭기의 특성 확인을 위해 입력전력을 21 dBm으로 고정시키고 DC 전압 V_{dd} 의 값을 3 V에서 9 V까지 변화시킬 때, 전력증폭기의 출력전력과 전력 부가 효율을 측정 한 결과이다.

측정 결과, 전력증폭기의 3~9 V 구간에서의 출력전압은 V_{dd} 에 따라 선형적으로 증가하는 것을 확

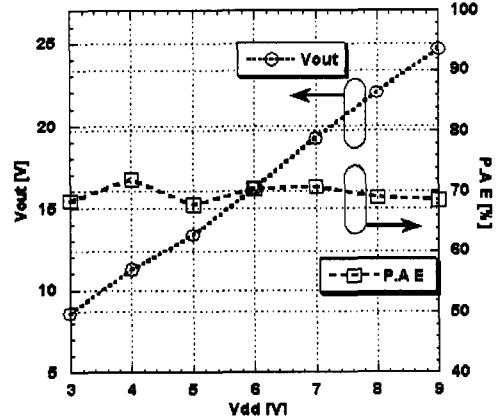


그림 10. 전압 변화에 따른 출력전력과 전력부가효율
 Fig. 10. Measured output power and power added efficiency with changing drain voltage.

인할 수 있다. 이것은 입력전력의 크기에 상관없이 DC 전력의 크기에 따라 출력전력의 크기가 결정되는 스위칭 모드 전력증폭기의 특성을 잘 나타내고 있으며, 전 구간에 걸쳐 70%의 일정한 전력 부가 효율이 유지되는 것을 확인할 수 있다.

그림 11과 12는 Agilent사의 스펙트럼 분석기로 고조파 컨트롤 회로 통과전과 통과후의 특성을 나타 내었다.

그림 11은 고조파 컨트롤 회로를 적용하지 않고 21 dBm의 입력전력을 인가했을 경우, 출력 전력과 고조파를 측정 한 결과이며 그림 12는 같은 조건 하에서 고조파 컨트롤 회로를 적용했을 경우, 측정 결과를 나타내고 있다. 그림 12에서 확인할 수 있듯이

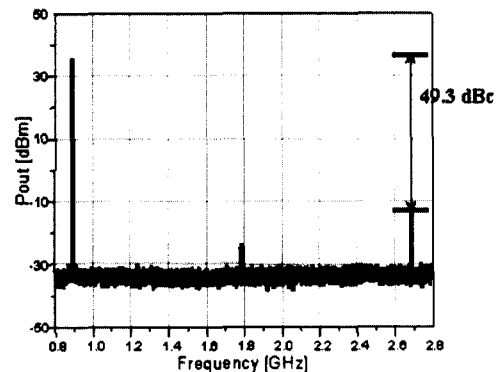


그림 11. 고조파 컨트롤 회로 적용전의 출력 스펙트럼
 Fig. 11. Measured output spectrum not applied harmonic control circuit.

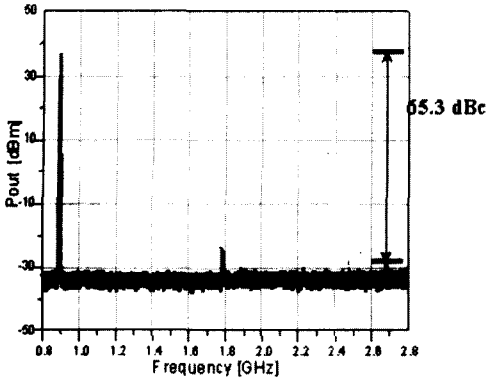


그림 12. 고조파 컨트롤 회로 적용후의 출력 스펙트럼
Fig. 12. Measured output spectrum applied harmonic control circuit.

고조파 컨트롤 회로를 적용하기 전 전력증폭기의 3 차 고조파의 크기는 -49.3 dBc이며, 적용후의 특성은 -65.3 dBc를 보여 약 16 dB의 고조파 억압 특성을 보였다. 전력증폭기의 고조파는 컨트롤 회로를 통해 잘 억압되고 있음을 확인할 수 있다.

제한된 전류 모드 D급 전력증폭기의 출력신호는 인가되는 DC 전력에 의해 출력전력이 변화하는 일정 포락선 신호이다.

그림 13은 일정 포락선 변조 신호인 21 dBm의 GSM 신호를 증폭기에 인가하였을 때의 측정된 출력 스펙트럼을 나타내고 있다.

$V_{dd}=4$ V와 $V_{dd}=8$ V의 각각의 경우, 왜곡은 관찰되지 않았으며, 출력전력의 차는 6 dB 정도 되어 출력전력이 드레인 전압의 제곱에 비례하는 D급 전력증폭기의 특성을 GSM 입력 신호 인가 시, 만족시키

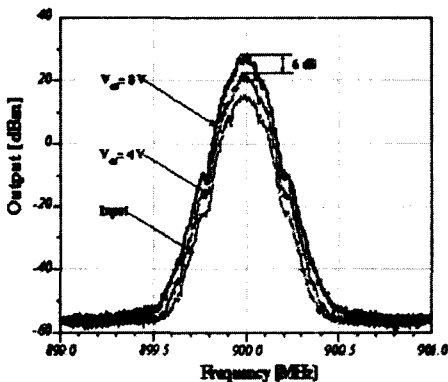


그림 13. GSM 출력 스펙트럼
Fig. 13. Measured GSM output spectrum.

표 1. GSM 신호의 인접 채널 전력 요구 사항과 전력증폭기 인접 채널 전력 비교

Table 1. Comparison of required GSM ACPR specification and measured result of proposed power amplifier.

Offset	Spec.	Measured result	Condition
200 kHz	< -30 dBc	36 dBc	30 kHz BW
250 kHz	< -33 dBc	44 dBc	30 kHz BW
400 kHz	< -60 dBc	74 dBc	30 kHz BW
600 kHz	< -63 dBc	84 dBc	30 kHz BW
1200 kHz	< -65 dBc	84 dBc	30 kHz BW
1800 kHz	< -65 dBc	84 dBc	100 kHz BW
> 6000 kHz	< -80 dBc	84 dBc	100 kHz BW

는 결과를 얻었다.

표 1에서는 GSM 신호의 인접 채널 전력비(Adjacent channel power ratio) 요구사항과 제안된 전력증폭기의 측정 결과를 비교, 정리하였다. 전력증폭기는 요구사항에서 규정한 모든 구간에 대하여 ACPR 특성을 만족시키고 있음을 측정결과와 요구사항과의 비교를 통하여 확인할 수 있다.

본 논문에서 제안한 전력증폭기는 일정 포락선 변조신호인 FM, GSM과 같은 신호의 증폭에 적합하다. 만일 전력증폭기를 비 일정 포락선 변조 신호인 (Non-constant envelope modulated signal) AM, CDMA에 적용하기 위해서는 주 전력증폭기와 함께 시변 포락선 신호(Time variant envelope signal)의 증폭을 위해 포락선의 변화에 따라 증폭기의 바이어스를 변화시키는 바이어스 변조 전원 공급기(Bias modulated power supply)가 필요하며 이 경우 고효율과 선형성을 동시에 만족시킬 수 있는 포락선 제거 복원 (Envelope elimination and restoration)을 적용할 수 있다.

V. 결 론

본 논문에서는 RF 대역에서도 기존의 연구결과와 제안한 전류 모드 D급 전력증폭기의 비교를 통해 D급 전력증폭기의 구현 가능성을 증명하였다. 제안된 전력증폭기는 낮은 입력전력에서는 선형 모드로 동작하였으며 실험결과, 포락선전력에서는 소자의 스위칭 동작을 통해, 고효율을 보이는 결과를 보였다. 또

한 기존 D급 전력증폭기에 비해 확장된 V_{ds} 동작 영역과 높은 출력을 보이면서 D급 전력증폭기의 특성을 확인했다. 만일 변조 전원공급기와 같이 구현된다면, 본 연구에서 제시된 전력증폭기는 고효율과 선형성을 동시에 만족시키는 방법인 포락선 제거, 복원 기술에 적용될 수 있으리라 생각된다.

참 고 문 헌

[1] N. O. Sokal, I. Novak and J. Donaue, "Classes of RF power amplifier A through S, How they operate, and when to use them", *Proc. RF Expo West 1995*, pp. 131-138, 1995.
 [2] H. L. Krauss, C. W. Bostain and F. H. Raab, *Solid State Radio Engineering*, New York: Wiley, 1980.
 [3] F. H. Raab, D. J. Rupp, "HF power amplifier operate in both class B and D", *Proc. RF Expo*

West 1993, pp. 14-124, Mar. 1993.
 [4] F. H. Raab, "Envelope elimination and restoration system concept", *Proc. RF Expo East 87*, pp. 167-177, Nov. 1987.
 [5] S. El-Hamasay, "Design of high efficiency RF class D power amplifier", *IEEE Trans. Power Electron*, vol. 9, pp. 297-308, May 1994.
 [6] H. Kobayahshi, J. M. Hinrichis and P. M. Asbeck, "Current-mode class D RF power amplifier for high efficiency RF application", *IEEE Trans. Microwave Theory and Techniques*, vol. 49, pp. 2480-2485, Dec. 2001.
 [7] A. Long, J. Tao and S. I. Long, "A 13 W current mode class D high efficiency 1 GHz power amplifier", *Proc. IEEE Circuit and System Midwest Symposium*, vol. 1, pp. 33-36, 2002.

서 용 주



2002년 2월: 명지대학교 전자정보통신공학과 (공학사)
 2004년 2월: 광운대학교 전파공학과 (공학석사)
 2004년 2월~현재: (주)에이스테크놀로지 연구원
 [주 관심분야] RF Power Amplifier

Design and Efficiency Enhancement Technique

김 종 헌



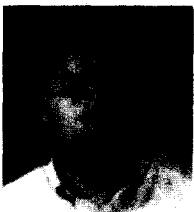
1984년 2월: 광운대학교 전자통신공학과 (공학사)
 1990년 6월: 독일 Ruhr Univ. Bochum 전자공학과 (공학석사)
 1994년 8월: 독일 Dortmund Univ. 전자공학과 (공학박사)
 2001년 2월~2003년 1월: 캐나다

Simon Fraser University 연구 교수

2004년 3월~현재: 광운대학교 전파공학과 교수

[주 관심분야] Digital Linearization of Power Amplifier and Transmitter, Smart Power Amplifier and Integrated RF/DSP Design

조 경 준



1998년 2월: 안양대학교 정보통신공학과 (공학사)
 2000년 2월: 광운대학교 전파공학과 (공학석사)
 2004년 2월: 광운대학교 전파공학과 (공학박사)
 2004년 3월~현재: 광운대학교 RFIC

센터 Post-Doc.

[주 관심분야] High Efficient RF Power Amplifier and Linearization Technique, Microwave Sensor