ARM 기반의 네트워크용 SoC(System-on-a-chip) 프로세서의 설계 및 구현

論 文
53D-6-8

Design and Implementation of ARM based Network SoC Processor

朴 敬 哲* · 朴 英 遠**
(Kyoung-Cheol Park · Young-won Park)

Abstract - The design and implementation of a Network Processor using System-on-a-chip(SoC) technology is presented. The proposed network processor can handle several protocols as well as various types of traffics simultaneously. The proposed SoC consists of ARM processor core, ATM block, AAL processing block, Ethernet block and a scheduler. The scheduler guarantees QoS of the voice traffic and supports multiple AAL2 packet. The SoC is manufactured on the 0.35 micron fabrication line of HYNIX semiconductor, the total number of gates is about 312,000, for a maximum operating frequency of over to 50 MHz.

Key Words : SoC, ARM, ATM, AAL, Scheduler,

1. 서 론

다양한 종류의 네트워크들은 고유의 특성을 갖고 각기 발전해 왔다. 지난 수년간 이런 네트워크들의 개발과 함께 이들의 통합에 대한 요구가 증가되어 왔다. VoIP의 등장으로 음성과 데이터의 통합과 이들 간의 프로토콜 변환이 많이 발생하게 되었다. 특히 음성에서의 PSTN(Public Switched Telephone Network)의 품질을 요구하는 수요가 많지만 지금까지는 음성과 데이터를 동시에 처리하면서 음성의 품질을 충분히 보장하지 못하였다. 이러한 다양한 트래픽을 처리하기위하여 음성과 데이터 처리부를 하나로 통합하면서 이들에 대한 스캐줄링을 통하여 전체적인 품질을 보장하는 전송방식에 관한 연구가 진행되고 있다.

음성, 영상, 데이터의 다양한 트래픽을 처리해야 하는 경우에는 망이나 성능에 대한 요구사항이 있는데 특히 음성 데이터의 경우 만족할만한 품질로 네트워크상에서 전송되기 위해서는 여러 가지 실시간 처리에 관한 요구조건이 만족되어야 한다. 일반적으로 음성은 8KHz의 레이트로 샘플링되고 네트워크를 통한 전송과정을 거쳐 수신측에서 동일한 레이트로 재생된다. 이때 각 음성 샘플은 네트워크를 통과하면서 전송 및 전달 지연 시간을 갖게 되는데, 정상적인 대화 진행을 위해서는 이 지연 시간은 150 밀리 초 이하로 유지되어야 한다. 더욱 중요한 점은 전송되는 각 샘플들의 전송 지연 시간이 일정하게 유지되지 않음으로서 발생하는 지터 잡음(Jitter Noise) 등에 영향을 받지 않고 수신측에서 일정한 레이트로 각 샘플들이 재생되어야 한다는 것이다. 만약 지터 잡음에 의해 수신측에서의 재생 레이트가 변하게 되면 재생되는 음성의 품질이 떨어지게 되며, 서비스 사용자는 명확하지 않은 대화로 인해 서비스의 만족도가 현저히 낮아지게 된다.

전통적인 PSTN 망은 호가 설정되는 시점에서 음성 샘플의 전달을 위하여 일정한 데이터 송수신 능력을 예약하고 망을 통한 음성 샘플의 전달을 동기시킴으로써 지터 잡음 등에 의한 서비스 품질의 저하를 막고 있다. 이와 같은 방식은 음성 서비스에 대하여 예측 가능한 환경을 제공함으로써 각 음성 샘플이 갖는 전달 지연 시간 및 지터를 미리 정해놓은 값 이하로 유지시켜줄 수 있으며, 따라서 전화를 사용할 때 우리가 경험할 수 있는 음성 품질이 제공되는 것이다. 그러나 이와 같은 방식은 음성 호가 진행되는 동안은 항상 64Kbps 채널을 할당하므로 묵음 구간에서 다른 호의 음성 전달에 해당 채널이 사용되지 못하는 단점을 갖고 있다. 패킷망을 통한 음성 데이터의 전송은 자원 사용의 효율성 문제의 해결책으로 제시되었다[1-4] 특히 ATM 망은 각 호에서 발생한 음성 샘플들의 지터 및 전달 지연 시간을 PSTN 망과 동일한 수준으로 유지시키면서 동시에 각 호가 미리 정해놓은 대역폭을 공유하도록 한다.[5] ATM 포럼은 ADSL과 같은 광대역 가입자 망에서 음성 및 멀티미디어의 전송을 지원하는 효과적인 전송 방식을 정리하고 AF-VMOA-0145.000를 통하여 AAL2를 지원하는 ATM 가상 회선을 이용는 전달하는 방식에 대하여 규정하고 있다.[6] ATM 가상 회선은 다중 QoS(Quality of Service)에 기반을 둔 우선순위에 의거하여 사용되므로 음성 및 데이터 트래픽의 차별화 및 PSTN 망 수준의 음성 서비스를 제공한다.

본 논문에서는 이러한 음성의 품질을 효과적으로 유지하면서 다양한 프로토콜과 트래픽을 동시에 처리할 수 있는 네트워크 프로세서의 구조를 제안한다. 제안된 네트워크 프로세서는 하나의 칩으로 음성과 영상, 데이터를 처리하여 비

* 正 會 員 : 아주大學 시스템공학과 博士課程
** 正 會 員 : 아주大學 시스템공학과 敎授 · 工博
接受日字 : 2004年 2月 2日
最終完了 : 2004年 5月 6日

용은 물론 성능 면에서도 우수한 네트워크 장비의 개발을 가능하게 하였다. 구현된 네트워크 프로세서는 ARM 프로세서 코어, 이더넷 블록, AAL 블록, ATM 블록, 그리고 스케줄러로 구성된다. 특히 기존의 네트워크 프로세서의 구조에 트래픽의 효율적인 관리를 위한 스케줄러 구조를 제안하여 음성의 통화 품질의 열화를 방지하면서도 데이터의 전송속도를 떨어뜨리지 않도록 하였다. 이로써 VoIP나 VoDSL 등의 인터넷폰 어플리케이션에 적용할 경우 우수한 성능을 제공하도록 하였다.

네트워크 프로세서는 SUN사의 Ultra 60 워크스테이션의 solaris 2.7 환경에서 CADENCE사의 verilog HDL을 사용하여 설계하였다. 합성은 SYNOPSY사의 Design Compiler™ 툴을 이용하였다. 최종적으로 검증된 회로는 하이닉스의 0.35μm 공정을 이용하여 제작되었다. 구현된 칩은 총 게이트수가 312,000개이며 칩의 최대 동작 주파수는 50MHz 이다. 제안하는 네트워크 프로세서는 ATM 표준안에서 제시된 내용을 모두 만족하도록 구성되었고, 그동안 음성을 소프트웨어로 처리하던 AAL2 프로토콜을 완벽하게 SoC 내의 하드웨어 블록으로 구현 하였다.

논문의 구성은 2장에서 네트워크 프로세서의 하드웨어 구조와 구성 모듈의 구현 및 기능에 대하여 자세히 기술한다. 3장에서 제안하는 스케줄러에 대해서 설명한다. 4장에서는 구현 및 시험에 대하여 살펴본다. 마지막으로 5장에서 결론을 맺기로 한다.

2. 네트워크 프로세서의 구조와 기능

그림 1은 설계된 네트워크 프로세서의 전체 시스템 구성도를 나타낸다. 네트워크 프로세서는 ARM 720T 프로세서 코어, ATM 처리블록, Ethernet 처리블록, 스케줄러 등으로 구성된다.

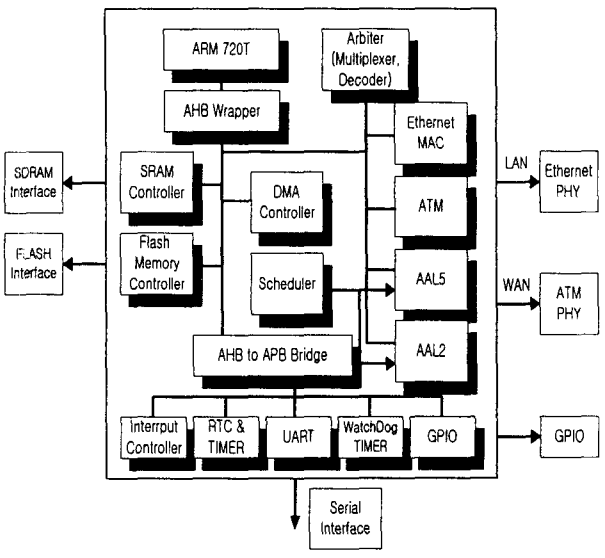

그림 1. 네트워크 SoC 프로세서의 구조

Fig. 1. The Architecture of Network SoC Processor

프로세서 코어는 ARM720T로서 내부 캐시 메모리, MMU(Memory Management Unit)를 보유하여 임베디드 OS의 포팅이 가능하다. 기타 UART, DMA 제어장치, Watch dog 타이머, 인터럽트 제어장치, 타이머 제어장치 등은 개개의 기능블록으로 분할하여 설계 되었으며 개별적으로 시뮬레이션을 수행하였다. 내부 기능 블록들의 연결을 위한 시스템 버스는 AMBA 버스를 채택하였다. Ethernet 블록은 수신부, 송신부, CRC (Cyclic Redundancy Code) generation / checker, 주소 식별 로직, FIFO와 FIFO 제어 로직, DMA 제어 로직으로 구성되어 있다. 클라이언트가 프레임의 전송을 요구하였을 때, CSMA/CD 방식에 따라 데이터로부터 프레임을 만든다. 네트워크 프로세서는 외부 메모리용으로 ROM, 플래시 메모리, SDRAM 인터페이스를 지원한다. ROM은 시스템 초기화를 구현하는 부트 로더용으로, 플래시 메모리는 부트 로더를 제외한 시스템 소프트웨어를 저장한다. SDRAM은 네트워크 프로세서가 수행하는 응용 소프트웨어 또는 기능 수행 중에 발생하는 데이터 부분이 저장된다.

ATM 처리블록은 상위 계층과의 데이터 전송을 ATM 프로토콜에 맞게 구현해서 53 바이트의 셀로 주고받도록 하는 모듈로서 다음과 같은 여러 가지 모듈들로 구성되어 있다. 음성 트래픽을 담당하는 AAL2(ATM Adaptation Layer 2) 모듈과 대량의 데이터 트래픽을 처리하는 AAL5 모듈, 그리고 ATM 계층의 기능을 수행하는 ATM 모듈, 이를 물리계층으로 보내주는 UTOPIA 인터페이스 모듈, 호스트 인터페이스 모듈과 이들 음성, 영상, 데이터등의 트래픽을 서비스 등급에 따라 처리할 수 있는 스케줄러로 구성되어 있다.

AAL2와 AAL5모듈은 각각 송신부와 수신부로 나뉘며 송신부의 경우는 셀 슬롯 단위로 동작한다. 이는 스케줄러 모듈에서 발생시켜 준다. 즉 스케줄링 된 셀 률(cell rate)에 따라 그에 해당하는 시간 단위로 동작하도록 슬롯을 보내준다. 스케줄러는 채널별 트래픽의 특성에 따라 적절히 셀 슬롯을 할당한다. 이 때 한 개의 셀 슬롯 이내에 하나의 53 바이트 셀을 전달하는 것이다. 그러나 DMA를 사용하는 경우 DMA의 완료 시점을 정확히 이 가정에 맞출 수 없으므로 이를 완화하기 위한 버퍼를 두고 있다. AAL2 모듈은 음성 패킷을 주로 전송하는 프로토콜이다. 따라서 지연에 민감한 전송 특성을 갖는다. 이 경우 스케줄러는 할당된 대역폭으로 전송하지만 일반 데이터에 비하여 최대 지연시간을 정하여 운영한다. AAL0 모듈은 특별한 AAL처리를 하지 않고 상위 계층으로부터 전달받은 데이터를 ATM 셀에 실어 전송하게 된다. 따라서 특별한 대역폭을 할당받을 필요가 없으며 다른 채널을 서비스하다가 중간에 쉬는 셀 슬롯 시간에 서비스를 한다.

ATM 모듈은 ATM 계층의 프로토콜을 처리하여 송수신하는 기능을 수행한다. 송신기능은 채널별로 스케줄러에 의해 전송된 데이터들을 하나의 셀 스트림으로 변환하는 다중화 작업을 수행한다. 이때 각 채널에 맞는 헤더를 패킷마다 삽입하여 물리 계층으로 전송하는 기능을 담당한다. 수신시에는 역 다중화를 수행하여 셀의 헤더로부터 정보를 수집하여 관련 채널정보를 얻는다. 마지막으로 스케줄러는 채널별로 서비스 등급에 따른 품질 보장과 할당된 대역폭 내에서 데이터를 전송하도록 하는 모듈이다. 예를 들면 실시간

음성의 경우 엄격한 지연 요구 특성을 갖는 반면 다른 대부분의 데이터 채널에서는 우선적인 관심 대상이 아니다. 심지어 지연이 민감한 트래픽 내에서도 지연에 대한 요구사항들이 각각 다르게 나타난다. 이상적으로는 일정한 제어 메커니즘이 모든 미디어에 적용 되어야 하겠지만 이는 극히 어렵고 효율적이지도 않다. 따라서 본 논문에서는 지연에 민감한 음성과 데이터를 동시에 효율적으로 지원하는 구조의 스케줄러를 제안하였다.

3. 제안된 스케줄러의 구조 및 동작

여러 가지 스케줄링 방식들이 과거에 제안되었다. 이러한 대부분의 스케줄링 방식들은 ATM 스위치에 채택되어 트래픽을 제어하는 용도로 사용되었다. 기존에 제안되었던 방식들은 Virtual Clock[7], Jitter Earliest Due Date(Jitter EDD)[8], Stop-and-Go[9], Hierarchical Round Robin(HRR)[10] 등이 있다. 기존에 제안된 레이트 조절을 위한 여러 방식들에 대해서는 Hui Zhang [11] 등이 분석 및 비교하였다. 본 논문에서는 기존의 우수한 성능을 보이는 HRR등의 방식과 새로 제안한 스케줄러의 구조를 비교하였다. 기존의 레이트 기반 스케줄링 방식 중에서 우수한 성능을 내는 HRR은 여러 등급의 서비스 레벨을 갖는다. MPEG과 같은 영상데이터, 실시간성을 필요로 하는 음성이나 지연에 대한 요구사항이 없는 데이터등과 같이 서로 다른 서비스 특성을 갖는 채널들을 서로 다른 큐에 할당한다. 각각의 서비스 레벨마다 서로 다른 큐를 가지며 이 큐 들은 라운드 로빈 방식에 의하여 자신의 서비스 시점을 할당 받으며 해당 타임 슬롯이 할당되는 시점에 서비스를 할 수 있는 권한을 갖는다. 또한 각각의 큐를 운영함에 있어서도 라운드 로빈 방식을 사용하여 패킷을 전송한다. 이러한 구조의 스케줄러는 각각 서비스 레벨 별로 큐를 운영하므로 비교적 정확한 레이트 조절이 가능하고 전체적인 트래픽을 조절할 수 있는 장점이 있다. 하지만 이를 실제로 구현할 때는 문제점이 따른다. 서비스 하고자 하는 등급이 여러 가지이고 등급별로 전송하고자 하는 채널이 여러 개 일 때 해당되는 큐를 모두 가지고 있어야 하며 각 큐별로 지원하는 채널의 개수가 한정되어 있으므로 한 종류의 서비스를 하는 큐에 채널이 몰리는 경우 나머지 큐는 활용되지 못한다. 이러한 문제점을 해결하기 위하여 본 논문에서는 두 개의 큐를 가지면서 여러 등급의 서비스를 지원하고 동적으로 채널 할당 및 제거가 유리한 구조의 스케줄러 구조를 제안하였다.

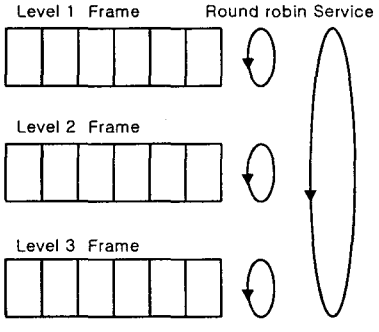

그림 2 Hierarchical Round Robin
Fig. 2 Hierarchical Round Robin Frame

ATM 망을 통하여 서비스되는 CBR(Constant Bit Rate)은 지연 파라미터가 있어 일정한 대역폭을 항상 할당하므로 실시간 응용에 적합하고 VBR(Variable Bit Rate)은 지연에는 아주 민감하지는 않으나 일정한 대역폭을 보장하여야하는 압축 영상 등의 응용에 이용할 수 있다. 그리고 UBR(Unspecified Bit Rate)은 셀 지연이나 셀 손실에 대한 서비스 품질 보장이 전혀 없는 방식이다. 따라서 전송률 등에 대한 어떤 파라미터도 설정되지 않는다. 반면 ABR은 최소 셀 전송률을 보장하지만 셀 지연 변이 및 셀 전송 지연을 제어하지 않으며 항등 비트율 전송을 지원하지 않는다. UBR과 ABR 서비스는 지연이나 지연 변이에 대한 요구사항이 엄격하지 않은 전자우편이나 파일 전송 시스템 등에 이용할 수 있다. 여기서 CBR과 VBR의 특성이 유사하고 UBR과 ABR의 특성이 유사함을 알 수 있다. 이를 이용하여 효율적인 타임 슬롯링 구조를 구성할 수 있다. 먼저 하나의 타임 슬롯 링에 CBR 채널을 할당하여 실시간성이 요구되어지는 채널을 처리하고 나머지 슬롯에는 통계적인 다중화를 통한 링크 이용도를 높이도록 VBR 채널을 효율적으로 대역폭을 할당한다. 그리고 CBR과 VBR채널이 전송되는 중 잉여 대역폭이 발생하는 경우 ABR과 UBR 트래픽을 보내도록 한다. ABR과 UBR트래픽도 마찬가지로 ABR을 할당 후 남는 부분은 UBR로 할당할 수 있으므로 하나의 타임 슬롯링을 공유 할 수 있다. 먼저 하나의 우선 순위링에 특성이 유사한 CBR과 VBR 채널을 할당하여 운영하고 다른 하나의 우선 순위링에 UBR과 ABR 채널을 할당하여 운영하면 다양한 트래픽 채널들을 단지 2개의 링 구조만으로 서비스 하게 되어 전체적인 하드웨어를 줄일 수 있게 된다.

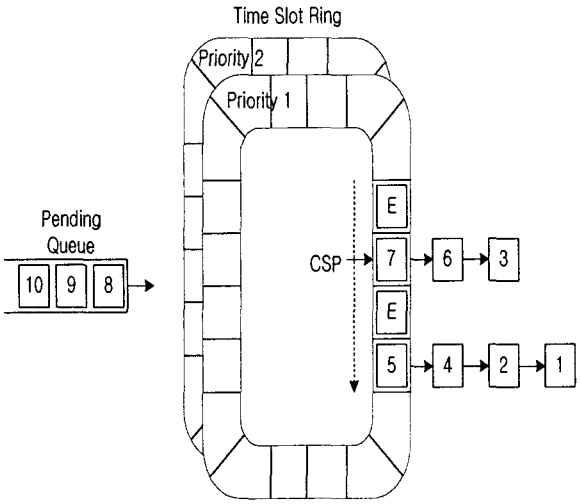

그림 3 이중링 구조의 링크 스케줄러
Fig. 3 Dual Ring Link Scheduler

제안된 스케줄러는 다음 그림과 같이 우선순위를 갖는 2개의 타임 슬롯 링, 할당된 채널 테이블, 대기 큐 등으로 구성된다. 호스트에서 새로운 채널이 형성되면 해당 채널의 정보는 대기 큐에 기록된다. 스케줄러는 대기 큐로부터 채널 정보를 읽어 메모리의 채널 테이블 영역에 저장하고 해

당 채널의 데이터가 저장되어 있는 위치를 가리키는 버퍼 식별자가 연결 리스트 형식으로 슬롯에 함께 삽입된다. 스케줄러는 셀 슬롯 타임을 주기로 동작한다. 셀 슬롯 발생기로부터 셀 슬롯타임 신호가 스케줄러에 인가되면 스케줄러는 우선 대기 큐에 기록되어 있는 새로운 채널 정보가 있는지를 확인한다. 새로운 채널 정보가 있을 경우 타임 슬롯 링에 해당 채널 정보를 삽입하고, 스케줄러는 다음 단계인 타임 슬롯링 처리 단계로 진행한다.

타임 슬롯 링은 이중 구조로 구성된다. CBR이나 VBR로 형성된 채널은 우선순위 1인 타임 슬롯 링에서 처리된다. ABR 또는 UBR의 트래픽 클래스를 갖는 채널은 우선순위 2인 타임 슬롯 링에서 처리된다. 스케줄러는 먼저 우선순위 1인 타임 슬롯 링의 채널들을 전송하도록 한다. 만약 슬롯 타임 내에 현재 슬롯의 모든 채널의 셀들이 전송되면 남는 타임 슬롯시간 동안 아이들 셀을 전송되지 않고 우선순위 2인 타임 슬롯 링의 현재 슬롯에 링크된 ABR 트래픽을 해당 대역폭에 따라 전송한다. 전송 후에도 남는 슬롯 시간이 있으면 UBR 트래픽을 전송 하도록 하여 대역폭에 낭비가 없도록 하였다. 스케줄러의 동작은 다음과 같다. 스케줄러는 한 번에 하나의 셀을 최대 링크 속도로 전송한다. 스케줄러는 원형의 큐 구조로 되어있어서 연속적으로 CSP (Current Slot Point)를 순환하면서 해당 슬롯에 전송하여야 할 채널의 셀이 있는 경우 이을 전송한다. 그 후 전송 파라미터에 따라 다음에 서비스해야할 슬롯에 전송을 예약하여 다음 전송 시점을 준비하도록 한다. 만일 같은 타임 슬롯에 서비스해야 할 여러 개의 채널이 겹치는 경우 다음 타임 슬롯으로 넘어가지 않고 연결된 해당 채널의 셀들을 모두 전송한다. 이렇게 소비된 타임 슬롯 시간은 다음에 서비스해야할 시간을 조절함으로써 전체적인 전송시간을 맞추도록 한다. 이 때 한 셀이 전송되는데 소요되는 시간을 T라 두면 T는 모든 스케줄링 동작의 기본단위로 사용 될 수 있다. 만약 링크의 셀 전송률이 R이라면 1초에 평균 R개의 셀이 전송됨을 의미하며 따라서 T=1/R 이며 각 채널별로 셀과 셀 사이의 간격인 CTCS(Cell to Cell Spacing)는 채널 테이블에 각각 저장되며 해당 채널의 전송률을 결정하는 파라미터가 된다.

타임 슬롯 링의 크기를 N, 슬롯에서 전송되는 셀의 수를 S라 하면 스케줄러가 링을 한번 순회하는데 소요되는 시간은 N*S*T 가 된다. 슬롯 크기인 S와 스케줄러의 정밀도와는 서로 역상관계를 갖는다. 즉 슬롯크기 S 가 작아지면 그만큼 정밀한 스케줄링이 가능하지만 타임 슬롯 링을 구성하는데 필요한 메모리의 크기가 증가한다. 이와 같은 소요 메모리의 증가는 하드웨어 비용을 상승 하게한다.

4. 구현 및 시험

본 논문에서 제안한 스케줄러를 포함한 네트워크 프로세서는 Verilog HDL로 설계되었다. 논리합성과 배치 및 배선을 거친 후 테스트 회로를 넣고 칩으로 제작 되었다. 사용된 Fab.은 Hynix의 0.35μm 공정으로 제작되었다. 전체 게이트 수는 312,000게이트이며, 최대 ATM셀 데이터 처리 능력은 52 Mbps이다. 그림 4는 제안한 네트워크 프로세서의 배치 및 배선이 완료된 후의 사진이다.

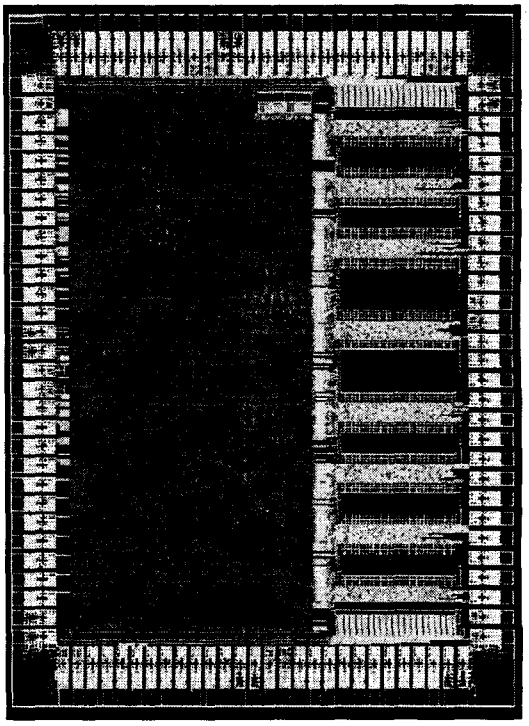

그림 4. 제작된 네트워크 프로세서의 사진
Fig. 4. The Photograph of Proposed Network Processor

제안한 네트워크 프로세서의 성능을 확인하기 위하여 ATM 네트워크 환경에서 음성과 데이터를 동시에 처리할 수 있는 VoDSL(Voice over DSL)용 단말기를 구성하였다. 스케줄러의 음성 및 데이터 처리를 네트워크 프로세서 상에서 적절히 수행하는지를 확인하기 위하여 VoDSL 서비스망을 통한 성능 실험을 실시하였다. 성능을 측정하기 위한 장비로 Voice Gateway는 Paradyne사의 CPX-1000을 사용하였고, Class 5 스위치로는 TDX-100 교환기가 사용되었다. 제안된 네트워크 프로세서의 음성 처리와 관련된 성능을 측정하여 보았다. 음성 코덱은 G.711(PCM-64 A-law) 및 G.726(ADPCM)을 사용하였으며, 측정 장비는 Agilent사의 VQT (Voice Quality Test)장비인 J5422A을 사용하였다. VoDSL 시험망에서 측정한 음성의 품질을 PSQM(Perceptual Speech Quality Measure), PESQ(Perceptual Evaluation of Speech Quality), PAMS (Perceptual Analysis/Measurement System), LES, LQS, MOS(Mean Opinion Score)와 음성 샘플의 평균 지연으로 비교하여 보았다. 여기서 임계값은 국내 통신사업자가 VoDSL 장비의 벤치마킹 테스트에 사용한 값으로 기존 PSTN 망에서의 품질에 근접하는 통화 품질을 제공하기 위해서는 반드시 만족되어야 한다. 표에서 알 수 있는 바와 같이 제안된 네트워크 프로세

서는 서비스 품질 측면에서는 PSTN 망의 품질과 거의 동일한 음성 서비스를 제공할 수 있었다.

표 1. ADPCM 음성 품질 비교
Table 1. ADPCM Voice Quality

음성코덱 종류	항목		제안된 네트워크 프로세서	기존의 PSTN
ADPCM	PSQM		1.41	< 3.0
	PAMS	LES	4.25	> 3.6
		LQS	3.9	> 3.6
	Average delay		31.9ms	< 100ms
	MOS		4.25	> 3.8
	PESQ		3.45	> 3.0

표 2. PCM 음성 품질 비교
Table 2. PCM Voice Quality

음성코덱 종류	항목		제안된 네트워크 프로세서	기존의 PSTN
PCM	PSQM		0.76	< 3.0
	PAMS	LES	4.46	> 4.0
		LQS	4.19	> 4.0
	Average delay		17.9ms	< 100ms
	MOS		4.54	> 4.0
	PESQ		3.85	> 3.5

5. 결 론

본 논문에서는 음성 데이터 통합 장비에 사용 되는 네트워크 프로세서의 구조 및 설계에 관하여 설명하였다. 제안된 스케줄러는 적은 메모리를 가지고서도 모든 트래픽을 효과적으로 지원하며 특히 통화 품질에 민감한 음성을 지연이나 열화 없이 처리함을 실험을 통하여 알 수 있었다. 설계된 프로세서는 50MHz의 시스템 클럭에서 ATM 데이터는 52Mbps까지 이더넷은 최대 100Mbps까지 처리할 수 있다. Verilog HDL로 설계된 후 하이닉스의 0.35μm 공정을 이용하여 제작 되었고 게이트 수는 총 312,000개 이다. 네트워크 프로세서는 급격한 통신의 초고속화 및 데이터, 영상 음성의 통합지원 경향에 따라 그 수요가 증가하고 있으며 앞으로도 많은 관심과 연구가 필요한 분야라 생각된다.

참 고 문 헌

[1] K. Sriram, T. Lyons, and Y. Wang, "Anomalies Due to Delay and Loss in AAL2 Packet Voice Systems : Performance Models and Methods of Mitigation," IEEE Journal on Selected Areas in Communications, Vol. 17, No. 1, 1999.

[2] ITU-T Recommendation I.363.2, Series I: B-ISDN ATM Adaptation Layer Specification: Type 2 AAL, ITU, Geneva, Switzerland, 1997.

[3] ITU-T Recommendation I.366.2, AAL Type 2 Service Specific Convergence Sublayer for Trunking, ITU, Geneva, Switzerland, 1999.

[4] J. Sydir, P. Chandra, A. Kumar, S. Lakshmanamurthy, L. Lin, and M. Venkatachalam, "Implementing Voice over AAL2 on a Network Processor," Intel Technology Journal, Vol. 6, Issue 3, 2002.

[5] Eng, K.Y., Karol, Yeh, "A growable packet(ATM) switch architecture : Design principles and applications", IEEE Tran. Comm. vol. 40, no 2, pp. 423-439, 1992

[6] The ATM Forum, Voice and Multimedia Over ATM Loop Emulation Service Using AAL2, af-vmoa-0145.000, 2000.

[7] Lixia Zhang, A New Architecture for Packet Switched Network Protocols, Ph.D dissertation, Massachusetts Institute of Technology, July 1989

[8] Dinesh Verma, Hui Zhang, and Domenico Ferrari, Guaranteeing delay jitter bounds in packet switching networks. In Proceedings of Tricomm' 91, Chapel Hill, North Carolina, April 1991

[9] S. Jamaloddin Golestani, A stop-and-go queuenig framework for congestion management, In ACM SIGCOMM'90 Symposium, Communications Architecture & Protocols, page 8-18 September 1990

[10] Charles R. Kalmanek, Hemant Kannakia, and Srinivasan Keshav, Rate controlled servers for very high speed networks, In IEEE Global Telecommunications Conference, December 1990.

[11] Hui Zhang and Srinivasan Keshav, Comparison of Rate Based Service Disciplines Proceedings of ACM Sigcomm '91 p113-121 September 1991

저 자 소 개

박 경 철(朴 敬 哲)

1988~1992 : 인하대학교 전기공학과 학사
1992~1994 : 인하대학교 전기동학과 석사
1996~현재 : 아주대학교 시스템 공학과 박사과정
관심 분야 : VLSI 설계, System-on-a-Chip, 무선통신 분야

박 영 원(朴 英 遠)

1998~현재 : 아주대 대학원 시스템공학과 전임교수
1973 : 오클라호마 주립대학에서 제어시스템 공학 석사(1973)
1976 : 오클라호마 주립대학에서 제어시스템 공학 박사(1976)
이후 NASA-존슨우주센터 근무 맥 도넬 더글러스 우주항공회사에서 우주왕복선, 우주항공기, 우주정거장, 유인 화성탐험 등 사업의 지상관제소, 선내 유도항법제어 또는 전장/비행 시 스템의 시스템모델링, 시스템해석 및 시스템엔지니어링 연구개발 실무 20년 종사 함. NASA-Johnson Space Center, NASA-MSFC, NASA-LaRC, US-AF 등의 개발사업에 참여하고, 일본의 무인우주사업(SFU)과 NASA 공동사업, 그리고 유럽우주국(ESA)과 NASA 공동 우주사업 과제수행, (1996년~1998년) 고등기술연구원 초빙연구위원,
연구관심분야는 시스템엔지니어링 프로세스, 아키텍팅, 시스템설계 및 해석 방법