

0.35 μm 싱글폴리 표준 CMOS 공정에서 제작된 아날로그 메모리 셀의 프로그래밍 특성

論 文

53D-6-6

Characteristics of Programming on Analog Memory Cell Fabricated in a 0.35 μm Single Poly Standard CMOS Process

蔡 勇 雄* · 鄭 東 鎮**
(Yong-Yoong Chai · Dong-Jin Jung)

Abstract - In this paper, we introduce the analog memory fabricated in a 0.35 μm single poly standard CMOS process. We measured the programming characteristics of the analog memory cell such as linearity, reliability etc. Finally, we found that the characteristics of the programming of the cell depend on the magnitude and the width of the programming pulse, and that the accuracy of the programming within 10mV is feasible under the optimal condition. In order to standardize the characteristics of the cell, we have investigated numbers of cells. Thus we have used a program named Labview and a data acquisition board to accumulate the data related to the programming characteristics automatically.

Key Words : Labview, Analog memory, Single Poly EEPROM, Resolution, Programming

1. 서 론

개인용 컴퓨터의 보급과 인터넷을 포함한 정보통신망의 급속한 확산은 대용량의 데이터처리가 가능한 시스템을 요구하고 있다. 정보의 저장매체로는 다양한 메모리가 사용되어 왔으며 그 저장용량도 급속히 확장되어 왔다. 특히 휴대용 단말기의 사용이 보편화되면서 저전력이며 비휘발성 특성이 있는 메모리에 대한 요구가 증대되고 있다. EEPROM이나 플래쉬 메모리는 이와 같은 시장의 요구에 적합한 메모리로서 시스템 내에서 쓰기과 소거가 가능한 특성을 가지고 있어 그 수요가 크게 증가되고 있다.

지금까지 대부분의 EEPROM과 플래쉬 메모리는 더블폴리 실리콘 게이트로 구성되어 있었고[1, 2, 3, 4, 5], 이것은 공정의 단가를 상승시키고 수율을 저하시키는 주요한 요인이 되었다. 최근에는 싱글폴리 표준 CMOS 공정에서 제작된 EEPROM과 플래쉬 메모리가 연구되고 있다[6, 7]. 싱글폴리 실리콘 게이트는 더블폴리 실리콘 게이트 구조를 펼쳐놓음으로써 수평적 구조형태를 가지고 있는데 구조상 불가피하게 칩 면적이 증가한다는 단점이 있으나 신뢰성이 향상된다는 점과 기존의 공정을 이용한다는 점에서 비용이 절감되는 효과가 기대된다.

일반적으로 디지털 메모리는 신뢰성 및 비교적 간결한 제

어구조로 인해 지금까지 널리 사용되어왔다. 디지털 메모리는 기억소자 안에 논리값 1과 0이라는 두 개의 값만을 표현하며 저장용량을 증가시키기 위해서는 공정을 개선하는 것 이외에는 별다른 방법이 없었다. 이러한 공정에 의한 용량의 증가는 선 폭이 물리적 한계에 이른 것으로 간주되어 더 이상 개선의 여지가 없는 것으로 여겨지며, 이것을 설계적인 측면에서 개선하고자 하는 연구가 지속되고있다. 이러한 관점에서 하나의 기억소자 안에 이론적으로 무한히 많은 데이터를 저장할 수 있는 아날로그 메모리는 설계를 통한 메모리의 저장용량이 확장될 수 있음을 보여주고 있다. 현재까지 나온 아날로그 메모리는 대부분이 더블폴리 방식으로 설계된 EEPROM이다. 이러한 구조는 Fowler-Nordheim 방식[8]으로 쓰기과 소거가 가능하므로 설계가 용이하나 추가공정의 필요성으로 인해 공정단가가 상승하고 수율이 하락하는 문제점이 있다. 최근에 관심을 끌고있는 표준 CMOS공정에서 제작된 싱글폴리 아날로그 메모리는 기존의 더블폴리 아날로그 메모리의 문제점을 극복하는 계기가 될 것으로 여겨진다. 그러나 싱글폴리 구조에서 설계된 아날로그 메모리 셀은 쓰거나 소거동작에서 Flower-Nordheim 터널링 방식과 Hot electron 인젝션 방식이 모두 사용되어 주변회로와 프로그래밍 알고리즘이 다소 복잡해지는 문제가 있다.

본 논문에서는 표준 0.35 μm 싱글폴리 CMOS 공정에서 제작된 아날로그 메모리셀의 프로그래밍 특성을 측정하고자 한다. 측정 결과는 싱글폴리 아날로그 메모리의 프로그래밍에 필수적인 셀의 물리적, 전기적 특성을 제공할 것이다. 아날로그 메모리의 특성은 셀 간의 오차가 크기 때문에 다수의 셀로부터 데이터를 수합하여 평균값과 편차를 구하여야 하는 어려움이 있다. 따라서 수작업을 통한 셀 특성의 측정

* 正 會 員 : 啓明大學 工大 電子工學科 副教授 · 工博

** 正 會 員 : 啓明大學 工大 電子工學科 碩士課程

接受日字 : 2004年 2月 12日

最終完了 : 2004年 4月 6日

은 상당한 시간이 소요되고 반복되는 동작으로 인해 오류가 발생할 수 있는 가능성이 크다. 따라서 셀 특성 측정을 자동화시킬 필요가 있고, 이를 위해 본 논문에서는 LabVIEW 및 데이터 수집보드를 사용하여 다수의 시료로부터 데이터 처리를 자동화하였다.

2. 아날로그 메모리 셀 구조

고용량의 영상매체나 음성매체를 저장할 때 일반적인 디지털 메모리보다 아날로그 메모리를 쓰는 것이 효율적이다. 디지털 메모리는 한 셀에 두 개의 논리값을 갖지만 아날로그 메모리는 이론적으로는 무한히 많은 상태를 표현할 수 있기 때문이다. 따라서 아날로그 메모리는 물리적 소자의 한계를 극복하여 집적도를 향상시킬 수 있는 대안으로 자리 잡고 있다.

아날로그 메모리는 EEPROM 형태의 디지털 메모리와 셀의 구조가 동일하다. 단지 디지털 메모리가 "0"과 "1"의 논리값을 갖는 반면 아날로그 메모리는 부유게이트에 저장되는 전하량을 미세하게 조절하여 데이터를 구분하는 차이가 있을 뿐이다.

지금까지는 더블폴리 방식의 아날로그 메모리에 대해 많은 연구가 집중되어 왔다[1, 2, 3]. 그러나 기존의 더블폴리 방식의 EEPROM은 추가되는 공정으로 낮은 수율, 높은 단가 등의 문제가 있었고, 이에 최근에는 상기 문제를 극복하기 위해 표준 CMOS 공정에서 제작 가능한 싱글폴리 EEPROM이 제안되었다[5, 6].

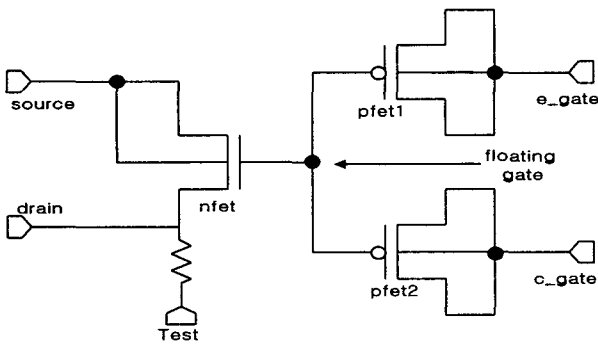


그림 1 싱글폴리 EEPROM 셀 회로도
Fig. 1 Cell skematic of single-poly EEPROM

그림 1은 R. McParland에 의해 제안된 싱글폴리 아날로그 메모리이며[6], 그림 2는 그림 1에서 테스트단자와 저항을 제외한 셀의 레이아웃이다. 그림에서 c_gate는 컨트롤 게이트, e_gate는 소거게이트를 나타낸다. 그림 1에서 nfet, pfet1, pfet2의 공통단자로 구성된 부분이 부유게이트(floating gate)이며, 저항과 테스트 단자는 셀의 문턱전압 특성의 변화를 감지하기 위한 테스트 단자를 나타낸다.

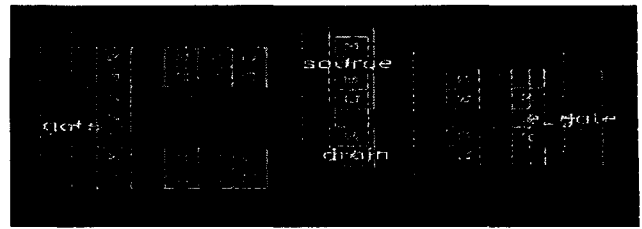


그림 2 싱글폴리 EEPROM의 레이아웃
Fig. 2 Layout of single-poly EEPROM

상기 셀은 프로그래밍이라는 과정을 통해 특정량의 전하를 부유게이트에 주입하거나 제거하게 되는데 이를 위해서는 각 단자에 적절한 프로그래밍 전압을 걸어주어야 한다. 프로그래밍에 의해 일단 부유게이트에 트랩된 전하는 트랜지스터의 문턱전압을 변화시키게 되고 이 변화에 따라 데이터간의 구분이 가능하게 된다.

3. 아날로그 메모리 셀의 프로그래밍

아날로그 메모리는 폴리실리콘으로 구성된 부유게이트에 전하의 양을 조절하여 프로그래밍 특성을 조절하는 불활성 메모리이다. 아날로그 메모리에 특정한 데이터를 저장하기 위해서는 부유게이트에 전하를 쓰거나 소거하는 프로그래밍이라는 과정이 필요하며, 이 프로그래밍에는 쓰기, 소거동작이 있다. 쓰기동작은 부유게이트에 전하를 추가하는 과정을 나타내며 이것은 셀을 구성하고 있는 트랜지스터의 문턱전압을 상승시키는 효과를 가져다 주며, 반대로 소거동작은 부유게이트의 전하를 제거하는 동작을 나타내는 것으로서 이것은 트랜지스터의 문턱전압을 낮추게 된다. 마지막으로 아날로그 메모리에서는 프로그래밍 동작과 함께 읽기동작이 필수적이다. 시스템은 읽기동작을 통해 프로그래밍의 종류를 선별하고 프로그래밍의 시작과 종료를 판단하게 된다.

표 1 셀의 프로그래밍 전압
Table 1 Programming voltage of cell

| 동작구분 | Source | Drain | c_gate | e_gate | Test |
|------|--------|--------|--------|----------|----------|
| 소거 | 0V | 0V | 0V | 8~10V | Floating |
| 쓰기 | 0V | 4V | 2~7V | Floating | Floating |
| 읽기 | 0V | Output | 1.5V | Floating | 2.5V |

표 1에는 셀의 소거, 쓰기, 읽기동작 등을 위해 셀의 각 단자에 인가된 프로그래밍 전압을 나타낸다. 이와 같이 외부전원의 크기를 결정하게 하는 요인으로는 실리콘 옥사이드의 두께, 폴리 공정의 신뢰성 등이 있다.

아날로그 메모리의 셀 특성 측정을 위해 Labview와 데이터 수집보드를 사용하였다. LabVIEW는 Laboratory virtual Instrument Engineering Workbench의 약자로 프로그램을 그래픽으로 작성하는 프로그램 언어이다. Labview의 가상

인스트루먼트는 1개 이상의 컴퓨터와 네트워크 인터페이스, UUT (unit under test), 소프트웨어, 입출력장치 (GPIB, VXI, serial, PLC, Fieldbus, Plug-In DAQ보드) 등으로 구성된다. 가상 인스트루먼트를 사용하면, 컴퓨터와 경제적인 하드웨어로 자신의 측정 시스템을 구현할 수 있다. 소프트웨어가 중심이 된 이들 시스템은 일반적인 컴퓨터의 처리과정, 디스플레이, 연결성을 경감하므로 자신의 측정 시스템을 작성할 때 유연성을 확보할 수 있다.

본 논문에서는 Labview의 가상 VI를 위해 셀의 쓰기, 소거, 읽기에 필요한 전압과 그에 따른 주변장치를 설계하였다. 동작 제어를 위해 릴레이를 사용하였고 이 동작의 제어는 DAQ 보드를 이용하였다. 상기의 구성으로 제작된 시스템은 지속적으로 쓰기과 읽기동작을 반복하며 프로그래밍을 하게 된다. 이러한 프로그래밍 동작전에 소거동작이 선행되어야 한다. 소거동작은 측정하고자 하는 셀에 잔류하고 있는 전하를 제거하기 위해 프로그래밍 동작 초기에 반드시 실행해야 한다. 소거동작을 위해 e_gate에 인가할 전압도 역시 DAQ 보드를 통해서 제어한다. 그림 3은 셀 측정을 위한 시스템을 나타내며, 릴레이1, 2, 3은 쓰기, 소거, 읽기동작을 구분하기 위한 스위치로 사용된다.

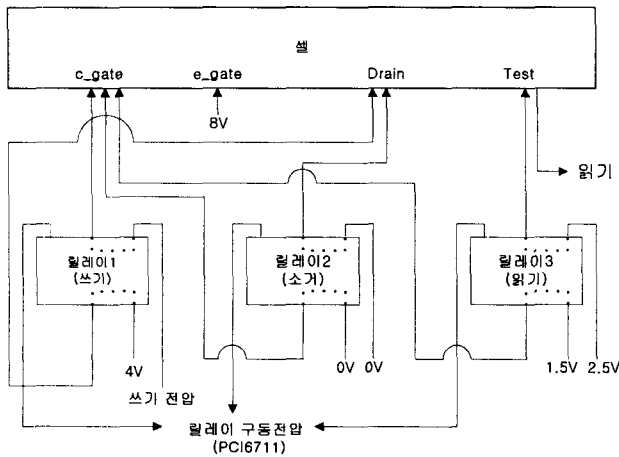


그림 3 셀 특성 측정 장치
Fig. 3 Measuring setup of cell characteristics

그림 4는 셀의 동작여부를 확인하기 위한 DAQ 보드를 구동하는 흐름도를 나타낸다. 셀의 동작여부와 기본적인 특성을 파악하기 위해서 셀에 전압을 인가하여 전하를 저장하고 소거하는 동작을 하였다. 쓰기 동작을 위해서 초기 c_gate에 2V의 전압을 인가하고, 동시에 드레인 단자에 2V의 전압을 인가하여 쓰기 동작을 하였다. 그리고 얼마간의 전하가 저장되었는지 알아보기 위해서 드레인 단자를 출력으로 하는 읽기 동작을 실행한다. 이때 부유게이트에 저장된 전하를 드레인 단자를 통해서 측정 후 저장한다. 이후 c_gate에 인가되는 전압을 2V보다 높게 하여 쓰기 동작을 한다. 그리고 다시 읽기 동작을 측정하여 드레인 단자를 통해 부유게이트의 전압을 측정한다. 이와 같이 상기의 작업을 부유게이트에 더 이상 전하가 저장되지 않을 때까지 계속한다. 위의 작업이 끝난 후 부유게이트에 저장된 전하를 소거하여야 한다. 저장된 전하를 소거하기 위하여 쓰기 동

작이 모두 끝난후 e_gate에 초기 6V의 전압을 인가한다. 그리고 소거 동작이 끝난 후의 부유게이트의 전하의 값을 읽기 위해서 드레인 단자를 통해 다시 측정 후 저장한다. 쓰기 동작과 마찬가지로 e_gate의 전압을 다소 높여나가면서 소거 동작과 읽기 동작을 반복하여 데이터를 저장하였다.

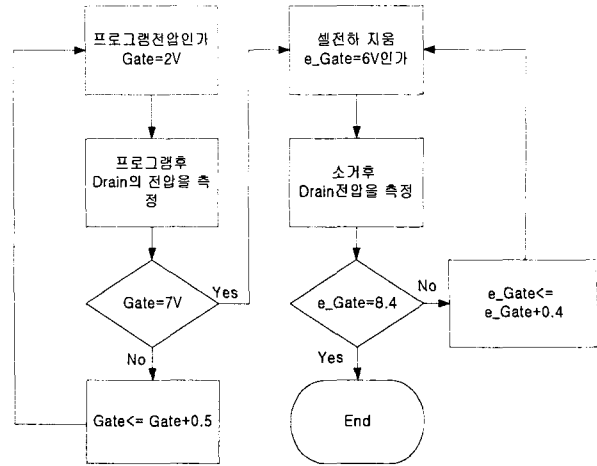


그림 4 셀 특성 측정 흐름도
Fig. 4 Flowchart of Cell characteristics measurement

그림 5는 메모리의 셀의 선형성을 측정하기 위한 흐름도이다. 셀의 선형성이란 아날로그 메모리 셀에 특정 기준값을 부여하여 프로그래밍 과정을 수행하고 그 결과를 읽어 들였을 때 기준값과 저장값간의 차이를 나타내는 것으로서 아날로그 메모리의 정밀도를 나타내는 척도가 될 것이다.

선형성 측정을 위해 프로그램은 우선 드레인 전압과 기준 전압을 먼저 비교하여야 한다. 드레인 전압이 기준전압보다 작으면 쓰기 동작을 통하여 드레인 전압을 높여준다. 그리고 다시 비교하여 드레인 전압이 기준전압보다 작은지 큰지를 비교하여 작다면 다시 쓰기 동작을 하여 드레인 전압을 올려준다. 이런 과정을 반복함으로써 결국 드레인 전압은 기준전압과 같아지거나 커지게 된다. 드레인 전압이 기준전압보다 같거나 크면 그때의 드레인 전압을 측정하여 저장한 후 소거 동작을 통하여 드레인 전압을 다시 낮춘다. 그리고 기준전압을 0.01V만큼 조금 더 올린 후 같은 작업을 반복한다. 이러한 여러 차례의 실험결과를 바탕으로 셀의 선형성을 측정하였다.

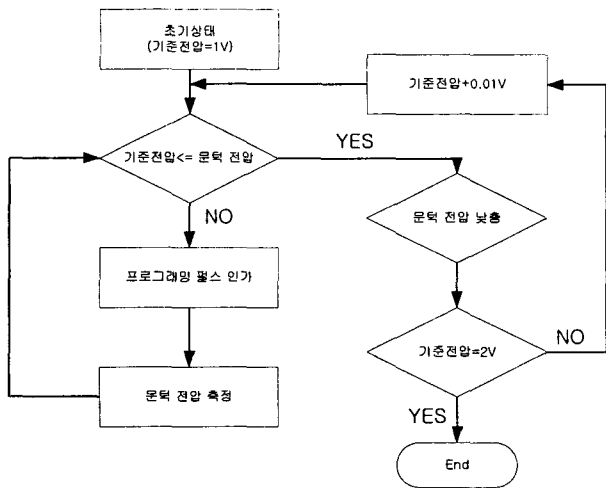


그림 5 선형성 측정 흐름도
Fig. 5 Flowchart of linearity measurement

그림 6은 Labview로 구현된 쓰기동작을 위한 프로그램 내용을 나타낸다. Case 함수를 사용하여 문턱전압과 기준전압 값을 비교하여 현재 문턱전압이 기준전압 보다 작으면 릴레이를 구동시켜서 c_gate와 Drain 단자에 쓰기전압과 4V를 인가하였다.

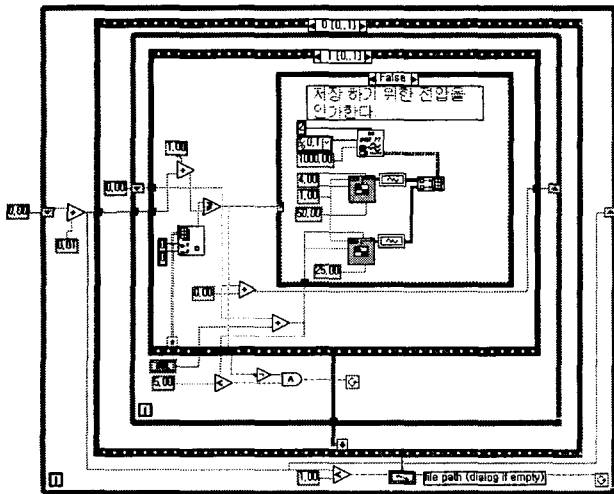


그림 6 쓰기동작을 위한 Labview 프로그램
Fig. 6 Labview program for writing operation

그림 7은 소거동작을 위한 Labview 프로그램으로서, 기준전압과 문턱전압을 비교하여 출력이 기준전압보다 크거나 같으면 소거동작을 수행한다. 릴레이2를 구동하여 c_gate와 Drain 단자에 0V를 인가하고 소거에 필요한 전압 8V를 e_gate에 인가하면 소거동작이 완료된다.

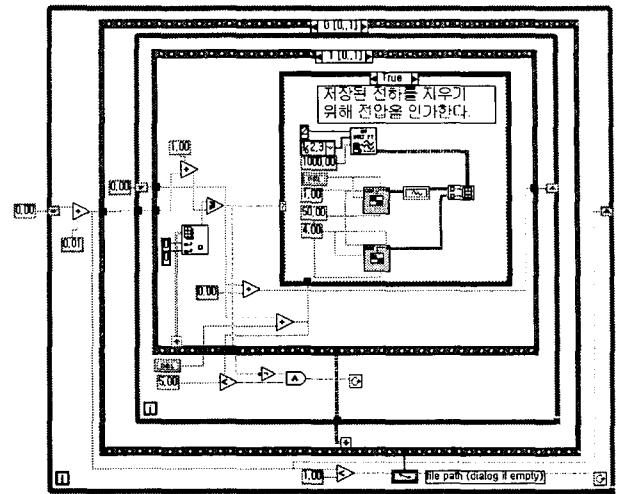


그림 7 소거동작을 위한 Labview 프로그램
Fig. 7 Labview program for erasing operation

그림 8은 읽기동작을 위한 프로그램으로서, 쓰기동작이 수행될 때마다 변화하는 문턱전압을 측정하게 된다. 읽기동작 시에는 릴레이3을 구동시키고 릴레이1과 릴레이2는 어프시킨다. 이 때 c_gate에는 1.5V, 테스트 단자에는 2.5V를 인가한다.

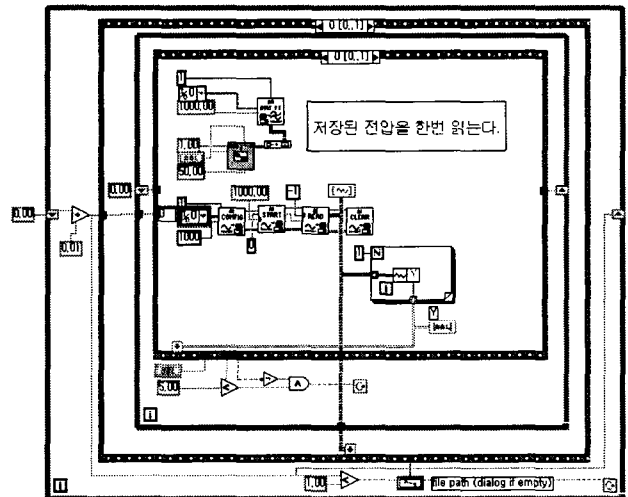


그림 8 읽기동작을 위한 Labview 프로그램
Fig. 8 Labview program for reading operation

4. 셀 특성 결과

그림 9는 그림 4의 흐름도에 의한 문턱전압의 변화를 나타낸 것이다.

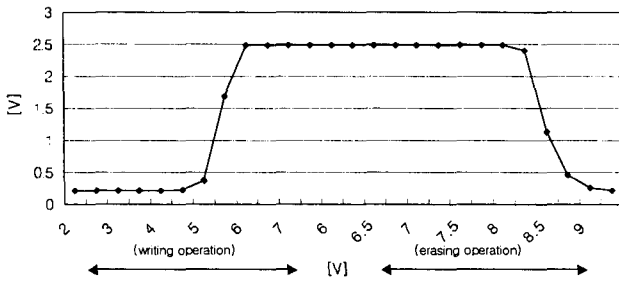


그림 9 프로그래밍에 의한 문턱전압 변화
 Fig. 9 Threshold voltage characteristics of proposed device during programming operation

그림 9에서 x축은 쓰기동작과 소거동작 시 인가된 전압을 나타내며 y축은 문턱전압의 변화를 나타낸다. 문턱전압 변화는 처음 4V까지는 거의 변화가 없었으나 쓰기전압이 5V에서 문턱전압에 변화가 나타났으며 5V에서 6V사이에서 문턱전압이 급격히 높아지는 것을 알 수 있다. 쓰기전압이 6V에서 문턱전압이 2.5V로 되었으며 6V이상의 전압에서는 문턱전압이 더 이상 변화가 없음을 알 수 있다. 쓰기동작 종료 후에 소거동작을 위해 프로그래밍 전압을 6V에서 9V까지 0.25V씩 증가시키며 측정하였다. 소거전압 6V에서 8V까지 문턱전압의 변화는 크지 않았으나 8V에서 9V사이의 전압이 인가되자 문턱전압은 급격히 낮아지는 것을 알 수 있었다. 이것으로 이 셀은 문턱전압을 증가시키는 가장 낮은 쓰기전압은 5V이고 문턱전압을 감소시키는 가장 낮은 소거전압은 8V인 것을 알 수 있다.

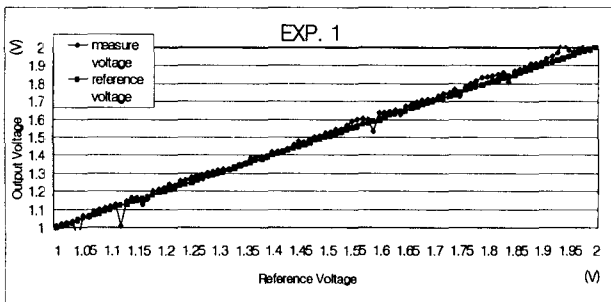


그림 10 프로그래밍 전압 (진폭 : 5.3V + 0.001V 증가, 펄스폭 : 500ms)에서 관측된 셀 선형성
 Fig. 10 Measured linearity of cell during programming voltage (amplitude : 5.3V + 0.001V increment, pulse duration : 500ms)

그림 10은 그림 5를 기반으로 한 흐름도에 의해 나타난 셀의 선형성을 나타낸 그래프이다. 그림 x축은 기준전압을 나타내고 y축은 프로그래밍이 완료된 후에 셀에 저장되어 읽혀진 문턱전압 값을 나타낸다. 이상적인 아날로그 메모리 셀의 경우에는 기울기가 1인 선형그래프로 나타날 것이다.

선형성은 인가되는 프로그래밍의 전압과 인가되는 형태에 따라 각기 다른 특성을 나타내게 된다. 그림 10은 쓰기전압을 5.3V에서 0.001V씩 증가시키면서 문턱전압의 변화를 측정 한 것으로서, 기준전압은 1V에서 2V까지 0.01V씩 증가시켰다. 드레인의 측정값이 기준전압과 같거나 크게되면 드레인 전압을 측정하여 값을 저장하였으며 이 때의 펄스 폭은 500ms이다.

그림 11은 그림 10과 같은 조건에서 일정하게 증가하는 전압을 고정시켜서 실험한 결과이며, 실험 2가 실험 1에 비해 오차가 작은 것을 알 수 있다.

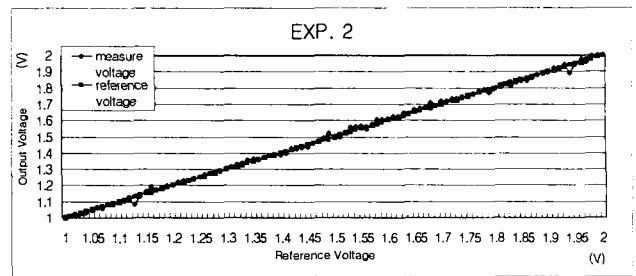


그림 11 프로그래밍 전압 (진폭 : 5.3V, 펄스폭 : 500ms)에서 관측된 셀 선형성
 Fig. 11 Measured linearity of cell during programming voltage (amplitude : 5.3V, pulse duration: 500ms)

그림 12는 그림 10과 동일한 조건으로서 단지 펄스폭을 500msec에서 250msec로 변화시키고 측정 한 결과이다. 펄스폭의 감소가 부유게이트로 이동하는 전자의 수를 제한하여 선형성을 향상시킬 것으로 예상하였으나 측정 결과는 다소 차이가 있었다. 이 결과로부터 전자의 이동이 대부분 펄스의 라이징에지에서 이루어지는 것으로 추정된다.

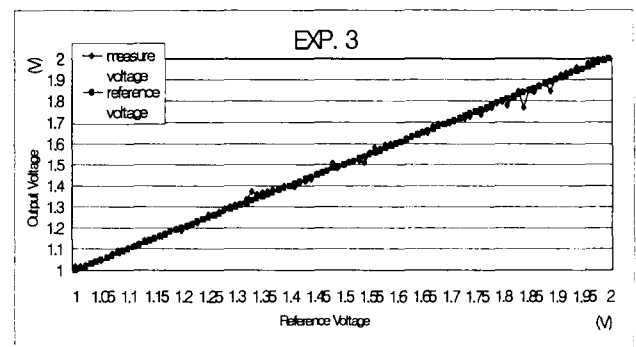


그림 12 프로그래밍 전압 (진폭: 5.3V + 0.001V 증가, 펄스폭 : 250ms)에서 관측된 셀 선형성
 Fig. 12 Measured linearity of cell during programming voltage (amplitude: 5.3V + 0.001V increment, pulse duration: 250ms)

그림 13은 프로그램 펄스 파형을 5.3V로 고정시켜놓고 측정한 결과이다. 프로그램 펄스 파형을 고정시키면 아날로그 메모리의 선형성이 향상되는 것을 알 수 있다. 이것은 부유

게이트에 축적되는 전하가 만들어내는 전기장의 방향이 인가되는 전압에 반대방향으로 만들어지기 때문이다. 따라서 동일한 프로그래밍 전압을 인가한다고 해도 실제적으로는 부유게이트에 인가된 전하의 양에 비례하는 크기로 감소하여 인가되는 결과가 되는 것이다. 이와 같은 동작은 아날로그 메모리의 선형성을 향상시키는 효과는 있지만 프로그래밍 소요시간을 연장시키는 결과를 가져오는 단점이 있다.

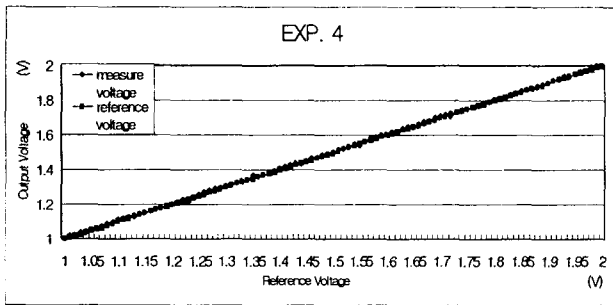


그림 13 프로그래밍 전압 (진폭 : 5.3V, 펄스폭 : 250ms)에서 관측된 셀 선형성

Fig. 13 Measured linearity of cell during prgramming voltage (amplitude : 5.3V, pulse duration : 250ms)

그림 14는 쓰기전압의 펄스 폭을 25ms, 50ms로 앞의 펄스폭을 1/10배로 줄이고 앞서의 실험을 반복한 것으로서 총 8개의 경우를 동시에 한 개의 그래프에 나타낸 것이다. 실험 3에서와는 달리 펄스폭이 크게 감소하는 경우에는 선형성에 영향을 주는 것으로 나타났다. 그러나 펄스폭을 감소로 인해 프로그래밍에 소요되는 시간은 더욱 증가하게 될 것이다.

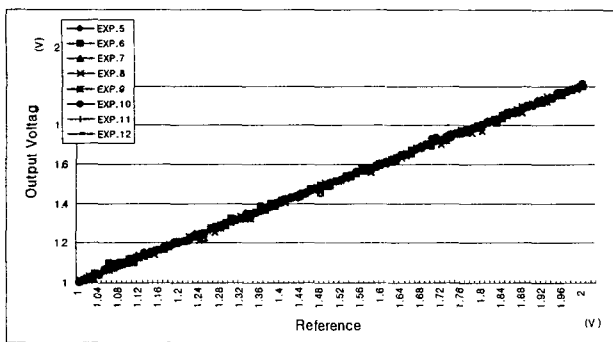


그림 14 쓰기전압 펄스 폭을 1/10로 한 경우의 셀 선형성

Fig. 14 Measured linearity of cell after reducing programming duration up to 1/10

표 2는 프로그래밍 전압의 형태에 따른 선형성을 측정하였던 12개의 실험에서 인가된 프로그래밍 전압을 정리한 표이다,

표 2 실험1~12에 인가된 프로그래밍 전압조건

Table 2 Condition of Programming Voltage on 12 experiments

| | 쓰기전압 | 소거전압 | 펄스 폭 |
|-------|------------|------|-------|
| 실험 1 | 5.3+0.001V | 8V | 500ms |
| 실험 2 | 5.3 | 8V | 500ms |
| 실험 3 | 5.3+0.001V | 8V | 250ms |
| 실험 4 | 5.3V | 8V | 250ms |
| 실험 5 | 6+0.001V | 8V | 50ms |
| 실험 6 | 6 | 8V | 50ms |
| 실험 7 | 6+0.001V | 8V | 25ms |
| 실험 8 | 6 | 8V | 25ms |
| 실험 9 | 5.6+0.001V | 8V | 50ms |
| 실험 10 | 5.6V | 8V | 50ms |
| 실험 11 | 5.6+0.001V | 8V | 25ms |
| 실험 12 | 5.6V | 8V | 25ms |

표 3은 표 2에 나타난 각기 다른 프로그래밍 전압에 따른 선형성의 오차의 평균값과 표준편차를 나타낸 표이다. 표 3에서 먼저 펄스폭이 500ms,250ms인 실험1에서 실험4의 경우의 오차평균을 살펴보면 실험1>실험2>실험3>실험4의 순서인 것을 알 수 있다. 쓰기전압의 펄스폭이 동일한 경우에는 쓰기전압을 일정하게 인가한 실험이 더 오차평균이 작고, 인가한 쓰기전압이 동일한 경우에는 쓰기전압의 펄스폭이 작은 쪽이 오차평균이 작은 것을 알 수 있다. 한편 실험 2와 3을 비교하면 일정한 전압을 유지하는 것보다는 펄스폭을 감소시키는 것이 더욱 선형도에 기여하는 것을 알 수 있다. 실험5에서 실험12의 실험들은 인가된 쓰기전압의 펄스폭을 1/10배로, 즉 50ms,25ms로 줄인 실험들의 결과를 나타낸 것이다. 오차의 크기가 실험5>실험6>실험7>실험8>실험9> 실험10>실험11>실험12의 순서인 것을 알 수 있다. 실험 5-8과 실험 9-12를 비교하면 인가되는 전압의 크기가 작을수록 선형성이 향상되는 것을 알 수 있다.

표 3 실험1~12의 오차평균 및 표준편차 비교

Table 3 Comparison of average difference and standard deviation with 12 experiments

| 실험 구분 | 실험1 | 실험2 | 실험3 | 실험4 | 실험5 | 실험6 |
|-------|----------|----------|----------|----------|----------|----------|
| 오차평균 | 0.01616 | 0.015733 | 0.00953 | 0.007553 | 0.008287 | 0.008089 |
| 표준편차 | 0.019086 | 0.025896 | 0.009603 | 0.011647 | 0.005891 | 0.006859 |
| 실험 구분 | 실험7 | 실험8 | 실험9 | 실험10 | 실험11 | 실험12 |
| 오차평균 | 0.007968 | 0.007562 | 0.00697 | 0.006848 | 0.00505 | 0.004972 |
| 표준편차 | 0.005499 | 0.006592 | 0.004715 | 0.005354 | 0.003759 | 0.003141 |

그림 15는 프로그래밍에 소요된 시간을 나타낸다. 기준전압이 낮을 때는 측정시간이 짧지만 기준전압이 높아질수록 많은 프로그래밍 시간이 소요되는 것을 알 수 있다. 측정시간이 가장 많이 걸린 순서로는 5.3V 250ms>5.3+0.001V 250ms>5.3V 500ms>5.3+0.001V 500ms 의 순서이다. 쓰기전압이 고정되고 전압의 펄스폭이 작은 5.3V 250ms의 실험이

가장 많은 시간이, 반대로 5.3+0.001V 500ms인 실험이 가장 작은 시간이 소요되는 것을 알 수 있다. 결과로부터 프로그래밍에 소요되는 시간은 선형성에 대해 trade-off의 관계임을 알 수 있다.

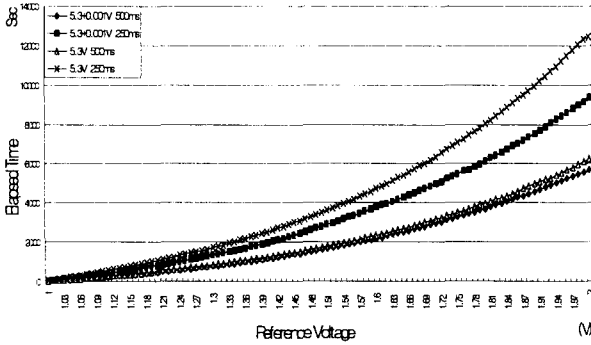


그림 15 프로그래밍 시간
Fig. 15 Elapsed Time for programming

그림 16은 오차가 가장 작은 실험12의 오차만을 뽑아서 나타낸 것이다. 그림16의 결과에서 보는 바와 같이 가장 큰 오차의 경우 10mV 보다 작은 것으로 나타났다. 따라서 본 논문에서 실험한 셀이 아날로그 메모리에 적용될 경우 10mV의 정밀도가 가능한 아날로그 메모리가 제작 가능할 것이다.

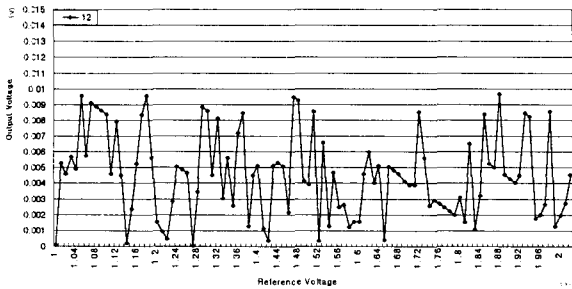


그림 16 실험12에서의 기준전압과 출력값간의 오차
Fig. 16 Difference in voltage between reference and output on exp. 12

프로그램과 소거동작을 반복하는 경우에 터널링 막이 열화하기 때문에 쓰기/소거 횟수는 셀의 신뢰성에 영향을 주게된다. 정상적인 셀이라면 쓰기와 소거동작에 의해 문턱전압에 변화가 나타난다. 그러나 쓰기와 소거의 계속적인 반복의 셀의 구조를 열화시켜서 블랙다운현상이 나타나게 되며, 이러한 셀의 특성을 Endurance로 나타낸다.

그림 17은 셀의 Endurance를 측정하기 위해서 단순히 쓰기/소거동작을 반복하여 그 횟수를 측정하고 결과를 낸 것이다. 셀의 프로그래밍을 위해 6V의 쓰기전압을 인가하였다. 그리고 저장된 전하를 소거하기 위해서 9V의 소거전압

을 인가하였다. 소거동작이 끝나면 그때의 드레인 전압을 측정하여 쓰기/소거가 제대로 이루어지고 있는지를 알 수 있도록 하였다.

그림17에서 x축은 반복횟수를 나타내고, y축은 그때의 드레인 전압을 측정하여 기록한 것이다. 소거동작이 있는 후 측정된 드레인 전압 값이 조금씩 상승하는 것을 볼 수 있는데, 이것은 셀의 특성이 열화되는 것을 나타낸다.

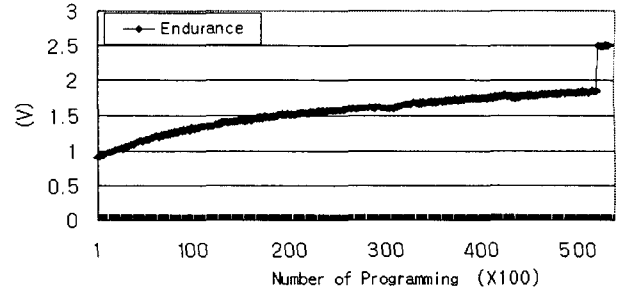


그림 17 제안된 셀의 endurance
Fig. 17 Endurance Characteristics of Proposed Cell.

5. 결 론

본 고에서 싱글폴리 아날로그 메모리 셀을 표준 CMOS 공정에서 제작하고 시스템의 설계를 위해 필요한 셀의 선형성, 신뢰성 등의 물리적 특성을 살펴보았다. 프로그래밍은 각 셀의 실리콘 옥사이드의 두께, 밀도 등에 의해서도 영향 받을 수 있기 때문에 다수의 시료로부터 데이터를 수집하였다. 이를 위해 LabVIEW와 DAQ 보드를 사용하여 프로그래밍 과정을 자동화하였다.

셀의 제작은 하이닉스 표준 CMOS 0.35 μ m 공정에서 하였다. 제작된 셀을 기반으로 상기 시스템으로 실험한 결과 프로그래밍은 인가되는 쓰기전압 펄스나 소거전압 펄스 전압 크기에 크게 좌우되며 펄스폭에 의해서도 영향을 받는 것을 알 수 있었다. 가장 큰 신뢰성을 확보할 수 있었던 경우는 쓰기전압을 5.6V로 고정하고 펄스의 폭을 25ms로 하였을 때였다. 상기 조건으로 셀을 프로그래밍을 하였을 경우 10mV 밀도를 갖는 아날로그 메모리의 시스템 구축이 가능한 것을 확인할 수 있었다. 상기의 정밀도의 확보가 가능한 아날로그 메모리는 다만 A/D변환기에서 코어스 부분의 변환기에 적용이 가능할 뿐만 아니라 아날로그 회로에서 불활성 기준전압 설정 등에도 이용 가능할 것이다.

감사의 글

본 연구는 2003년부터 시행된 한국산업기술재단의 지역전략산업 석·박사 연구인력 양성사업에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참 고 문 헌

- [1] R. Harrison, P. Hasler and B. A. Minch, "Floating-Gate CMOS Analog Memory Cell Array," in Proc. Int. Symp. Circuits and Systems, Monterey, CA, 1998.
- [2] R. Harrison, A. Bragg and P. Hasler, "A CMOS Programmable Analog Memory-Cell Array Using Floating-Gate Circuits," IEEE Trans. on circuits and systems, Vol. 48, No. 1, pp. 4-11, Jan. 2001.
- [3] Y. Y. Chai, "A 2x2 Analog Memory Implemented with a Special Layout Injector," IEEE Journal of Solid-State Circuits, Vol. 32, pp.856-859, June 1996.
- [4] S. B. Lee and K. Y. Seo, "Status and Trends in EEPROM Technologies," The Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 7, No. 2, pp. 165-175, 1994.
- [5] W. D. Brown and J. E. Brewer. "Nonvolatile Semiconductor Memory Technology: A Comprehensive Guide to Understanding and Using NVSM Devices", IEEE Press, pp. 6-9, 1998.
- [6] K. Ohsaki, N. Asamoto and S. Takagaki, "A Single Poly EEPROM Cell Structure for Use in Standard CMOS Processes," IEEE J. Solid State circuit, Vol. 29, No. 3, pp. 311-316, Mar. 1994.
- [7] R. J. McParland and R. Singh, "1.25V, Low Cost, Embedded Flash Memory for Low Density Applications," 2000 symposium on VLSI circuits Digest of Technical paper. June 2000.
- [8] M. Lenzlinger and E. H. Snow, "Fowler-Nordheim Tunneling into Thermally Grown Sio₂," J. Applied Physics, Vol. 40, No. 6, pp. 278-283.5, Jan. 1969.

저 자 소 개

채 용 응 (蔡 勇 雄)



1958년 8월 16일생. 1985년 서강대학교 전자공학과 졸업(공학사). 1991년 Oklahoma State University 졸업(공학석사). 1994년 Oklahoma State University 졸업(공학박사). 1998년~현재 계명대학교 전자공학과 부교수
 Tel : 053-580-5923, Fax : 053-580-5923
 E-mail : yychai@kmu.ac.kr

정 동 진 (鄭 東 鎭)



1976년 12월 5일생. 2002년 계명대학교 전자공학과 졸업(공학사). 2004년 계명 대학교 전자공학과 졸업(공학석사). 2004년~현재 GTtelecom 주임
 Tel : 054-474-2220, Fax :
 E-mail : jdjin4214@hotmail.com