論 文
53C-6-4

SOI 응용을 위한 반도체-원자 초격자 구조의 특성

Characteristics of Semiconductor-Atomic Superlattice for SOI Applications

徐 龍 辰*
(Yong-Jin Seo)

Abstract - The monolayer of oxygen atoms sandwiched between the adjacent nanocrystalline silicon layers was formed by ultra high vacuum-chemical vapor deposition (UHV-CVD). This multilayer Si-O structure forms a new type of superlattice, semiconductor-atomic superlattice (SAS). According to the experimental results, high-resolution cross-sectional transmission electron microscopy (HRTEM) shows epitaxial system. Also, the current-voltage (I-V) measurement results show the stable and good insulating behavior with high breakdown voltage. It is apparent that the system may form an epitaxially grown insulating layer as possible replacement of silicon-on-insulator (SOI), a scheme investigated as future generation of high efficient and high density CMOS on SOI.

Key Words : Si-O superlattice, HRTEM(high-resolution cross-sectional transmission electron microscopy), SOI (silicon-on-insulator), SAS(semiconductor-atomic superattice).

1. 서 론

반도체 소자는 현대 전자 시스템에서 빠질 수 없는 매우 중요한 요소이다. 실리콘과 III-V 족 화합물 반도체 계열인 GaAs 등은 가장 널리 사용되고 있는 반도체 물질이다. 이들 중에서 실리콘은 오늘날 우리의 일상생활에 지대한 영향을 주고 있는 마이크로-나노일렉트로닉스 혁명을 지배하고 있는 IC 전자산업에서 괄목할 만한 위치를 차지하고 있다. 그 이유는 MOS 소자의 기본이 되는 SiO_2 막을 Si 웨이퍼 위에 쉽게 성장할 수 있고, 또한 실리콘은 비교적 값이 싸며, CMOS-ULSI 공정과 잘 호환되며, 집적공정이 용이하여 새로운 소자 개발을 위한 중요한 잠재력을 갖고 있기 때문이다. 따라서 실리콘이 차세대 나노 CMOS 소자에도 계속 적용되기 위해서는 무엇보다도 현재의 실리콘 집적기술과 호환되어야 한다는 것이다. 실리콘은 GaAs와 같은 화합물 반도체보다 더 느린 이동도를 갖고 있을 뿐만 아니라 기존의 III-V족 고속 소자의 기본이 되는 헤테로접합 장벽(hetero-junction barrier)이 없으며, 간접 천이형 밴드 갭 구조를 가지고 있어서 광학 소자에 중요한 역할을 하지 못했었다. 그러나 1990년 다공성 실리콘(porous silicon)으로부터 가시광선 영역의 포토루미네슨스 (photoluminescence) 발견[1]은 광전자 산업에 커다란 자극을 주어 실리콘 집적회로 공정과도 호환이 될 수 있는 새로운 공정이 가까운 장래에 광소자에도 적용될 수 있을 것으로 보인다. 최근 광전자공학 (opto-electronics) 및 포토닉스(photonics) 분야에서 Si의 응용 가능성에 대한 연구가 시도되었다[2-5]. 따라서 Si 계의 광전자공학(Si-based opto-electronics)를 구현하기 위해서는 광방출 소자들이 Si으로 만들어져야 하며, 또한 모든 광학 및 전자 소자 성분들이 Si 집적회로 제조공정과 호환되어 Si 기판 위에 재조될 수 있어야 할 것이다. 최근에 분자선 에피택시(MBE)에 의해 성장된 9층의 Si-O 초격자 다이오드로부터 대칭적인 I-V 특성, 고전계에서도 안정한 브레이크다운 특성, 1년 이상의 연속적인 동작에서도 녹색의 피크 스펙트럼을 갖는 매우 효율적인 포토루미네슨와 일렉트로루미네슨스 특성을 얻어 실리콘계 광전자소자 구현을 위한 가능성을 제안한 바 있다[6].

이는 SOI(silicon-on-insulator) 위에 차세대 고효율과 고밀도를 갖는 CMOS 소자를 만드는 scheme이 가능하며, SOI의 대체방안으로 에피택셜 성장된 절연층을 이용할 수 있어 3D-IC(3-dimensional integrated circuits)가 Si-based 기술[6, 7]에서도 최종적으로 구현될 수 있음을 암시하는 것이다. 따라서 본 논문에서는 실리콘계의 광전자 소자 개발을 향한 가능성을 조사하기 위해 UHV (ultrahigh vacuum)-CVD (chemical vapor deposition) 시스템으로 형성된 다층의 나노결정(nano-crystalline) Si-O 초격자의 구조적인 특성과 전기적 특성에 대해 연구하였다. 실험 결과, 다층의 Si-O 초격자 구조는 비정질의 흡착된 산소층을 넘어 계속 에피택셜 성장된 나노 구조이면서도, 매우 높은 브레이크다운 전압을 나타내었다. 이는 본 연구에서 제안하는 에피택셜 성장된 다층의 Si-O 초격자가 3D-IC를 위한 SOI의 대체방안으로 가능할 뿐만 아니라, 고속과 저전력을 필요로 하는 MOSFET 소자에도 적용될 수 있으며 더 나아가 기존의 Si-ULSI 공정으로도 쉽게 집적될 수 있음을 보여주는 것이다.

* 正 會 員 : 大佛大學校 電氣工學科 副敎授 · 工博
接受日字 : 2004년 03월 20일
最終完了 : 2003년 04월 22일

2. 실 험

비저항이 0.01 - 0.1 Ω·cm 이고, 인(Phosphorous)이 $10^{17}/cm^3$ 이하로 비교적 낮게 도핑된 (100) n형 실리콘 웨이퍼를 사용하였다. 나노 결정의 Si-O 초격자 구조는 UHV (ultra-high vacuum)-CVD (chemical vapor deposition) 시스템을 이용하여 에피택셜 성장되었다. 5층의 Si-O 초격자 구조를 형성하기 위해 10^{-10} Torr의 압력을 갖는 성장 챔버 (growth chamber)와 분석 챔버(analysis chamber) 공정을 각각 5번 반복하였다. 즉, analysis chamber에서 oxygen exposure에 의해 monolayer의 산소 흡착층이 형성된 후, growth chamber에서 에피 실리콘(epi-Si)이 성장되었다. 여기서 매우 정확한 산소의 흐름을 조절하는 니들 밸브를 통해 산소가 성장 챔버 속으로 유입되었다. 산소의 exposure level은 100 Langmuir까지 증가 시켰다. 여기서 1 L은 10^{-8} Torr에서 100초 동안 exposure 된 것으로 정의하였다. 이때 oxygen exposure는 100℃ 이하에서, 에피 실리콘은 가능한 한 흡착된 산소의 out-going을 막기 위해 비교적 낮은 온도인 600℃ 이하에서 증착 되었다. 마지막으로 전기 콘택(electric contact)을 용이하게 하고, 5층의 Si-O 초격자를 보호하기 위에 7 nm 두께의 undoped capping layer가 형성된 후에, 상부 전극으로 반투명한 (semi-transparent) Au(gold) 전극이 증착되었다. 그림 1은 제작된 5층의 Si-O 초격자 다이오드의 개략도를 보인 것이다.

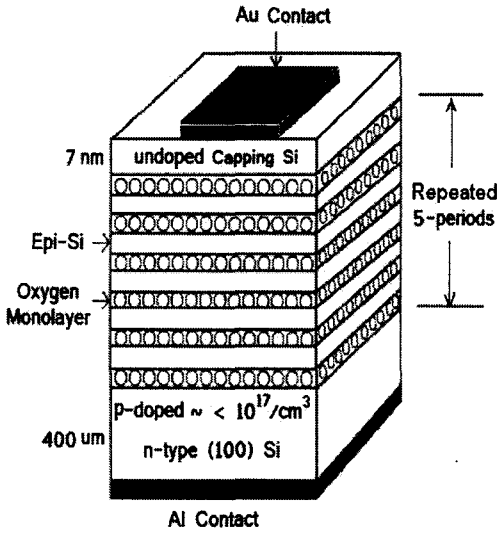
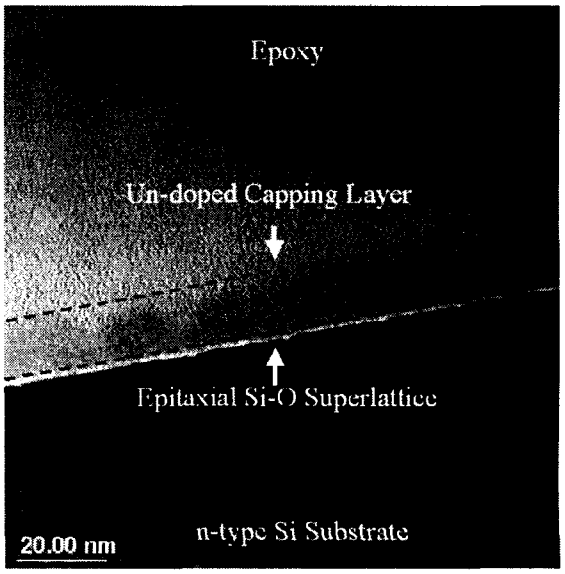


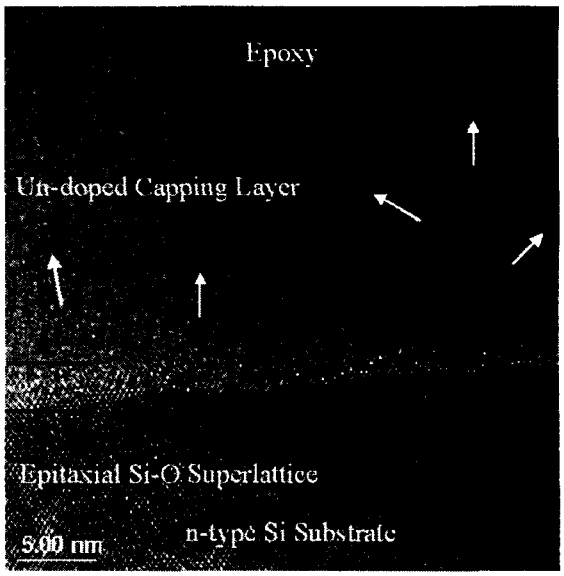
그림 1. 다층의 Si-O 초격자 소자의 단면 개략도
Fig. 1. Schematic cross sectional structure of multilayer Si-O superlattice device.

3. 결과 및 고찰

그림 2는 단원자의 산소 흡착층과 에피 실리콘의 반복 증착으로 형성된 다층의 Si-O 초격자 구조의 (a) 20.0 nm의 스케일과 (b) 5.0 nm의 스케일의 (HR-TEM) high resolution-transmission electron microscopy 이미지를 보인 것이다. HR-TEM 측정 결과 5층의 Si-O 초격자 구조가 뚜렷하게 보이지 않고 있는데, 아마도 소자 측정 동안 고전계 형성에 의한 산소의 out-going에 의한 것으로 생각된다.



(a)

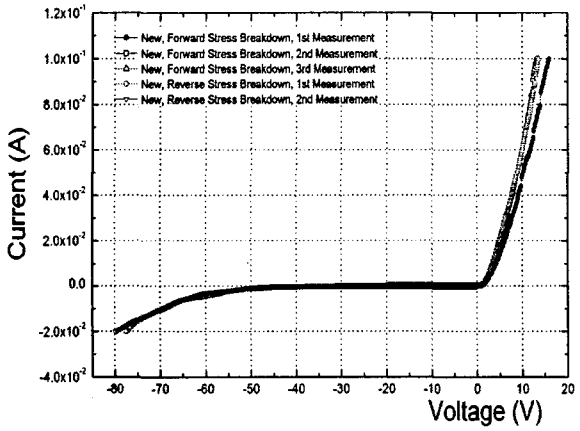


(b)

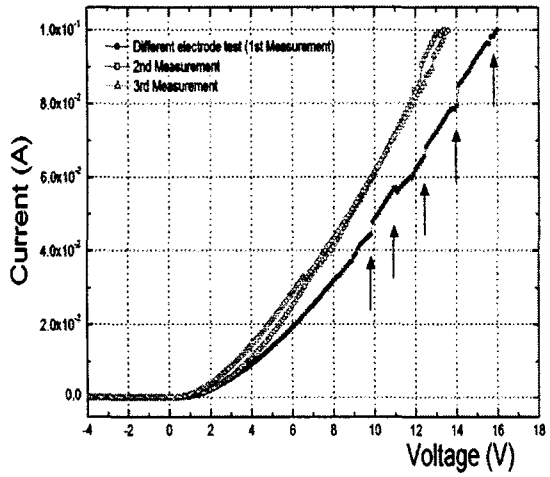
그림 2. 다층의 Si-O 초격자 구조의 HRTEM 이미지, (a) 20.0 nm-scale, (b) 5.0 nm-scale.
Fig 2. HRTEM images of multilayer Si-O superlattice structure. (a) 20.0 nm-scale, (b) 5.0 nm-scale.

그러나 기판 바로 위에 형성된 에피택셜 성장된 5층의 Si-O 초격자 영역을 주의 깊게 관찰해보면 다음과 같은 결과를 얻을 수 있다. 첫째, 매우 uniform한 계면 특성을 가지고 있으며 산소 흡착 후에도 나노결정의 에피택셜 실리콘층이 계속 성장되고 있음을 알 수 있다. 또한 undoped capping Si 영역에서는 서로 다른 결정방향(흰색 화살표로 표시되어 있음)을 갖는 다결정 실리콘이 성장되어 있으며

amorphous에 의해 둘러 싸여 있음을 관찰할 수 있다.



(a)



(b)

그림 3. 순방향과 역방향 스트레스의 I-V 특성.

Fig. 3. I-V characteristics of forward and reverse stress. (a) whole range, (b) forward region.

그림 3 (a)는 순방향 및 역방향 스트레스에 의한 I-V 및 브레이크다운 특성을 나타낸 것이다. 역방향 영역에서 -60V에서도 브레이크다운 특성이 일어나지 않고 안정하였다. 이는 Si-O 초격자 층이 Si 소자를 위한 절연층으로 이용될 수 있음을 의미하는 것으로, 기존의 SOI 구조를 대체할 수 있는 새로운 가능성을 제시해 주고 있다. 그러나 그림 3의 (b)에 보인 바와 같이 순방향 영역에서는 바이어스 전압이 증가함에 따라 공명 터널링(resonant tunneling)에 기인하는 계단형의 전류특성이 나타났다. 이는 바이어스 증가에 따른 전기적으로 활성화된 결함이나 트랩준위에서 일어난 것으로 생각된다. 그러나 측정이 계속되어 짐에 따라 두 번째와 세 번째 전류특성에서는 계단 특성이 사라짐을 알 수 있는데, 이는 연속적인 바이어스 스트레스에 의한 electro-thermal process가 electrical forming [8]으로 작용하여 Si 나노결정 주위에 흡착된 oxygen precipitates를 제거시켰거나, 나노결정의 Si이 열적으로 재결정화에 기인한 것으로 생각된다.

그림4는 동일한 전극에서 역방향 및 순방향 스트레스를 교대로 인가한 경우, I-V 특성의 히스테리시스를 나타낸 것이다. 처음에 역방향 스트레스를 인가한 후, 곧 바로 순방향 스트레스를 인가하는 방식으로 7번의 측정을 수행하였다. 7번의 측정동안 순방향 영역의 I-V 특성은 일정한 히스테리시스 궤적을 갖는 안정한 특성을 보였으나, 역방향 영역에서는 측정이 계속 반복됨에 따라 브레이크다운 영역이 오른쪽으로 이동하였다. 이는 반복되는 네가티브 바이어스(negative bias)와 포지티브 바이어스(positive bias) 동안 흡착된 산소 원자층과 에피 실리콘 층의 계면에 형성된 high leakage current path에 기인한 것으로 생각된다.

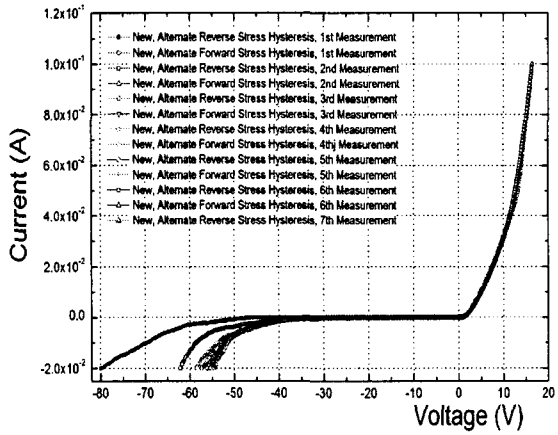


그림 4. 동일한 전극에서 7번의 측정 후 얻은 순방향과 역방향스트레스에 의한 히스테리시스특성.

Fig. 4. The alternate reverse and forward stress hysteresis characteristics after 7th measurements in the same electrode.

4. 결 론

본 연구에서 제작된 다층의 Si-O 초격자 장벽은 Si 소자를 위한 isolation용으로 이용할 수 있음을 제시하였다. 60V 이상까지도 브레이크다운 현상은 나타나지 않았으며, 계단 특성은 전기적으로 활성화된 결함들(defects)과 트랩의 존재를 의미하는 것이다. 이는 oxygen exposure뿐만 아니라 나노크기의 Epi-Si 층의 두께와 같은 파라미터의 최적화 및 새로운 패시베이션 (passivaton) 공정과 같은 지속적인 연구를 통해 감소시킬 수 있을 것으로 생각된다. 즉, Si-O 초격자는 미래의 Si-based quantum field effect transistor (Q-FET)를 위한 SOI를 가능하게 하는 에피택셜 장벽으로도 사용할 수 있으며, Si-based opto-electronic IC (OEIC) 칩의 응용에도 기여할 것이다.

감사의 글

본 연구는 한국과학재단 목적기초연구(R05-2002-000-00565-0) 지원으로 수행되었음.

참 고 문 헌

[1] L. T. Canham, "Silicon quantum wire array fabrication by electrochemical and chemical dissolution of wafers", Appl. Phys. Lett. vol.57, no.10, pp.1046-1048, July 1990.

[2] A. Loni, A. J. Simons, T. I. Cox, P. D. J. Calcott, and L. T. Canham, Electron. Lett, vol.31, p.1288, 1995.

[3] L. Tsybeskov, S. P. Duttagupta, K. D. Hirschman, and P. M. Fauchet, "Stable and efficient electroluminescence from a porous silicon-based bipolar device", Appl. Phys. Lett., vol.68, no.15, pp.2058-2060, February 1996.

[4] Z. H. Lu, D. J. Lockwood, and J. M. Barlbeau, "Quantum confinement and light emission in SiO_2/Si superlattice", Nature, vol.378, no.6554, pp.258-259, November 1995.

[5] J. Ding and R. Tsu, "The determination of activation energy in quantum wells", Appl. Phys. Lett. vol.71, no.15, pp.2124-2126, July 1997.

[6] K. Dovidenko, J. C. Lofgren, F. de Freitas, Y. J. Seo, and R. Tsu, "Structure and optoelectronic properties of Si/O siperlattice", Physica E, vol. 16, no. 3-4, pp. 509-516, March 2003.

[7] Y.-J. Seo, J. C. Lofgrene, and R. Tsu, " Transport through a nine period silicon/oxygen superlattice", Appl. Phys. Lett. vol. 79, no. 6, pp. 788-790, August 2001.

[8] R. Tsu, A. Filios, J. C. Lofgrene, J. L. Ding, Q. Zhang, J. Morais, and C. G. Wang, Electrochem Soc. Proc. vol. 97-11, p. 341, 1997.

저 자 소 개

서 용 진 (徐 龍 辰)

1987년 중앙대학교 공과대학 전기공학과 졸업. 1989년 동 대학원 전기공학과 졸업 (공학석사). 1994년 동 대학원 전기공학과 졸업(공학박사). 1999~2000년 University of North Carolina at Charlotte (UNCC), 전기 공학과, 과학 재단 Post-doctoral Fellow. 현재 대불대학교 전기공학과 부교수.
관심 분야 : CMP 공정, Silicon-based optoelectronics.
Tel : 061-469-1260, Fax : 061-469-1260
E-mail : syj@mail.daebul.ac.kr