

얇은 트렌치와 전계 제한 확산 링을 이용한 접합 마감 설계의 1200 V급 소자에 적용

論 文
53C-6-2

The Junction Termination Design Employing Shallow Trench and Field Limiting Ring for 1200 V-Class Devices

河 珉 宇* · 吳 在 根** · 崔 然 益*** · 韓 民 九§
(Min-Woo Ha · Jae-Keun Oh · Yearn-Ik Choi · Min-Koo Han)

Abstract - We have proposed the junction termination design employing shallow trench filled with silicon dioxide and field limiting ring (FLR). We have designed trenches between P+ FLRs to decrease the junction termination radius without sacrificing the breakdown voltage characteristics. We have successfully fabricated and measured improved breakdown voltage characteristics of the proposed device for 1200 V-class applications. The junction termination radius of the proposed device has decreased by 15 % ~ 21 % compared with that of the conventional FLR at the identical breakdown voltage. The junction termination area of the proposed device has decreased by 37.5 % compared with that of the conventional FLR. The breakdown voltage of the proposed device employing 7 trenches was 1156 V, which was 90 % of the ideal parallel-plane junction breakdown voltage.

Key Words : Junction termination, Breakdown, Trench, FLR, 1200 V.

1. 서 론

반도체 스위치 소자의 항복 전압 특성은 순방향 전압 강하와 스위칭 특성과 더불어 중요한 설계 변수이다. 소자의 접합 길이가 무한이면 전계가 접합에 균일하게 분포되어 이상적인 평행 접합 (parallel-plane junction)의 항복 전압이 얻어진다. 실제 반도체 소자의 접합 길이는 유한하므로 전계가 접합이 끝나는 cylindrical 접합에 집중되어 항복 전압 특성은 열화 되므로 항복 전압을 증가시키는 접합 마감 구조 (junction termination structure) 설계가 필요하다 [1]. 메인 접합과 같은 도핑 농도와 접합 깊이의 접합인 FLR (Field Limiting Ring)을 설계하여 공핍 영역의 경계를 완만하게 하여 항복 전압 특성을 개선시키는 FLR 접합 마감 기술 [2, 3]은 간단한 공정 제작 과정으로 인하여 널리 쓰여 왔다. 그러나 FLR 접합 마감 기술은 여러 개의 FLR을 설계하여 접합 마감 반경 (junction termination radius)이 증가되는 문제점을 가진다. 최근의 깊은 실리콘 트렌치 (deep silicon trench) 구조를 이용한 접합 마감 기술은 높은 항복 전압을 얻었으나, 깊은 트렌치 구현을 위한 공정이 추가적으로 필요하며, 트렌치 깊이가 70 μm 이상으로 깊어 트렌치 제작 공정이 복잡한 단점을 가진다 [4, 5].

본 논문의 목적은 실리콘 산화물이 채워진 얇은 실리콘 트렌치와 FLR을 설계하여 접합 마감 특성을 개선한 1200 V

급 접합 마감 구조를 제안하는 것이다. 제안된 소자의 P+ FLR 수평 확산층 사이에 설계된 트렌치에 채워진 실리콘 산화물은 실리콘보다 낮은 유전 상수로 인하여 메인 접합에 집중된 전계를 완화시켜 항복 전압 특성을 개선시키고 접합 마감 반경을 감소시킨다. 제안된 소자는 역방향 바이어스 상태일 때 전계가 실리콘 뿐 만 아니라 트렌치에 채워진 실리콘 산화물에도 분산되어 항복 전압 특성이 개선된다. 제안된 접합 마감 소자의 얇은 트렌치는 트렌치 게이트 공정 때 동시에 제작되며 기존 트렌치 IGBT 공정과 호환이 되어 깊은 실리콘 트렌치나 실리콘 베벨 에지 에치와 같은 복잡한 공정이 요구되지 않는다. 제안된 소자는 0.5 μm CMOS 공정으로 실리콘 N-타입 에피택셜 웨이퍼에서 최적화된 기존 FLR과 함께 제작되고 측정되었다. 제안된 소자는 600 V급 접합 마감 구조에서 수치 해석 시뮬레이션과 제작으로 검증된 바가 있다 [6, 7]. 본 논문은 600 V급 접합 마감 구조보다 더 많은 트렌치와 P+ FLR을 설계해야 하는 제안된 접합 마감 구조의 1200 V급 설계에 관한 것이다.

2. 제안된 트렌치 FLR의 구조 및 설계

그림 1은 제안된 소자와 기존 FLR 구조의 단면도이다. 제안된 소자는 실리콘 산화물이 채워진 트렌치와 P+ FLR을 이용하여 설계되었다. 제안된 소자의 트렌치는 실리콘보다 낮은 실리콘 산화물의 유전상수로 인하여 P+ 캐소드의 전계 집중을 완화시켜 항복 전압 특성을 개선시키며 접합 마감 반경을 감소시킨다. 또한 제안된 소자의 P+ FLR은 전계를 N-드리프트 영역으로 분산시켜 공핍 영역의 경계를 완만하게 하여 항복 전압 특성을 개선시킨다. 역방향 바이어스 상태일 때 제안된 소자의 전계는 N-드리프트 영역 뿐 만 아니라 트렌치에 채워진 실리콘 산화물에도 분산된다. 제안된 소자

* 正 會 員 : 서울대학교 電氣工學部 工學博士課程
** 正 會 員 : 서울대학교 電氣工學部 工學博士
*** 正 會 員 : 亞洲大學校 電子學科部 教授 · 工學博士
§ 正 會 員 : 서울대학교 電氣學科部 教授 · 工學博士
接受日字 : 2004年 2月 12日
最終完了 : 2004年 3月 30日

의 전계 분포는 실리콘 산화물로 인하여 기존 FLR과 달리 고점 (peak)이 2 개인 분포를 가지며 기존 FLR보다 낮은 최고 전계 값을 가진다 [6]. 그 결과로 제안된 소자의 항복 전압은 개선되며 접합 마감 환경은 감소된다.

제안된 소자는 에피층 비저항이 100 Ω/cm, 에피층 두께가 100 μm인 1200 V급 실리콘 N-타입 에피택셜 웨이퍼에서 0.5 μm CMOS 공정으로 제작되었다. P+ 접합의 도핑 농도와 접합 깊이는 $1 \times 10^{19} \text{ cm}^{-3}$ 과 5 μm이다. 그림 2와 표 1은 제안된 소자의 설계 변수이다. 제안된 소자의 실리콘 트렌치는 RIE (Reactive Ion Etch)로 제작되었다. 트렌치에 실리콘 산화물을 채우는 공정은 고온 실리콘 산화 공정과 LPCVD (Low Pressure Chemical Vapor Deposition)의 순서로 진행되었다. 제안된 소자의 트렌치는 깊이가 3 μm로 얇아 일반적인 트렌치 게이트 공정과 동시에 제작할 수 있으며 깊은 실리콘 트렌치나 실리콘 베벨 에지 에치와 같은 복잡한 공정이 요구되지 않는다. 제안된 소자의 메인 접합인 P+ 캐소드는 spherical junction effect를 줄이기 위하여 반경을 50 μm로 충분히 크게 설계하였다 [8]. 그림 3은 제작된 제안된 소자의 SEM 사진이다. 제안된 소자의 접합 마감 특성은 PNP 바이폴라 트랜지스터의 BV_{ceo} 로 측정하여 검증하였다.

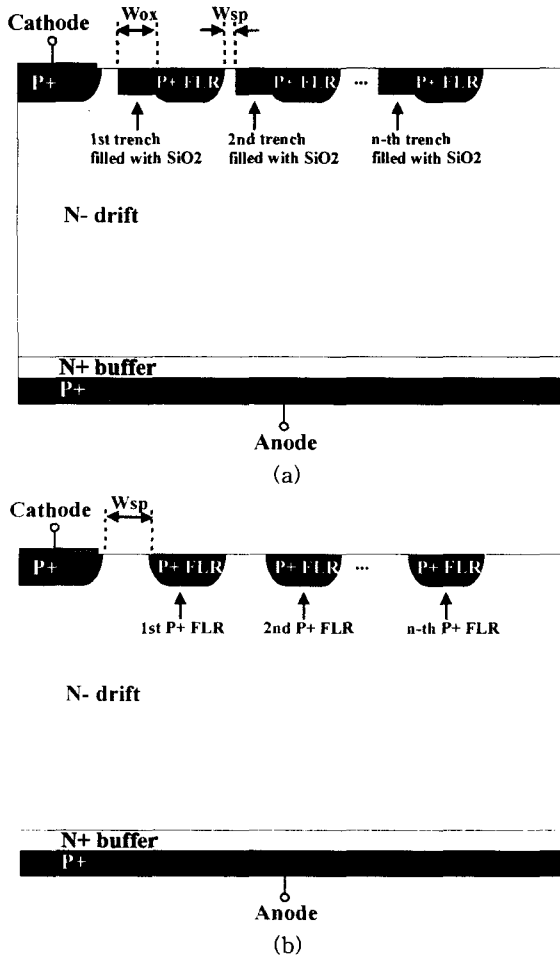


그림 1. (a) 트렌치와 FLR이 설계된 제안된 소자, (b) 기존 FLR의 단면도

Fig. 1. The cross-sectional views of (a) the proposed device employing shallow trench and FLR, (b) conventional FLR

표 1. 제안된 소자의 설계 변수

Table 1. The design parameters of the proposed device

설계 변수		값
N- 드리프트	농도	$5 \times 10^{13} \text{ cm}^{-3}$
	두께	100 μm
P+ 캐소드 및 P+ FLR	농도	$1 \times 10^{19} \text{ cm}^{-3}$
	접합 깊이 (T_p)	5 μm
트렌치	너비 (W_{ox})	1~6 μm
	깊이 (T_{ox})	2.5, 3.0, 3.5 μm
트렌치와 P+ FLR 사이 간격 (W_{sp})		1~6 μm

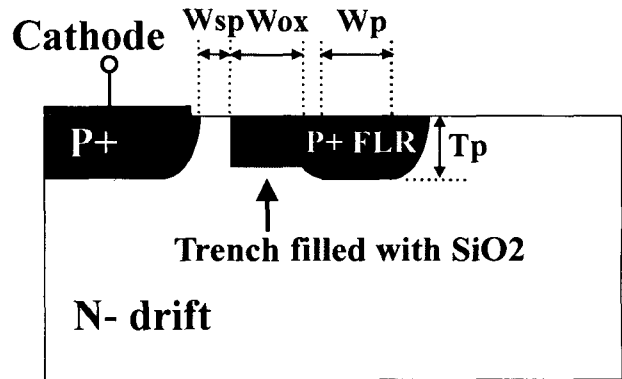


그림 2. 1개의 트렌치가 설계된 제안된 소자의 설계 변수
Fig. 2. The design parameters of the proposed device employing 1 trench



그림 3. 6개의 트렌치가 설계된 제안된 소자의 SEM 사진
Fig. 3. The SEM image of the proposed device employing 6 trenches

3. 실험 결과 및 토론

접합 마감 설계를 하지 않는 PNP 바이폴라 트랜지스터의 이상적인 평행 접합의 항복 전압 (BV_{ceo})은 1450 V이다 [8].

접합 마감 설계를 하지 않는 cylindrical 접합의 측정된 항복 전압은 280 V이다. 트렌치 깊이는 트렌치에 걸리는 전계에 영향을 미치므로 높은 항복 전압 특성을 얻도록 최적 설계되어야 한다. 그림 4는 제안된 소자의 트렌치 깊이 (T_{ox})에 따른 항복 전압을 나타낸 그림이다. 제안된 소자는 트렌치 깊이가 3 μm 에서 가장 높은 항복 전압을 가진다. 트렌치 깊이가 최적값 3 μm 보다 얇은 2.5 μm 인 경우, 전계가 트렌치에 많이 걸리지 못하고 P+ 캐소드에 전계가 집중되어 항복 전압 특성이 열화 된다. 반면에, 트렌치 깊이가 최적값 3 μm 보다 깊은 3.5 μm 인 경우 전계가 트렌치 왼쪽 아래 모서리에 집중되어 항복전압 특성이 열화 된다. 제안된 소자에 여러 개의 트렌치와 P+ FLR을 설계하는 경우, P+ 캐소드 및 P+ 캐소드 근처의 안쪽 트렌치에만 전계가 집중되지 않도록 설계해야 한다. 제안된 소자의 항복 전압을 개선시키기 위하여 전계가 바깥쪽 트렌치에도 충분히 분산되도록 안쪽 트렌치 너비 (W_{ox})를 바깥쪽 트렌치 너비보다 적게 설계해야 한다. 그림 5는 6개의 트렌치가 설계된 제안된 소자의 P+ 캐소드에서 두 번째로 근접한 트렌치 (2nd 트렌치)의 트렌치 너비에 따른 항복 전압 특성을 나타낸 그림이다. 이 때 제안된 소자의 P+ 캐소드에 가장 근접한 1st 트렌치 너비는 1 μm 로, 바깥쪽에 설계된 트렌치 (3rd ~ 6th 트렌치) 너비를 각각 3 μm , 5 μm , 7 μm , 8 μm 로 설계되었다. 제안된 소자의 2nd 트렌치 너비가 1 μm 에서 1.5 μm , 2 μm 로 커지면 전계가 P+ 캐소드에 가까운 1st 트렌치나 2nd 트렌치에 집중되어 항복 전압 특성이 1042 V에서 970 V, 956 V로 열화 된다. 제안된 소자는 P+ 캐소드 근처의 안쪽 트렌치에 전계가 집중되지 않도록 P+ 캐소드 근처의 1st, 2nd 트렌치 너비를 각각 1 μm 로 설계되었으며 바깥쪽 트렌치 일수록 큰 트렌치 너비를 가지도록 설계되었다. 제안된 소자는 고전압 및 고전류 반도체 스위치 소자에 적합하도록 넓은 소자 면적이 갖도록 설계되어 100 μA ~ 250 μA 의 누설 전류 (leakage current)를 갖는다. 적은 면적의 IC용 반도체 스위치 소자에 제안된 접합 마감 소자를 적용하면 낮은 누설 전류를 가질 것으로 예상된다.

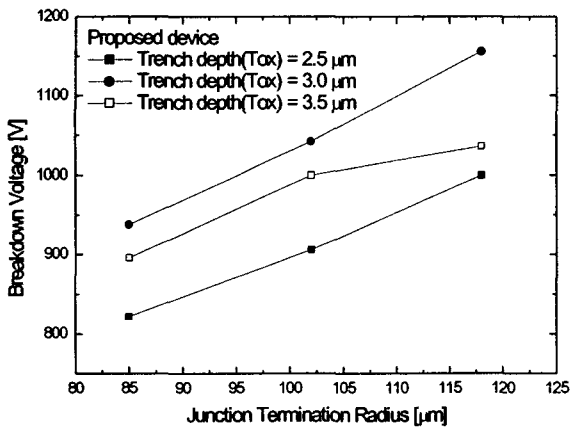


그림 4. 제안된 소자의 트렌치 깊이에 따른 측정된 항복 전압

Fig. 4. The measured breakdown voltages of the proposed device with various trench depth

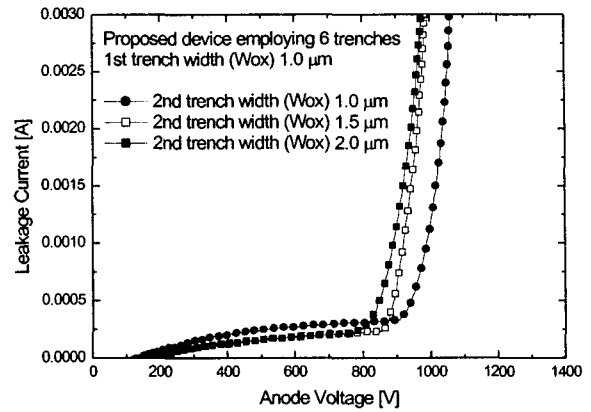


그림 5. 제안된 소자의 2nd 트렌치 너비에 따른 측정된 항복 전압 특성

Fig. 5. The measured breakdown voltage characteristics of the proposed device with various 2nd trench width

제안된 소자는 높은 항복 전압을 획득하기 위하여 트렌치 개수를 증가시켜서 설계되었다. 그림 6은 5개, 6개, 7개의 트렌치가 설계된 제안된 소자의 측정된 항복 전압 특성이다. 5개의 트렌치가 설계된 제안된 소자의 항복 전압은 938 V이지만 6개, 7개의 트렌치가 설계된 제안된 소자의 항복 전압은 각각 1042 V, 1156 V로 개선되었다. 제안된 소자는 트렌치 개수를 증가시켜 설계하여 전계가 접합 마감 영역에 균일하게 분산되어 항복 전압 특성이 개선되었다. 그림 7은 제안된 소자와 기존 FLR의 측정된 항복 전압과 접합 마감 반경을 나타낸 그림이다. 추가적으로 그림 7에 수치해석 시뮬레이터 [8]로 계산된 제안된 소자 및 기존 FLR의 항복 전압 결과를 삽입하였다. 제안된 소자의 측정 결과는 수치해석 시뮬레이터 결과와 일치하는 것을 확인하였다. 제안된 소자는 7개의 트렌치가 설계되어 접합마감반경, 118 μm 에서 항복전압, 1156 V를 획득하였다. 반면에 기존 FLR의 접합마감반경, 132 μm 에서 항복전압, 1056 V를 획득하였다. 제안된 소자는 기존 FLR에 비해 더 적은 접합 마감 반경에 더 높은 항복 전압 특성을 성공적으로 획득하였다. 제안된 소자의 접합 마감 반경은 기존 FLR에 비해 같은 항복 전압 레벨에 따라 15 % ~ 21 % 감소되었으며, 7개의 트렌치가 설계된 제안된 소자는 항복 전압은 1156 V로 이상적인 항복 전압의 80 %로 높은 항복 전압을 얻었다.

링 구조의 설계된 제안된 접합 마감 소자의 접합 마감 면적 (A_{jt})은 메인 접합인 P+ 캐소드 반경 (R_m)과 접합 마감 반경 (R_{jt})으로 결정된다. 접합 마감 반경은 P+ 캐소드와 P+ 캐소드에서 가장 멀리 떨어진 P+ FLR까지의 간격으로 정의된다. 접합 마감 반경을 수식적으로 표시하면 다음과 같으며, 메인 접합의 면적은 액티브 영역의 면적을 의미한다.

$$A_{jt} = \pi \cdot (R_m + R_{jt})^2 - \pi \cdot R_m^2 = \pi \cdot (R_{jt}^2 + 2 \cdot R_m \cdot R_{jt})$$

위 식에 의하여 액티브 영역 (active region)의 면적이 적은 경우 제안된 소자의 감소된 접합 마감 반경은 전체 접합 마감 면적 감소에 더 효과적이다. 제안된 소자는 기존 FLR에 비해 다양한 액티브 영역의 면적에 따라 같은 항복 전압 레벨에서 전체 접합 마감 면적이 15 % ~ 37.5 %만큼 감소되었다.

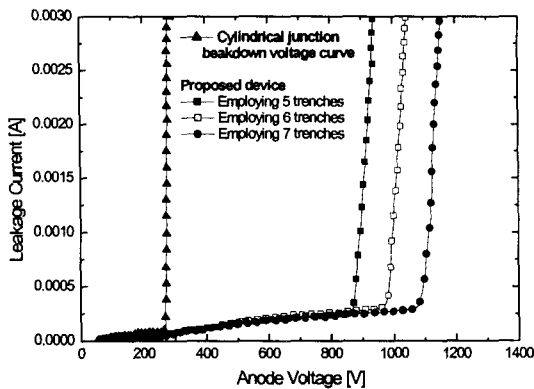


그림 6. 제안된 소자의 설계된 트렌치 개수에 따른 측정된 항복 전압 특성

Fig. 6. The measured breakdown voltage characteristics of the proposed device with the number of the employed trenches

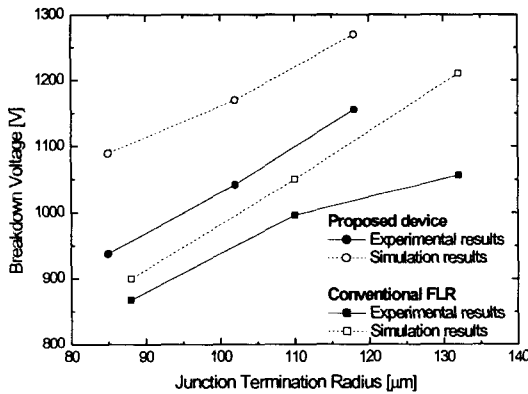


그림 7. 제안된 소자의 측정된 항복 전압과 접합 마감 반경

Fig. 7. The measured breakdown voltages and the junction termination radius of the proposed device

4. 결 론

실리콘 산화물로 채워진 얇은 트렌치와 P+ FLR을 설계하여 항복 전압 특성을 희생시키지 않으면서 접합 마감 면적을 감소시킨 접합 마감 구조를 제안하였으며 실제 제작을 통하여 검증하였다. 제안된 접합 마감 구조는 실리콘보다 낮은 유전상수를 가지는 실리콘 산화물로 채워진 트렌치와 P+ FLR로 인하여 P+ 캐소드에 집중된 전계를 트렌치와 N- 드리프트 실리콘 표면에 분산시켰으며 기존 FLR에 비하여 항복 전압 특성을 개선시켰고 접합 마감 반경을 감소시켰다. 제안된 소자의 얇은 트렌치는 트렌치 게이트와 동시에 제작되어 기존 트렌치 IGBT 공정과 호환이 가능하며 깊은 실리콘

콘 트렌치나 실리콘 베벨 에치 에치와 같은 복잡한 공정이 요구되지 않는다. 제안된 소자는 기존 FLR에 비해 같은 항복 전압 레벨에 따라 접합 마감 반경을 15% ~ 21%만큼 감소시켰으며 액티브 영역의 면적에 따라 전체 접합 마감 면적의 37.5%까지 감소시켰다. 7개의 트렌치가 설계된 제안된 소자는 항복 전압은 1156 V로 이상적인 항복 전압의 80%로 높은 항복 전압을 얻었다. 제안된 접합 마감 구조는 전력용 반도체 소자의 접합 마감 구조에 이용되면 추가적인 공정이 필요 없이 항복 전압 특성을 열화시키지 않으면서 전체 칩 면적을 감소시키는 장점을 가진다.

감사의 글

본 연구는 과학기술부 지원하에 특정 연구 개발 사업으로 이루어진 연구로서, 관계 부처에 감사드립니다.

참 고 문 헌

- [1] B. Jayant Baliga, "Power Semiconductor Devices", PWS Publishing company, pp.81, 1996.
- [2] A. Grove, O. Leistiko and W. Hooper, "Effect of Surface Fields on the breakdown voltage of planar silicon p-n junctions", IEEE Transaction on ED, vol. 14, no. 3, pp. 157-162, March, 1967.
- [3] M. S. Adler, Victor A. K. Temple, Armand P. Ferro, R. C. Rusty, "Theory and Breakdown Voltage for Planar Devices with a Single Field Limiting Ring", IEEE Transaction on ED, vol. 24, no. 2, pp. 107-112, February, 1977.
- [4] D. Dragomirescu, G. Charitat, F. Morancho and P. Rossel, Proc. of the International Semiconductor Conference CAS, vol. 1, pp. 67-70, October, 1999.
- [5] Chanhong Park, Nungpyo Hong, Deok J. Kim, and Kwyro Lee, "A New Junction Termination Technique Using ICP RIE for Ideal Breakdown Voltages", Proc. of the 14th International Symposium on Power Semiconductor and Devices & ICs, pp. 257-260, June, 2002.
- [6] 하민우, 오재근, 최연익, 한민구, "Trench와 FLR을 이용한 새로운 접합 마감 구조", 전기학회논문지 제 52 권, 제 6 호, pp. 257-260, 6월, 2003
- [7] Jae-Keun Oh, Min-Woo Ha, Min-Koo Han, and Yearn-Ik Choi, "A New Junction Termination Method Employing Shallow Trenches Filled With Oxide", IEEE Electron Device Letter, vol. 25, no. 1, pp. 16-18, January, 2004.
- [8] "Medici User's Manual", Avanti, 1999

저 자 소 개



하 민 우(河珉宇)

2001년, 한국과학기술원 전기 및 전자공학부 학사

2001년-현재, 서울대학교 전기공학부 석박사 통합과정



최 연 익(崔然益)

1981년, 한국과학기술원 전기 및 전자공학부 공학박사

1982년-1984년, Research associate, Univ. of California, Berkeley, U.S.A

1984년-현재, 아주대학교 전자공학부 교수



오 재 근(吳在根)

1998년, 서울대학교 전기공학부 학사

2000년, 서울대학교 전기공학부 공학석사

2004년, 서울대학교 전기공학부 공학박사

2004년-현재, 삼성전자



한 민 구(韓民九)

1979년, Johns Hopkins Univ. 전기공학부 공학박사

1979-1984, professor, State Univ. of New York at Buffalo, U.S.A

1984년-현재, 서울대학교 전기공학부 교수

2002년-현재, 서울대학교 공과대학 학장