

# 저전압형 SRM 인버터의 병렬운전 위한 새로운 스위칭

## New Switching Pattern for the Paralleling of SRM Low Voltage Inverter

李相勳\* · 朴晟濬\*\* · 元太鉉\*\*\* · 安珍雨§ · 李萬炯§§

(Sang-Hun Lee · Sung-Jun Park · Tae-Hyun Won · Jin-Woo Ahn · Man-Hyung Lee)

**Abstract** - The switched reluctance motor(SRM) has considerable potential for industrial applications because of its high reliability as a result of the absence of rotor windings. In some applications with SRM, paralleling strategy is often used for cost saving, increasing of current capacity and system reliability.

A SRM inverter has very low switching frequency. This results in reducing the burden for a high-speed of the gate-amp interface circuit, and the linearity of optocoupler is used to protect the instantaneous peak current for the stable operation. In this paper, series resistor is used to equal the current sharing of each switching device and a linear gate-amp is proposed to protect the instantaneous peak current which occurs in transient state. The proposed paralleling strategy is verified by experimental results.

**Key Words** : SRM, Paralleling startegy, Linear gate-amp

### 1. 서 론

스위치드 릴럭턴스 전동기(Switched Reluctance Motor, SRM)는 고효율, 고속운전, 간단한 전자기적 구조, 그리고 용이한 가변속 제어 등의 장점을 가지고 있어 전력용 반도체 소자의 기술 개발이 급속히 이루어짐에 따라 선진국을 중심으로 가전기기, 전기자동차, 항공기 및 산업전반에 걸쳐 그 응용영역을 확대해가고 있다. [1] 특히 최근 환경정책에 따라 전기자동차의 관심과 필요성이 대두되면서 견인력 모터로서 SRM이 장점이 될 수 있는 우수한 토크 특성, 넓은 속도 범위에서의 가변속 운전에 대한 관심이 한층 더 높아지고 있다.

SRM은 다른 전동기에 비하여 낮은 스위칭 주파수로 운전이 가능하며, 인버터의 낮은 스위칭 주파수로 인하여 인버터의 스위칭 손실 및 전동기의 철손이 크게 감소하여 고효율 운전이 가능하다. SRM에서 출력을 증대하기 위해서는 스위칭은 시점을 적절하게 앞당겨주는 것이 일반적이다. 이러한 각의 증대는 상전류의 피크치를 증가시켜 스위칭 소자의 전류정격을 증가시킨다. 특히 저전압 대 전류용 SRM에서는 큰 전류정격이 실제시스템 구성에 큰 장애로 작용하는 실정이다. 이는 SRM 구동을 위한 전력변환장치의 가격상승을 초

래한다. 최근 이와 같은 저전압 대 전류의 전원특성에 맞는 저가형 전력변환장치의 개발을 위해 저 전류 용량의 소자를 이용한 인버터의 병렬운전에 대한 관심이 높아지고 있다. 그러나 기존의 스위칭소자의 병렬운전은 소자의 기생성분에 대한 특성과 전력선의 표유 인덕턴스에 대한 영향을 고려한 복잡한 해석이 요구되었다.

본 연구에서는 설계된 전력선의 형상 및 소자의 기생성분으로 인한 전류분담 불평형성을 게이트-소스 양단의 전압조정으로 복잡한 해석 없이 간단히 전류분담에 대한 평형을 유지하였으며, 턴 온, 턴 오프에서 동적 분담으로 인한 정격 이상의 과 전류 상태를 안정시키기 위한 게이트 신호패턴을 opto-coupler 1차측에서 구현하여 실험을 통해 검증하였다. 또한 회전자의 고정도 위치검출을 위한 방법으로 엔코더 디스크의 명암에 비례하는 아날로그 신호를 출력하는 엔코더 디스크를 제안하고 그에 적절한 제어방식을 제안하였다.

### 2. 본 론

#### 2.1 SRM 여자를 위한 인버터의 스위칭 주파수

기존의 전동기의 출력을 제어하기 위한 전류, 전압형 인버터는 PWM제어를 기본으로 하고 있다. 이는 인버터의 높은 스위칭 주파수를 요구하게 된다. 그러나 SRM의 출력을 제어하는 방법으로는 PWM 방식에 의한 전압, 전류제어 외에 회전자의 위치를 고려한 고정자 여자구간을 제어하는 방법에 비해 스위칭 주파수가 낮다. 이는 기존의 높은 스위칭 주파수로 운전하는 전동기에 대한 게이트 인터페이스 회로의 고속화에 대한 부담을 덜 수 있으며 급격한 스위치 턴 온, 턴

\* 學生會員 : 釜山大學 Mechatronics協同課程 博士課程

\*\* 正 會 員 : 全南大學 電氣工學科 助教授 · 工博

\*\*\* 正 會 員 : 東義工業大學 電氣電子계열 助教授 · 工博

§ 正 會 員 : 慶星大學 電氣電子Mechatronics工學部  
副教授 · 工博

§§ 正 會 員 : 釜山大學 機械工學部 教授 · 工博

接受日字 : 2003年 8月 12日

最終完了 : 2004年 4月 13日

오프 동작으로 인한 정격이상의 과 전류에 대한 별도의 스너브 회로 없이 스위칭 패턴에 의한 제어를 가능하게 한다.

### 2.2 POWER MOSFET의 병렬운전

고용량 인버터의 저가격화를 위해 저용량 소자는 언제나 병렬운전을 하게 된다. 저가의 저용량 소자로 병렬 운전을 하는 것은 기술적인 위험이 따르게 된다. 이러한 관점에서 병렬운전에서는 전압, 전류, 접속온도가 가장 중요한 파라미터 들이다. 일반적으로 MOSFET의 병렬운전은 크게 정상 상태의 전류 분담 그리고 과도 스위칭 상태 하에서의 전류의 동적 분담으로 나누게 된다.

#### 2.2.1 전류의 정상상태에서의 분담

정상상태에서 Power MOSFET의 병렬그룹에서의 전류는 개개의 on 저항에 대해 역의 비율로 개개의 소자 자체에 배분 할 것이다. 가장 낮은 on 저항 상태에서의 소자는 가장 큰 전류를 흐르게 할 것이다. 이것은 스스로 전류분담에 대한 보상이 된다. 왜냐하면 이 소자의 전력 손실이 최대이기 때문이다. 이것은 열 저항이 다른 소자보다 더 많아지며 그것은 전류를 같게 해주는 경향을 가지게 해 줄 것이다. N개 병렬 연결된 소자의 그룹에서의 분석은 가장 낮은 on 저항을 분석함으로써 단순화 할 수 있다.

#### 2.2.2 스위치 턴 온 기간동안의 동적 분담

그림 1은 스위치 턴 온에서 드레인 단의 전압, 전류 파형 및 게이트 파형을 나타내고 있다.

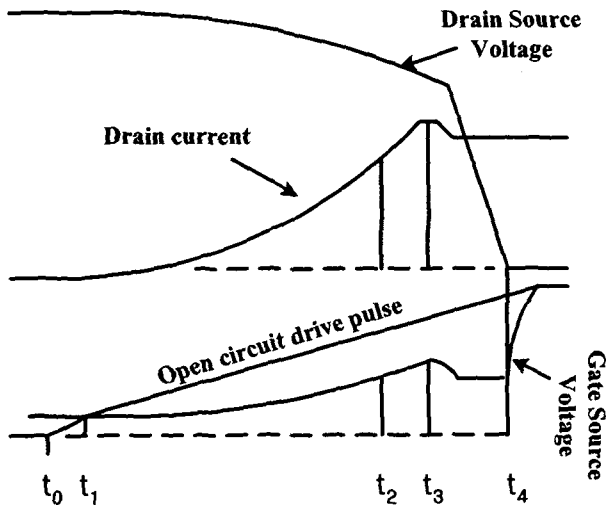


그림 1 스위치 턴 온 시 전압 및 전류 파형  
Fig. 1 Current and voltage waveforms at switch turn-on

먼저 게이트 전류와 공통인 소스와 직렬로 연결된 인덕턴스는 유도 전압을 발생한다. 그것은 소스 전류의 결과라 할 수 있다. 이 전압은 게이트-소스 양단의 전압 상승 비율을 낮게 만든다. 이것은 결국에는 부하 전류의 전류 상승 비율을 낮게 한다. 이것은 부의 피드백 효과이다.

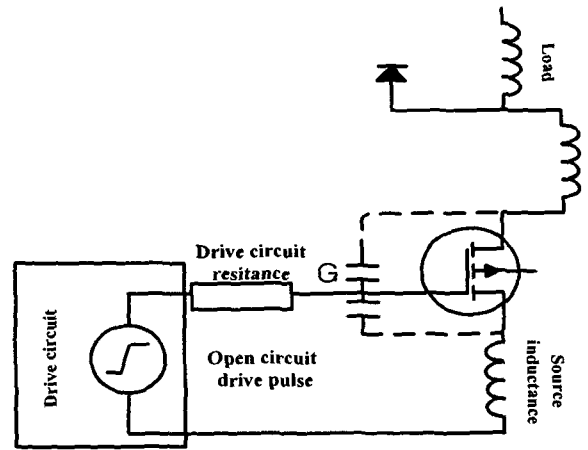


그림 2 스위치 온 시 동적 분담 효과  
Fig. 2 Diagrammatic Representation of Effects When Switching-on

그림 2는 회로의 기생성분을 포함한 스위치 온 시 회로의 상태를 나타내고 있다. 게이트 소스의 전압의 영향을 주는 두 번째 요소는 소위 말하는 밀러 효과이다.  $t_1$  과  $t_2$  기간동안 얼마간의 전압이 드레인과 직렬로 연결된 회로 인덕턴스에 걸쳐 떨어진다. 그리고 드레인 소스 전압은 떨어지기 시작한다. 드레인 소스의 전압의 감소는 드레인 게이트에 걸친 캐패시턴스가 방전하게 되며 이것은 게이트와 소스 사이에 나타나는 전압 상승 비율을 감소시킨다. 드레인에서의 증가하는 전류는 드레인-소스 전압의 강하를 초래하고 이것은 결국 게이트 소스 전압의 증가를 더디게 하여 드레인 전류 증가를 받는 성질을 가지게 한다.

#### 2.2.3 스위치 턴 오프 기간동안의 동적 분담

그림 3은 Power MOSFET의 병렬연결에 따른 스위칭 오프시 각 소자의 전압 및 전류파형을 나타낸다. 우선 소스 인덕턴스는 0 이라고 가정한다.

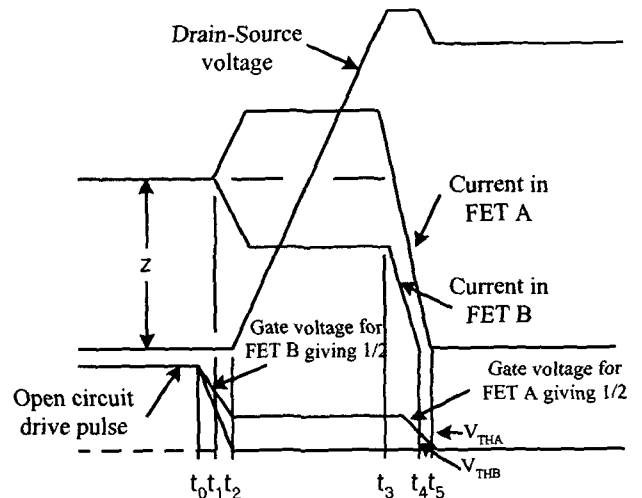


그림 3 스위치 턴 오프 시 전압 및 전류 파형  
Fig. 3 Current and voltage waveforms at switch turn-off

$t_1$  에서 게이트 전압은 Power MOSFET B가 더 이상 드레인 전류를 지탱할 수 없는 지점까지 도달하게 된다. 이때 부하전류는 재분배한다. Power MOSFET B 에서의 전류는 감소하고 반면에 Power MOSFET A 에서의 전류는 증가한다.  $t_2$  에서의 Power MOSFET B 는 더 이상 전류를 지탱할 수 없게 된다. 두 개의 Power MOSFET 모두 다 선형적인 영역에서 동작하고 있다. 그리고 드레인 전압은 올라가기 시작한다. 게이트 소스간 전압은 밀러의 효과에 의해서 실제적으로 유지하는 반면 두 개의 Power MOSFET에서의 전류는 분리된 수준으로 남아 있다. 이는 두 소자의 전류의 불균등을 초래하게 된다.<sup>[2][3]</sup>

### 2.3 제안된 POWER MOSFET의 병렬운전

전류정격을 높이기 위해 스위칭 소자의 병렬운전을 할 경우 스위칭 소자 전류분담은 소자의 포화전압특성곡선에 의해 좌우된다. 그림 4(a)와 같은 포화전압을 갖는 스위칭 소자에서  $SW_1$ 의 스위칭 소자는 드레인 소스단 전압이  $V_{S1}$  이 될 때 소자의 정격전류가 흐르게 되고,  $SW_2$ 의 스위칭 소자는 드레인 소스단 전압이  $V_{S2}$  가 될 때 소자의 정격전류가 흐르는 특성을 갖는다고 가정하자. 그림 4(a)와 같이 상이한 스위칭 포화전압을 갖는 두 스위칭 소자를 병렬 운전 할 경우 정상상태에서 전류분담특성은 그림 4(b)로 나타낼 수 있다. 두 스위칭 소자를 병렬로 연결하므로 드레인 소스전압은 하나가 되고 이 전압에 의해 두 스위칭 소자는 포화전압 특성에 의해 전류분담율이 정해진다. 그림 4(b)와 같이 부하전류에 의해 두 스위칭 소자의 드레인 소스단 전압인  $V_{DS}$ 가  $V_{S1}$ 이 된다면  $SW_1$ 에 흐르는 전류는 소자의 정격전류인  $i_{RATE}$ 가 흐르는 상태가 되고, 이 때  $SW_2$ 에 흐르는 전류는  $I_{DS2}$ 가 되어 소자의 정격전류보다 적은 전류가 흐르게 된다. 이 전류의 크기는 스위치  $SW_1$ 의 포화특성 곡선에서  $V_{S2}$ 일 때의 전류값이 된다.

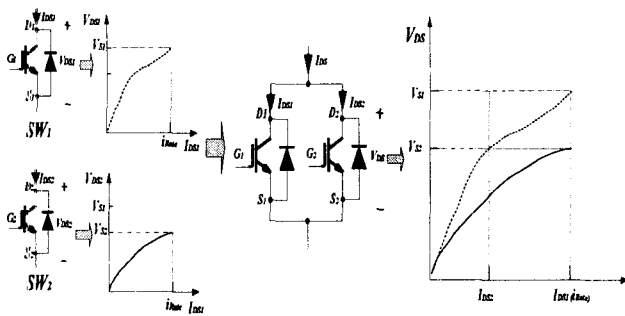


그림 4 병렬 스위칭 방식의 전류분담 특성  
(a) 포화전압 특성 (b) 전류분담 특성  
Fig. 4 Characteristics of current division in parallel switching method  
(a) Characteristics of saturation voltage  
(b) Characteristics of current division

즉 스위칭 소자를 병렬운전 할 경우 소자의 포화전압이 높은 쪽의 스위칭 소자로 전류가 집중되어 결국 전류 분담율이 매우 낮게 되어 스위칭 소자의 전류분담의 의미를 상실하게 된다. 이를 보상하기 위해 스위칭 소자에 직렬로 저항을 삽입하는 방식을 사용하여

게이트-소스 양단의 전압을 조정함으로써 회로 기생성분 및 각 소자의 고유특성의 복잡한 해석 없이 동일한 전류분담을 가능하게 한다.

그림 5는 스위치 턴 온 및 스위치 턴 오프시 과도상태에서 생기는 정격이상의 피크 전류를 억제하여 소자의 정격 전류 용량에서 안정한 동작을 구현하기 위해 사다리꼴 형태의 펄스 구현이 가능한 선형 게이트 회로이다. 이는 Power MOSFET가 소자 특성 및 Power 회로의 기생성분에 영향을 받지 않도록 스위치 선형영역을 거쳐 스위치 모드로 동작하도록 한다.

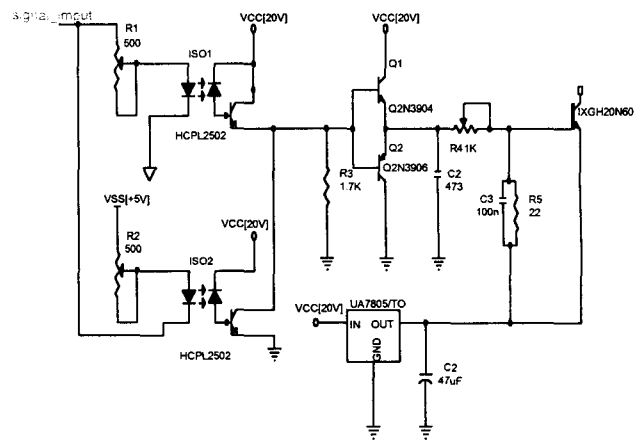


그림 5 선형 게이트 회로  
Fig. 5 Linear gate-amp circuit

본 회로를 이용하여 스위치 턴 온, 턴 오프시 과도상태에서 생기는 정격이상의 피크 전류를 억제하여 소자의 정격전류 용량 이하에서의 안정한 동작을 구현하기 위해 기존 빠른 구형과 형태의 펄스를 사다리꼴 형태의 펄스로 구현하였다.

본 회로는 기존방식에서 안정된 스위치 턴 온, 턴 오프를 위해 게이트 신호 패턴을 게이트 회로 2차측에서 구현하고자 하는 방식을 개선하여, 빠른 속응성과 직선성을 갖는 opto-coupler(TLP550)를 채용하여 소자 특성에 영향을 받지 않는 게이트 회로 1차측에서 게이트 신호의 패턴을 구현하도록 하였다. 또 한가지의 특징은 전압 플로우의 베이스단의 rising time 및 falling time을 독립적으로 개선하기 위하여 opto-coupler(TLP550) 두 개를 사용하였다.

### 3. 실험 및 고찰

Power MOSFET의 원활한 병렬운전 및 병렬스위칭 패턴을 검증하기 위해 그림 6과 같은 SRM 비대칭 인버터 토폴로지의 test 지그를 제작하였다. Test 지그의 각상 및 DC 링크단은 소자의 방열 기능과 도체로서의 역할을 할 수 있도록 전도성이 뛰어난 알루미늄 재질로 제작되었다. 각 상의 병렬 운전시 각 소자의 전류분담을 원활히 관찰하기 위해 인버터 압의 아래 부분의 스위치는 독립적으로 센서를 치부 가능하도록 하였다.

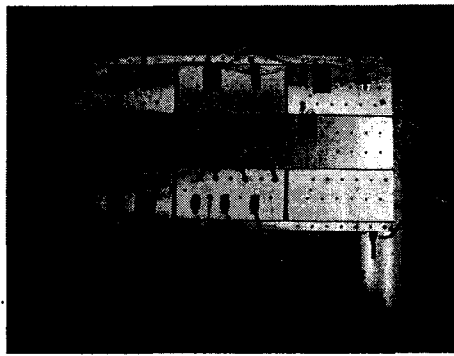


그림 6 병렬운전 test 지그 및 제안된 게이트 회로  
Fig. 6 Paralleling test zig and proposed gate-amp circuit

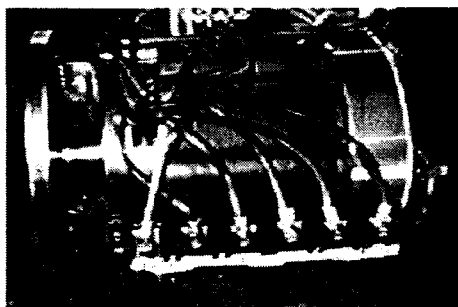
제안된 방식의 타당성을 검증하기 위해 본 실험에서는 그림 7과 같이 3상 6/4 SRM을 사용하였다.



(a) 고정자



(b) 회전자



(c) 시험 전동기의 조립한 후의 사진

그림 7 3상 6/4 SRM  
Fig. 7 3 Phase 6/4 SRM

그림 7(a)는 6/4 SRM의 고정자를 나타내며 그림 7(b)는 6/4 SRM의 회전자를 나타낸다. 그림 7(c)는 시험 전동기의 조립 후의 사진을 나타낸다.

표1은 6/4 SRM 시험 전동기의 설계 정수를 나타낸다. 본 실험에 사용된 SRM의 전동기 설계 정수는 전동기 설계 프로그램인 PC-SRD에 의해 1차 산정 되었다. 시험 전동기는 고정자 극수 6극, 회전자 극수 4극인 6/4 SRM을 사용 하였으며, 시험 전동기의 최대 출력은 5[KW]이며 입력 전압은 72[V]이다. 최대 최소 인덕턴스는 각상에 저항을 고려한 전압 및 전류를 측정하여 산출하였으며 각종 여러 가지 기초 실험을 통하여 실제 전동기 설계 정수를 산출하였다.

표 1. 피 시험 전동기의 설계 정수

Table 1. parameters of the experimental SRM

|         |         |               |         |
|---------|---------|---------------|---------|
| 고정자 극수  | 6       | 회전자 극수        | 4       |
| 고정자 극호  | 32 °    | 회전자 극호        | 32 °    |
| 고정자 외경  | 148 mm  | 회전자 외경        | 84 mm   |
| 고정자 계철폭 | 8 mm    | 회전자 계철폭       | 8 mm    |
| 공극      | 0.2 mm  | 철심 길이         | 100 mm  |
| 상당 권선수  | 8 turn  | 도체 직경         | 3.16 mm |
| 상당 저항   | 0.02 Ω  | 최대 인덕턴스(1A)   | 2.22 mH |
| 최소 인덕턴스 | 0.25 mH | 최대 인덕턴스(250A) | 1.25 mH |

본 논문에서는 SRM의 고정도 여자각 제어를 위해 새로운 형태의 엔코더 디스크와 그에 적절한 제어방법을 제시하였다. 그림 8은 3상 6/4 SRM을 위한 제안된 엔코더 디스크를 나타낸다.

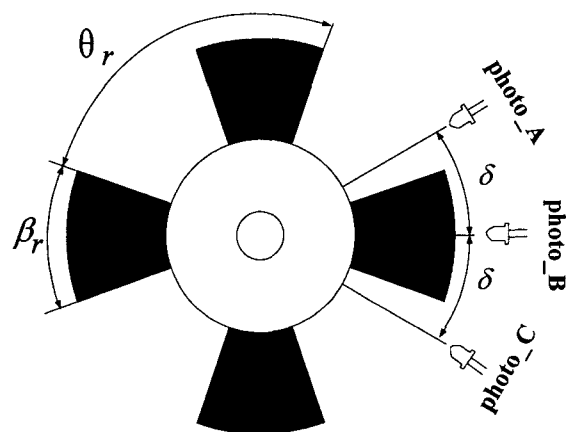


그림 8 3상 6/4 SRM을 위한 제안된 엔코더 Disk  
Fig. 8 Encoder disk for 3 Phase 6/4 SRM

기존의 증분형 엔코더는 위치에 따라 디지털 신호를 카운터로 측정하여 위치에 따른 카운터 값으로 회전자의 위치를 측정한다. 그러나 제안된 엔코더는 SRM의 회전자의 돌극의

수와 각도와 동일한 범위에서 디스크의 명암을 달리하고 이를 포토 센서가 감지 하므로서 명암에 비례하는 삼각과 형태의 아날로그 신호를 출력하게 된다.<sup>[7]</sup>

그림 9는 3상 6/4 SRM의 인덕턴스 프로파일에 따른 제안된 엔코더의 출력 파형을 나타낸다.  $\theta_0$ 는 최대 드웰각  $\beta_r$ 의 중심이다. 최대 드웰각  $\beta_r$ 은 최대 출력을 고려한 실험적 방법에 의해 결정된다.  $\theta_a$ 와  $\theta_d$ 는 최대 온 각 및 최대 오프 각을 나타내며, 이는 설계된 모터의 여자전압, 여자전류 및 모터의 설계정수에 의해 결정된다. 그림 8에서 스위칭 온 각은 최대 온 각  $\theta_a$ 와  $\theta_0$  사이의 음의 기울기를 가지는 엔코더 출력에서 결정되며 스위칭 오프 각은 최대 오프 각  $\theta_d$ 와  $\theta_0$  사이의 양의 기울기를 가지는 엔코더 출력에서 결정된다. 엔코더 출력의 음의 기울기와 양의 기울기의 끝 부분은 최대 드웰각  $\beta_r$ 을 제한하기 위하여 스텝 모양을 가지게 된다.

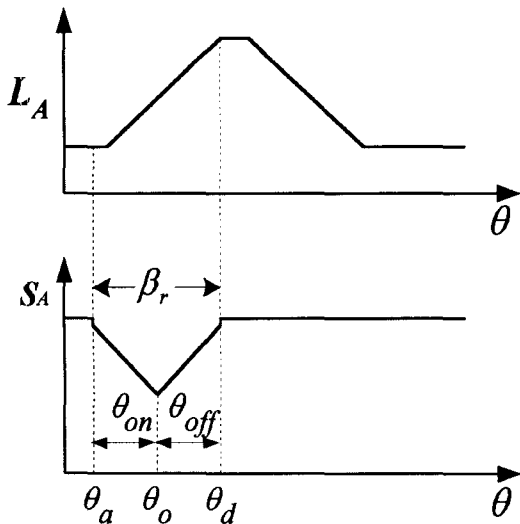


그림 9 3상 6/4 SRM  
Fig. 9 3 Phase 6/4 SRM

그림 10은 제안된 엔코더를 이용한 효과적인 스위칭 각 제어를 나타내고 있다. 제안된 스위칭 각 제어는 모터의 속도 및 부하조건에 따라 스위칭 온 각과 스위칭 오프 각 조절을 위해 두 개의 독립적인 지령신호를 사용하게 된다.

스위칭 온 각  $\theta_{on}$ 은 음의 기울기를 갖는 엔코더 출력과 스위칭 온 각 지령인  $V_{on}$ 의 교차지점에서 결정되며 식(1)과 같다.

$$\theta_{on} = [1 - \frac{V_{on}}{V_{max}}](\theta_0 - \theta_a) + \theta_a \quad (1)$$

스위칭 오프 각  $\theta_{off}$ 는 양의 기울기를 갖는 엔코더 출력과 스위칭 오프 각 지령인  $V_{off}$ 의 교차지점에서 결정되며

식(2)과 같다.

$$\theta_{off} = \frac{V_{off}}{V_{max}}(\theta_d - \theta_0) + \theta_0 \quad (2)$$

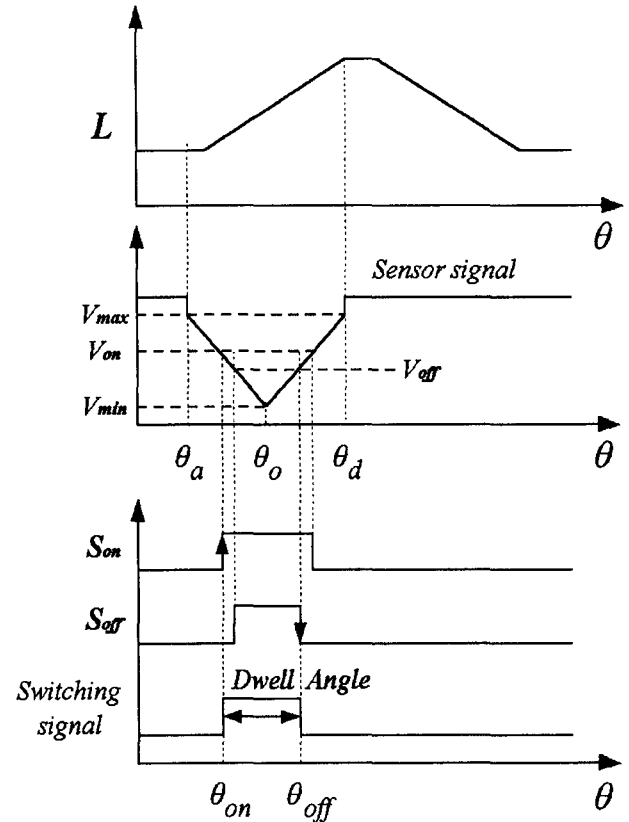


그림 10 제안된 엔코더를 이용한 스위칭 각 제어  
Fig. 10 Switching angle control using proposed Encoder

따라서 드웰각  $\theta_{dwell}$ 은  $\theta_{on}$ 의 상승 edge와  $\theta_{off}$ 의 하강 edge에 의해 결정되며 식(3)과 같다.

$$\theta_{dwell} = \theta_{off} - \theta_{on} \quad (3)$$

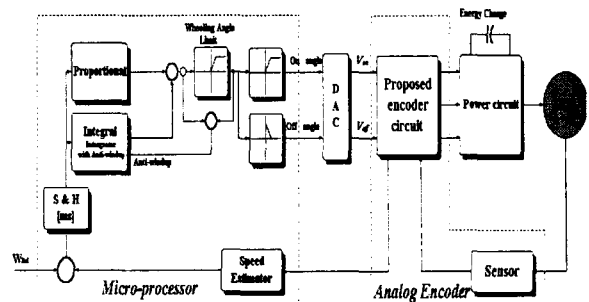
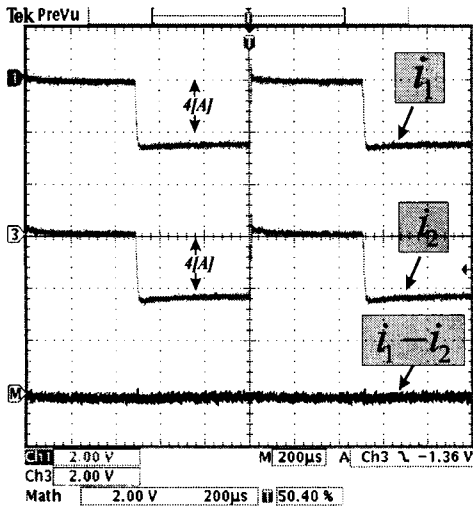


그림 11 제어 시스템 블록도  
Fig. 11 Block diagram of control system

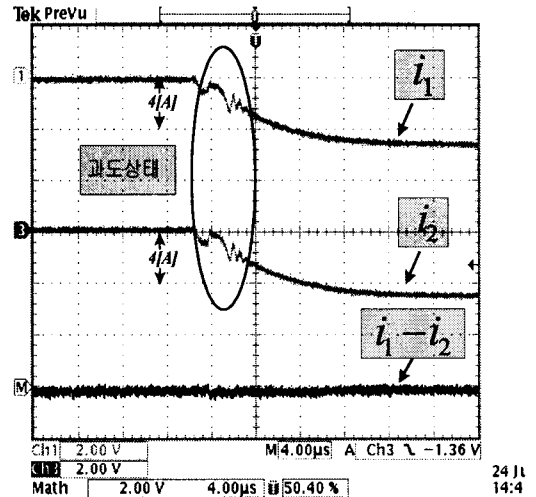
그림 11은 제어 시스템의 블럭도를 나타낸다. 스위칭 각 제어를 위해 PIC processor 와 2-채널, 10bit D/A converter 를 사용하였다.

그림 12는 제안된 게이트 회로의 전류분담 파형과 기존의 IGBT 구동 게이트 회로로 출시된 EXB841을 이용한 게이트 회로에서의 전류분담 파형을 나타내고 있다. 그림 7의 위로 부터  $I_1$ ,  $I_2$  의 파형은 IGBT에서 분담된 전류를 나타내며, 아래 부분에 있는  $I_1 - I_2$  의 파형은 측정된  $I_1$ ,  $I_2$  파형을 오실로스코프의 연산 기능을 이용해 두 전류의 과도상태 및 정상상태에서의 차이를 측정된 파형이다. 위 실험은 정격전류가 5A로 저용량 MOSFET인 IR사의 IRF830를 이용해 실험하였으며, 우선 순수저항 부하에서 분담전류를 0.5옴의 저항을 달아 검출하였다. 그림 12에서 알 수 있듯이 각 소자 당 4A의 전류분담이 이루어지고 있으며 기존회로에 비해 제안된 회로에서 과도 상태 시 두 분담 전류의 차를 나타내는  $I_1 - I_2$ 의 수치가 0에 가까우므로 과도 상태에서 안정된 전류 분담 동작을 하고 있음을 알 수 있다.

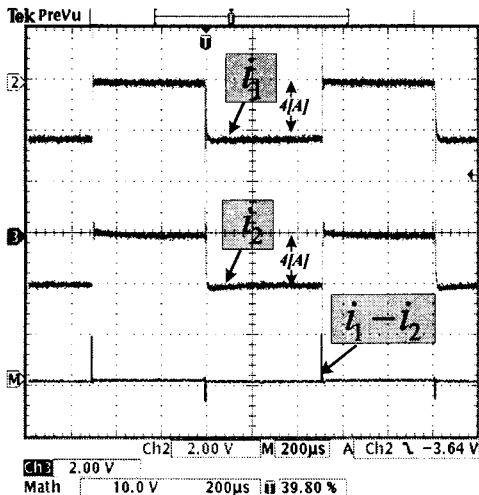
그림 13과 14는 그림 12의 각 소자의 전류 분담 파형에서 과도 상태에서 제안된 회로와 기존의 회로를 비교하기 위해 확대한 파형이다. 그림 13은 스위치 턴 온 시 제안된 회로와 기존 회로의 전류 분담 파형을 나타낸다. 그림 13에서 알 수 있듯이 기존의 회로는 과도상태에서 순시 피크전류가 소자의 정격 전류 용량에 비해 크게 나타나는 구간이 존재한다. 또한  $I_1$ 과  $I_2$ 의 전류의 차가 나타나는 것을 확인 할 수 있다. 그에 비해 제안된 회로는 과도 상태에서 약간의 오실레이션은 존재하나 선형 소자의 정격 전류 보다 낮은 전류 상태를 유지하며,  $I_1$ 과  $I_2$ 의 전류의 차가 없는 것을 확인 할 수 있다. 이는 기존의 회로에 비해 제안된 회로가 전류 분담을 소자의 정격전류에 가깝게 분담 할 수 있다. 이는 저 전류 저가형 소자를 이용한 인버터 시스템을 제작시 소자의 수를 줄일 수 있다. 그림 14는 스위치 턴 오프 시 제안된 회로와 기존 회로의 전류 분담 파형을 나타낸다. 스위치 턴 오프 시 과도 상태에서 순시 피크 전류는 스위치 턴 온 시 과도 상태에 비해 높으므로, 제안된 게이트 회로는 기존의 상용 게이트 회로에 비해 스위치 오프 시에 더욱 효과적으로 정격 이상의 순시전류를 막을 수 있음을 확인 할 수 있다.



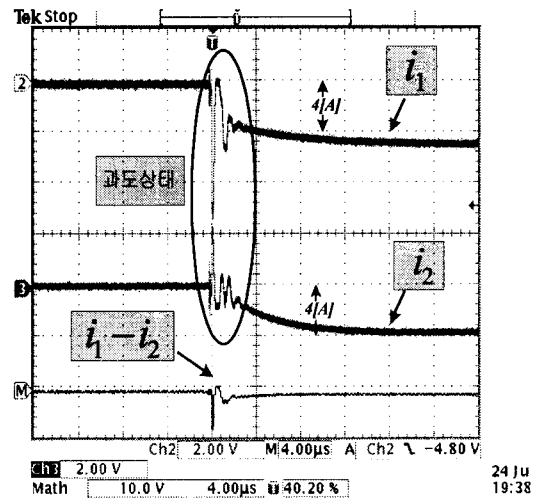
(a) proposed circuit



(a) proposed circuit



(b) general circuit



(b) general circuit

그림 12 각 소자의 전류 분담 파형

Fig. 12 Sharing Current waveform of each power MOSFET

그림 13 스위치 턴 온 시 전류 분담 파형

Fig. 13 Sharing Current waveform at switch turn-on

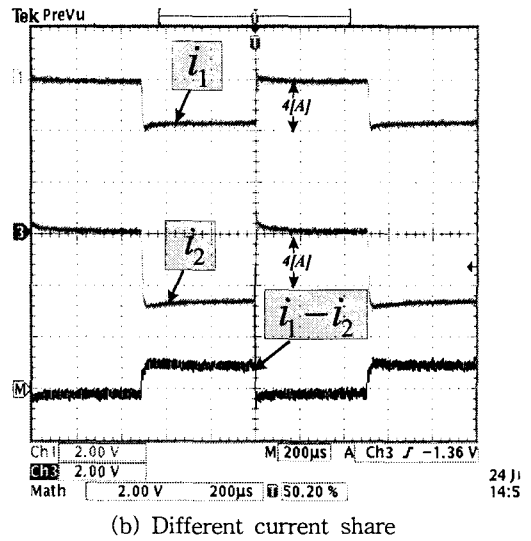
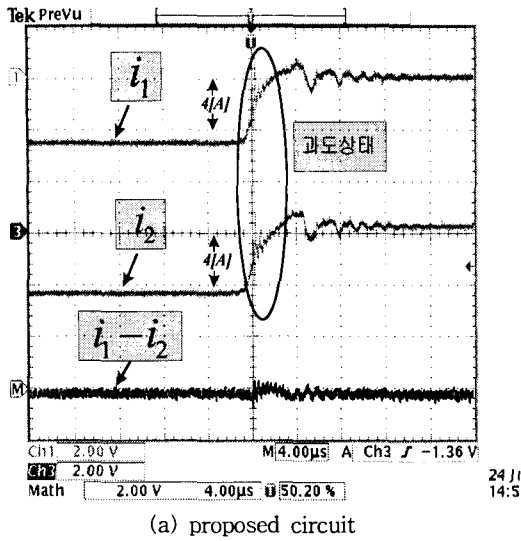


그림 15 각 소자의 게이트 전압변화에 따른 상전류 파형  
Fig. 15 Sharing Current waveform of each gate vltage

그림 15는 게이트-소스 양단 전압 조정에 따른 상 전류 파형을 나타내고 있다. 본 논문에서는 동일한 전류분담을 위해 각 소자의 게이트 단에 직렬저항을 이용한 게이트-소스 양단 전압 조정을 하도록 하였다. 그림 15(a)는 게이트 단의 직렬저항을 조절하여 병렬로 연결된 소자들이 동일한 전류분담을 하도록 하였을 때 각 소자들의 각각의 전류와 두 소자의 전류의 차이를 나타낸다. 그림 15(b)는 저가형 소자의 병렬 운전 시 게이트-소스단의 전압조정을 위한 직렬저항의 효과를 확인하기 위해 각 소자가 다른 전류분담을 하도록 직렬저항을 조절하였을 때 각 소자들의 각각의 전류와 두 소자의 전류의 차이를 나타낸다. 결과에서 알 수 있듯이 게이트에 직렬저항을 조절하여 게이트-소스 양단의 전압을 조정하였을 때 정상상태에서 회로의 기생성분 및 소자특성에 무관한 병렬분담이 간단히 이루어짐을 알 수 있다.

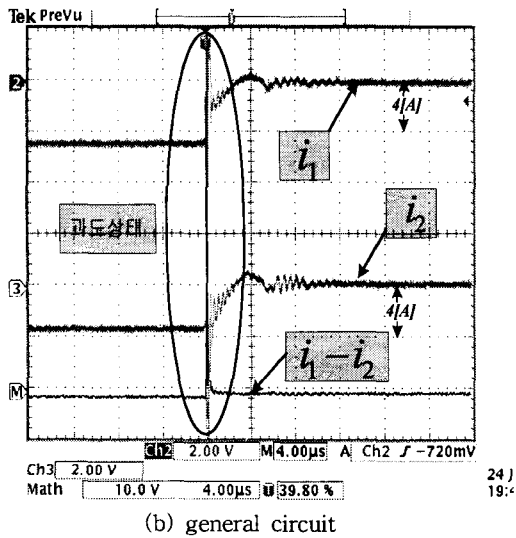


그림 14 스위치 턴 오프 시 전류 분담 파형  
Fig. 14 Sharing Current waveform at switch turn-off

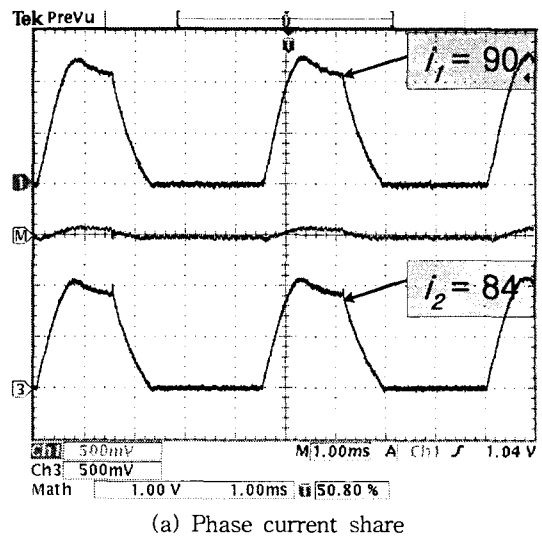
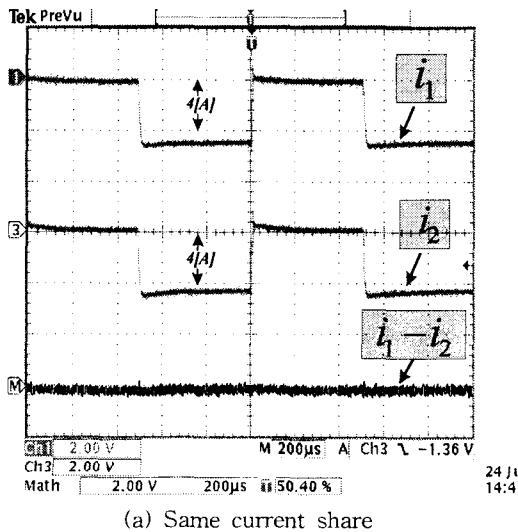


그림 16 고용량 소자의 전류 분담 파형  
Fig. 16 Sharing Current waveform of high power MOSFET

그림 16은 실제 SRM 상 권선을 부하로 하여 100V 100A의 정격을 가지는 대 전류용 Power MOSFET의 상전류 분담 파형이다. 그림에서 알 수 있듯이 과도 상태 시 순시 피크 전류 없이 안정된 동작을 하고 있음을 알 수 있다. 이는 각 소자들의 전류 분담율을 높일 수 있으며, 실제 각 소자의 전류분담은 실험에 의해 정격 용량의 85%이상 분담이 가능하며, 각 소자들의 전류의 차가 안정된 영역 범위 내에 있음을 알 수 있다. 그림 17은 그림 16의 같이 실제 SRM Inverter에 적용시 제안된 회로의 게이트 신호의 과도 상태이다. 그림에서 알 수 있듯이 사다리꼴 형태의 게이트 신호를 발생하여 초기 Power MOSFET 스위칭 시 소자의 선형 영역을 충분히 활용하여 정격 이하의 스위칭 동작을 하고 있음을 알 수 있다.

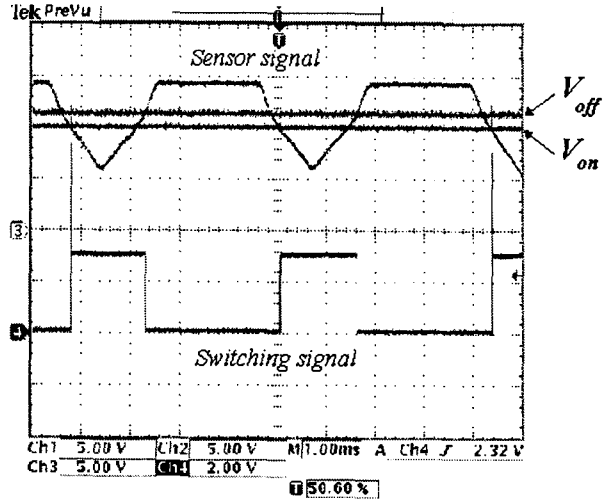
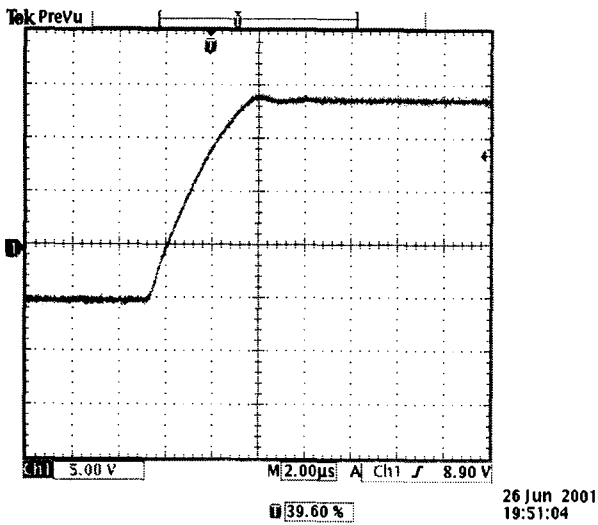
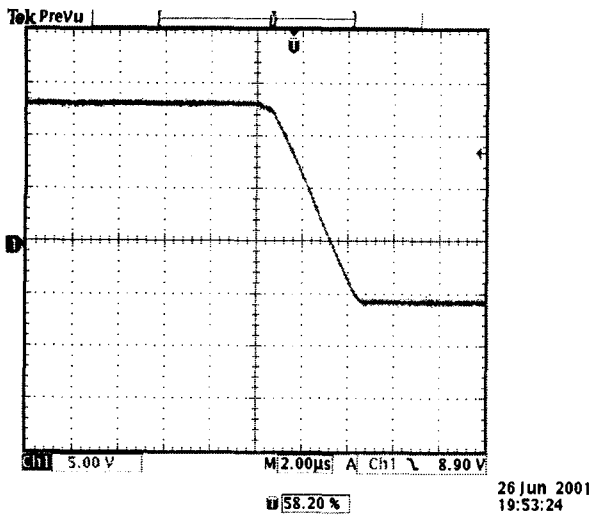


그림 18 제안된 엔코더 출력 파형  
Fig. 18 Output of proposed Encoder

그림 18은 제안된 엔코더 디스크의 출력 파형, 스위칭 온 각 지령  $V_{on}$ , 스위칭 오프 각 지령  $V_{off}$  및 한 상의 스위칭 신호를 나타낸다. 그림 18에서 알 수 있듯이 회전자 위치와 동기된 고정자 여자용 스위칭 신호는 엔코더 디스크 명암에 비례하는 포토 센서의 출력 파형과 스위칭 시점을 결정하는 두 스위칭 지령 신호에 의해 결정됨을 알 수 있다.



(a) 게이트 회로의 Rising Time



(b) 게이트 회로의 Falling Time

그림 17 제안된 게이트 회로의 파형  
Fig. 17 Waveform of proposed Gate circuit for SRM Inverter

#### 4. 결 론

본 연구에서는 회로의 기생성분과 소자의 특성에 무관한 동작을 할 수 있는 게이트 회로 및 게이트 신호 패턴을 제시하였다. 정상상태에서는 소자의 게이트 전압에 따른 드레인 전류 특성을 이용해 높은 드레인 - 소스 저항을 가지는 소자의 드레인 전류와 동일한 전류분담을 이루기 위해 게이트 전압을 게이트 단에 연결한 직렬저항으로 조절하였으며 과도 상태 시에는 급격한 턴 온 턴 오프로 인한 순시피크 전류를 막기 위해 직선성이 뛰어난 opto-coupler를 이용하여 1차측에서 소자가 선형영역을 걸쳐 스위칭영역으로 동작할 수 있는 게이트 패턴을 만들고자 하였다. 또한 SRM 여자각 제어를 위해 기존의 증분형 엔코더를 사용 할 때 발생하는 초기 Z상의 정보 검출 없이는 회전자의 절대 정보를 인식할 수 없는 문제와 고속 회전 시 증분 된 데이터를 고속 처리하기 위한 고정 제어를 가져야 하는 단점을 보완한 새로운 형태의 엔코더 디스크 및 스위칭 온 각과 오프 각을 각각 제어할 수 있는 두 개의 스위칭 각 지령을 이용한 제어 방법을 제시하였다. 원활한 스위칭 소자의 병렬운전을 위한 제안된 회로는 기존의 상용 게이트 회로에 비해 과도 상태 시 순시 전류가 정격전류 아래에서 안정된 동작을 할 수 있어 각 소자의 전류 분담율을 개선할 수 있음을 실험을 통해 검증하였으며 제안된 엔코더 및 스위칭 각 제어방식 또한 실험을 통해 그 타당성을 검증하였다.



참 고 문 헌

- [1] B. K. Bose, T. J. E. Miller, P. M. Szezesny and W. H. Bocknell, "Microcomputer Control of Switched Reluctance Motor", *IEEE Trans. Industrial Application*, vol. 22, no. 4, pp. 708-715, 1986.
- [2] J. B. Forsythe: "Paralleling of Power MOSFETs," IEEE-IAS Conference Record, October 1981
- [3] J. B. Forsythe, "Paralleling of Power MOSFETs For Higher Power Output", Technical Papers of International Rectifiers, 2002.
- [4] S. Tamai, M. Kinoshita, "Parallel operation of digital controlled UPS system", *Ind. Electron., Control, and Inst.*, 1991 Int'l Conf., pp. 326-331, 1991.
- [5] S. Ogasawara, J. Takagaki, and H. Akagi, "A novel control scheme of a parallel current-controlled PWM inverter", *IEEE Trans. Ind. applicat.*, Vol. 28, No. 5, pp. 1023-1027, Sept./Oct. 1992.
- [6] T. Kawabata and S. Higashino, "Parallel Operation of Voltage Soruce Inverters", *IEEE Tranactions on Industry applications*, Vol. 24, No. 2, pp. 281-287, 1988.
- [7] J. W. Ahn et al, Novel Encoder for SRM Drive with High Resolution Angle Control, *Proceedings of IEEE/ISIE 2001*, pp. 1781-1785, 2001.
- [8] M.Ehsani, and K.R.Ramani, "Direct Control Strategies Based on Sensing Inductance in Switched Reluctance Motors", *IEEE Trans. on PE*, Vol.11, No.1, pp.74-82, 1996.



**박 성 준(朴 晟 濬)**

1965년 생. 1991년 부산대 전기공학과 졸업. 1996년 동대학원 졸업(공학박사), 1996~2000 거제대학 조교수, 2001~2003 동명대 전기자동차계열 조교수, 2003. 9~전남대 전기공학과 조교수



**원 태 현(元 太 鉉)**

1965년 3월 10일생, 1986년 부산대 전기공학과 졸업. 1988년 부산대 전기과 졸업(석사). 2002년 부산대 메카트로닉스협동과정 졸업(박사). 1988년~1997년 국방과학연구소 선임연구원. 1998년~현재 동의공업대학 전기전자계열 조교수.



**안 진 우(安 珍 雨)**

1958년생. 1984년 부산대 전기공학과 졸업. 1986년 동 대학원 전기공학과 졸업(석사). 1992년 동 대학원 전기공학과 졸업(박사). 1995년 12월~1996년 2월 영국 글래스고우대 방문연구원. 1998년 8월~1999년 8월 미국 위스컨신대 방문교수. 1992년~현재 경성대 전기전자메카트로닉스공학부 교수. 당학회 편집이사

Tel : 051-620-4773

E-mail : jwahn@ks.ac.kr



**이 만 형(安 珍 雨)**

1946년 10월 18일생. 1969년 부산대 전기공학과 졸업, 동대학원석사(1971), 미국 Oregon 주립대학교 전기컴퓨터공학과 박사(1983), 1975년~현재 부산대학교 기계공학부 교수, POSCO 석좌교수.

저 자 소 개



**이 상 훈(李 相 勳)**

1974년 8월 11일 생. 2000년 경성대 전기공학과 졸업. 2002년 경성대학교 전기전자공학과 졸업(석사). 2002년~현재 KT전기 기술연구소 연구원. 부산대학교 메카트로닉스 협동과정(박사과정).

Tel : 051-294-0330, Fax : 294-0327

E-mail : lsh9104@hanmail.net