

# 능동 클램프형 포워드 DC-DC 컨버터의 효율에 관한 연구

論 文

53B-5-11

## A Study on Efficiency of Active Clamp Type Forward DC-DC Converter

安 泰 榮\*  
(Tae-young Ahn)

**Abstract** - In this paper, we present an analytical method that provides fast and efficient evaluation of the conversion efficiency for switching power supplies. In the proposed method, the conduction losses are evaluated by calculating the effective values of the ideal current waveform first and incorporating them into an exact equivalent circuit model of the switching power supply that includes all the parasitic resistances of the circuit components. While the winding losses and core losses are accurately accounted for the magnetic components, the skin and proximity effects are assumed to be negligible in order to simplify the analysis. The validity and accuracy of the proposed method are verified with experiments on a prototype active-clamped forward converter with synchronous rectification. An excellent correlation between the experiments and theories are obtained for the input voltages of 36-75 V with 4-6 MOSFETs employed for the synchronous rectification.

**Key Words** : Active clamp Forward converter, efficiency, power losses

### 1. 서 론

스위칭 전원장치는 고효율이며 소형화가 가능하기 때문에 산업 전반에 널리 사용되고 있다. 특히 전원장치의 전력 변환 효율은 회로의 내부 손실과 밀접한 관계가 있고, 손실이 증가함에 따라서 전원장치의 발열량이 비례하기 때문에 방열 설계에서 중요한 평가기준이 되기도 한다. 전원장치의 효율을 높이면, 장치의 신뢰성이 높아지고, 평균 운전 수명이 길어지며, 방열을 효율적으로 운용할 수 있기 때문에 제품의 외형을 소형화 시킬 수 있는 장점이 있다. 또한, 스위칭 전원장치의 전력변환 효율을 초기 설계에서 분석과 예측이 가능하게 되면, 전원장치의 최적설계가 가능하고 방열 설계가 용이해진다. 그러나 전력변환 효율을 예측하기 위해서는 장기간의 설계 경험이 필요하거나, 전원장치의 설계와 제작 단계에서 다수의 시행착오가 필요하기도 한다.

일반적으로, 효율을 이론적으로 분석하기 위해서는 전원장치의 기본회로 내부에 기생소자를 포함한 등가회로를 구성하고 정상상태해석을 통해서 전도손실과 스위칭 손실을 구하고, 변압기와 인덕터에 사용되는 자성체의 코어체적손실 뿐만 아니라 권선구조에 따른 교류저항과 근접효과 등을 고려한 코어손실을 구하는 복잡한 과정이 필요하다[1,2]. 이러한 방법은 복잡한 정상상태 해석이 필요하고, 변압기의 권선구조에 따라 결과가 달라지기 때문에 일반화시키는 것이 어려

울 뿐만 아니라 모델링 하는 과정에서 간략화 되고 단순화 시킨 정상상태 결과 때문에 반드시 실제 값과 오차를 갖게 된다.

본 논문에서는 스위칭 전원장치에서 중요한 평가 성능 중의 하나인 전력변환 효율을 빠르고 쉽게 예측하기 위한 이론 효율의 분석 방법을 제시하였다. 또한, 동기정류기 능동클램프형 포워드 컨버터에 대한 이론 효율을 구하고, 통신기용 전원장치에서 일반적으로 요구되는 전기적 사양의 실험회로를 구현하여 실험값과 비교하여 그 결과를 보고한 것이다.

### 2. 능동 클램프형 포워드 컨버터

그림 1은 본 논문에서 검토하고 있는 배전류형 동기 정류기를 갖는 능동 클램프형 포워드 DC-DC 컨버터의 기본 회로를 나타내었다[3]. 그림에서 1차 측에서는 주 스위치  $Q_1$ 과 변압기  $T$ 의 포화를 방지하기 위해서 보조 스위치  $Q_2$ 와 커패시터  $C_c$ 가 구성되었다. 또한 2차 측의 인덕터  $L_1$ 과  $L_2$ , 스위치  $Q_3$ 과  $Q_4$ 가 배전류형 동기 정류기를 구성하고 있다[4]. 그림 1의 기본회로가 일정한 스위칭 주파수  $f_s$ 와 일정한 시비율  $D$ 에서 동작하며, 각 소자가 이상적인 특성을 갖는다고 가정하면, 기본 회로는 그림 2와 같은 등가회로를 구성할 수 있다.

그림 2의 등가회로가 정상상태에서 동작하는 경우, 각 스위치  $Q_1$ ,  $Q_2$ 의 동작 상태에 따른 상태별 등가회로를 그림 3에 나타내었으며, 그림 4에서는 각 상태에 대한 이상적인 동작 파형을 나타내었다. 본 논문에서는 정상상태 해석을 간단하게 하기 위해서 그림 4의 상태별 이론 동작 파형에서 각 전압과 전류의 파형은 내부 손실을 고려하지 않았다. 즉 회

\* 正 會 員 : 淸州大學校 情報通信工學部 助教授 · 工博  
接受日字 : 2003年 9月 15日  
最終完了 : 2004年 3月 18日

로는 무손실이며, 이상적인 스위치와 이상적인 변압기 및 인덕터를 갖는다고 가정하였다.

그림 3의 등가회로와 그림 4의 이론 파형으로부터 해석을 간단히 하기 위해  $Q_1, Q_2$ 를 동작시키기 위한 두 개 스위치의 데드타임은 무시하였고, 회로의 동작은  $Q_1$ 이 ON이고  $Q_2$ 가 OFF 되었을 때와  $Q_2$ 가 ON이고  $Q_1$ 이 OFF 되었을 때의 두 가지 상태만 고려하였다. 그림 3의 상태별 등가회로와 그림 4의 상태별 이론 동작 파형으로부터 변압기의 자화인덕턴스의 전류 변화량과 실효값은 다음과 같이 구할 수 있다.

$$\Delta i_M = \frac{V_{IN} \times D}{L_M \times f_s} \quad (1)$$

$$i_T = \frac{(2\sqrt{3} \times I_o \times \sqrt{D} + \Delta i_M N)}{2\sqrt{3} \times N} \quad (2)$$

또한, 각 스위치에 흐르는 전류의 실효값을 다음과 같이 구할 수 있다.

$$i_{Q1} = \frac{(\Delta i_M N + 2\sqrt{3} \times I_o) \times \sqrt{D}}{2\sqrt{3} \times N} \quad (3)$$

$$i_{Q2} = \frac{\Delta i_M \times \sqrt{1-D}}{2\sqrt{3}} \quad (4)$$

$$i_{Q3} = \frac{I_o^2 \times D}{4} \quad (5)$$

$$i_{Q4} = \frac{I_o^2 \times (1-D)}{4} \quad (6)$$

또한, 변압기의 2차측 전류의 실효값과 배전류 정류기의 인덕터에 흐르는 각각의 실효 전류는 다음과 같이 구할 수 있다.

$$i_s = \frac{I_o^2}{4} \quad (7)$$

$$i_{L1} = i_{L2} = \frac{I_o^2}{4} \quad (8)$$

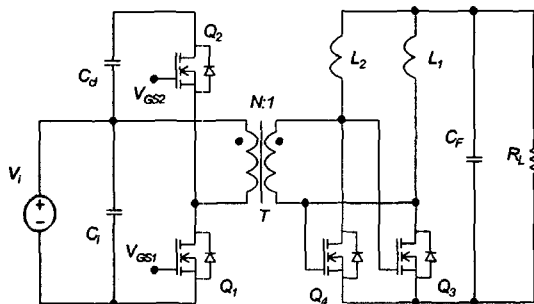


그림 1. 능동 클램프형 포워드 DC-DC 컨버터의 기본 회로  
Fig. 1. Basic topology of active clamp type Forward DC-DC converter

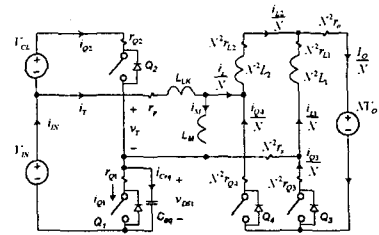
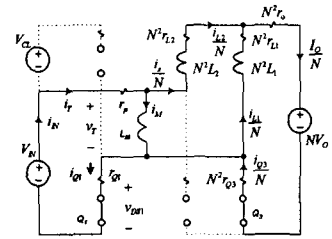
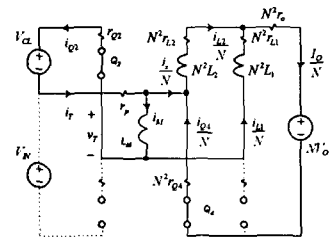


그림 2. 등가 회로  
Fig. 2. Equivalent circuit



(a)  $Q_1$ , ON 상태



(b)  $Q_2$ , ON 상태

그림 3. 각 상태별 등가 회로  
Fig. 3. Equivalent circuit for the switch states

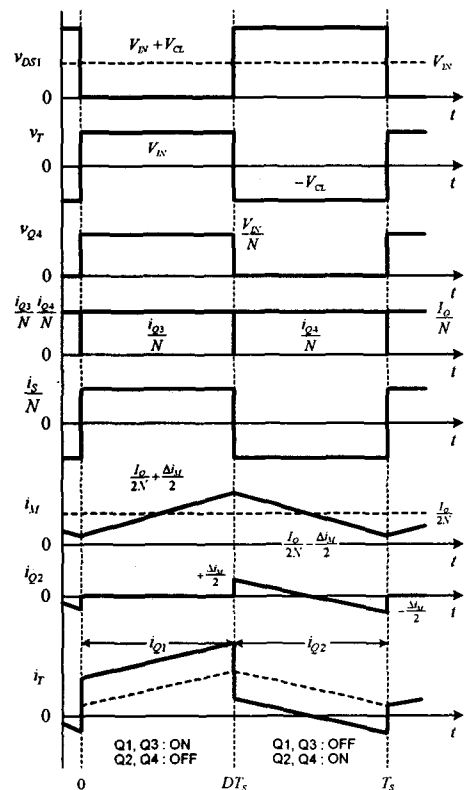


그림 4. 각 상태별 이론 동작 파형  
Fig. 4. Theoretical waveform for the switch states

### 3. 전력 손실

#### 3.1 전도 손실

스위칭 전원장치의 효율을 계산하기 위해서는 전원장치의 내부 전력손실을 정확하게 계산하여야 한다. 그러나 본 논문에서는 정상상태 해석에서 얻어진 결과를 효율적으로 이용하고 전력 손실 계산을 간단히 하기 위해서 전력손실을 크게 세부분으로 나누었다. 즉, 스위치와 다이오드에서 급격한 전류와 전압의 변동에 의해서 발생하는 스위칭 손실, 변압기 및 인덕터의 권선과 도체의 기생저항, 스위치의 전도저항 등에 의해서 발생하는 전도 손실, 마지막으로 변압기와 인덕터에서 사용되는 자성체 코어에서 발생하는 코어 손실이다.

본 논문에서는 2절에서 얻어진 정상상태의 실효 전류값이 그림 2의 컨버터의 등가회로 내부에 존재하는 기생저항과 내부 저항에 흐르는 모든 경우에 발생하는 손실을 전도 손실로 가정하였다. 즉, 컨버터에서 발생하는 전체의 내부 전도손실은 다음과 같이 계산된다.

$$P_C = \sum i_s \times r \tag{9}$$

##### 3.1.1 코어 손실

코어 손실은 코어의 제조 회사에서 제공된 주파수와 코어 손실 그래프를 참조하기 때문에 전원장치의 손실을 간단하게 계산할 수 없었다. 또한, 변압기의 권선 구조와 형태에 따라서 고려해야하는 권선의 교류저항과 근접효과를 고려해야하기 때문에 간단하게 계산할 수 없었다. 본 논문에서는 변압기 권선의 교류저항과 근접효과는 무시하였으며, 단지 변압기와 인덕터에서 사용된 코어의 재질에 대한 코어 손실만 고려하였다. 일반적으로 자성체 코어는 다음과 같은 단위체적 손실을 갖는다

$$P_{CORE} = K_C \times B_m^B \left[ \frac{W}{m^3} \right] \tag{10}$$

그림 5에는 본 논문의 실험용 전원장치에서 사용된 자성체 코어의 단위체적 손실을 계산하기 위해서  $B$ 와  $K_C$ 를 구하기 위한 커브 피팅 결과를 보여주고 있다. 그림에서 각각의 점은 코어 회사에서 제공한 단위체적 손실의 특성 그래프에서 임의의 값을 선정하여 해당 값을 그래프에 도시한 것이다. 그림 5은 본 논문에서 사용될 인덕터용 MPP 코어의 단위체적 손실을 나타낸 것이다. 그림 6 (a)는 코어 제조사에서 제공한 측정 손실이고, 그림 6 (b)는 다음 식 (11)의 함수를 이용하여 그래프로 나타낸 것이다.

$$P_{MPP} = (1.2 \times 10^{-3} + 0.1 \times 10^{-3} f) \times B_{Tm}^{(2.2+0.2 \times 10^{-3} f)} \left[ \frac{mW}{cm^3} \right] \tag{11}$$

마찬가지 방법으로 본 논문의 실험회로에서 변압기로 사용된 TDK사의 PC40 재질에 대한 코어 손실을 측정 손실과 함수에 의한 코어 손실을 비교하여 그림 7에 나타내었다.

그림 7 (a)는 코어 제조사에서 제공한 측정 손실이고, 그림 7 (b)는 식 (12)의 함수를 이용하여 그래프로 나타낸 것이다.

$$P_{PC40} = (5.5 \times 10^{-5} + 1.3 \times 10^{-6} f + 3.4 \times 10^{-8} f^2) \times B_{Lm}^{(2.6-4.8 \times 10^{-5} f)} \times 10^{-3} \left[ \frac{W}{cm^3} \right] \tag{12}$$

한편, 사용된 변압기의 최대 자속 밀도  $B_m$ 은 식 (13), 인덕터의 최대 자속 밀도는 식 (14)로 계산할 수 있다.

$$B_{Tm} = \frac{(L_M \times \Delta i_M) \times 10^7}{N_T \times A_{Tc}} \text{ [T]} \tag{13}$$

$$B_{Lm} = \frac{(L_L \times \Delta i_L) \times 10^7}{N_L \times A_{Lc}} \text{ [T]} \tag{14}$$

식 (13), (14)의 최대자속밀도에서 식 (11)과 (12)의 단위체적당 코어 손실을 계산하기 위해서는 사용 코어의 단면적  $A_c$ 과 평균자로길이  $l_m$ 를 고려하면, 식 (15), (16)과 같이 계산된다.

$$P_{TC} = K_{Tc} \times B_{Tm}^B \times A_{Tc} \times \ell_{Tm} \text{ [W]} \tag{15}$$

$$P_{LC} = (K_{Lc} \times B_{Lm}^B \times A_{Lc} \times \ell_{Lm}) \times 2 \text{ [W]} \tag{16}$$

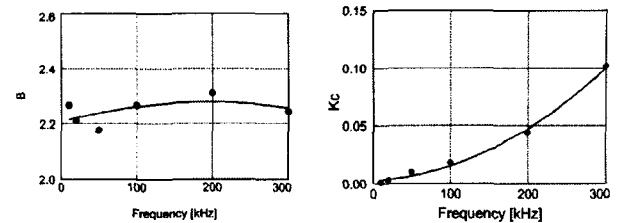


그림 5. 특성 그래프에 의한 커브 피팅

Fig. 5. Curve fitting for characteristics graph

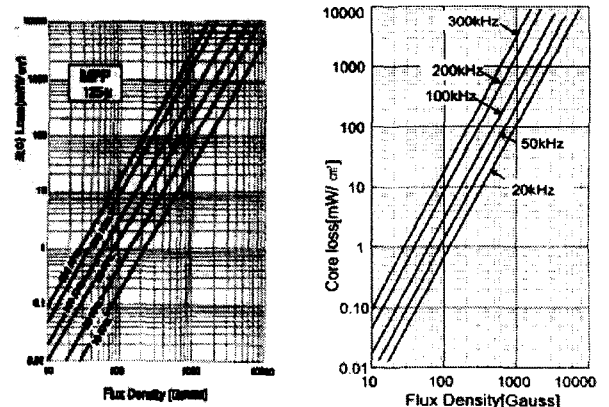
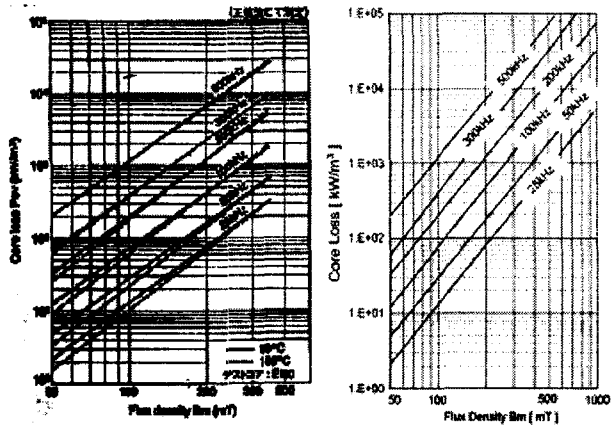


그림 6. MPP 코어손실

Fig. 6. MPP Core loss



(a) PC 40 코어의 측정 손실 (b) 함수에 의한 코어손실  
 그림 7. 코어손실  
 Fig. 7. Core loss

3.1.2 스위칭 손실

능동 클램프형 포워드 컨버터는 변압기의 누설인덕턴스를 적절하게 이용하면 소프트 스위칭이 가능하기 때문에 스위치의 스위칭 손실은 작게 된다. 본 논문에서는 주 스위치의 턴 온 손실과 동기정류용 스위치를 포함하여 스위치의 구동 손실만을 고려하였다. 식 (17)은 스위치가 턴 온 될 때 스위치에 걸리는 전압을 나타내고 있으며, 식 (18)은 스위치의 기생 커패시턴스에 의해서 발생하는 손실을 나타내고 있고, 스위치의 구동 손실을 식 (19)에 나타내었다. 단,  $Z_o$ 는  $L_{LK}$ 와  $C_{eq}$ 로 구성된 특성임피던스이며,  $N_{FET}$ 는 동기정류기에서 손실을 저감시키기 위해서 병렬로 사용된 MOSFET의 개수이다.

$$V_s = V_i - Z_o \times \left( \frac{\Delta i_M}{2} \right) \quad [V] \quad (17)$$

$$P_{SW} = \frac{1}{2} \times C_{eq} \times V_s^2 \times f_s \quad [W] \quad (18)$$

$$P_D = \frac{1}{2} \times (N_{FET} \times Q_g \times V_{GS} \times f_s) \times 2 \quad [W] \quad (19)$$

이상의 결과로부터 능동 클램프형 포워드 컨버터의 전력 손실은 크게 전도 손실은  $P_C$ , 스위칭 손실은  $P_{SW}$ 와  $P_D$ , 코어 손실은  $P_{TC}$ 와  $P_{LC}$ 로 구분 할 수 있으며, 따라서 전체 손실은 다음 식과 같이 유도할 수 있다.

$$P_{Total} = P_C + P_{TC} + P_{LC} + P_{SW} + P_D \quad (20)$$

컨버터의 전체 손실로 유도된 식 (20)을 이용하여 컨버터의 전력변환 효율을 다음 식과 같이 계산할 수 있다.

$$\eta = \left( \frac{P_o}{P_o + P_{Total}} \right) \times 100 [\%] \quad (21)$$

4. 실험 결과

4.1 실험 회로

앞 절에서 이론적으로 유도된 전력변환 효율의 평가를 위해서 표 1과 같은 실험회로를 구성하였다. 실험회로는 최근 저전압 대전류용 통신기용 전원장치에서 요구하고 있는 전기적 사양으로 설계하였다[5]. 실험회로는 과전류 보호회로, 간단한 제어회로 구성, 제어성능 향상 등을 목적으로 전류제어 모드용 소자인 CS51022A를 사용하였으며, 동기정류기의 효율적인 구동을 위해서 변압기 권선을 이용한 자기구동방식을 사용하였고 정류용으로 사용된 FET는 효율을 개선시키기 위해 각각 3개씩 총 6개를 병렬로 사용하였다.

그림 8에는 본 논문에서 사용된 실험회로의 회로도를 나타내었다. 표 2에는 주스위치와 동기 정류용 스위치로 사용된 FET의 특성값을 정리하여 나타내었으며, 각 특성값은 제조회사에서 제공한 데이터를 참조하였다. 특히 온저항 값은 FET 손실을 주도하는 값으로 알려져 있으며, 그림 9에는 실험회로에서 동기정류용으로 사용된 FET Si4430의 온저항 특성을 제조회사의 데이터 자료에서 발췌하여 나타내었다[6]. 그림에서 온저항 값이 드레인 전류에 대해서는 비교적 일정하게 유지되고 있지만, 게이트-소스 전압  $V_{GS}$ 과 접합온도에 따라 영향을 받는다는 것을 알 수 있다. 그러나 스위칭 동작의 경우  $V_{GS}$ 가 일정하고, 소자의 온도도 정상상태에서 일정하다고 가정하면 FET의 온저항은 표 2와 같이 가정할 수 있다. 표 3에는 실험용 회로에서 사용된 변압기와 인덕터의 자기적 특성을 정리하여 나타내었다. 그림 2의 실험회로 등가회로 내부에서 존재하는 내부 기생 저항 값을 정리하여 표 4에 나타내었다. 표 4의 내부저항 값 중에서 FET의 내부저항은 표 2를 참조하였으며, 변압기와 인덕터의 권선저항 값은 HIOKI사의 LCR 미터인 3532로 측정하였다.

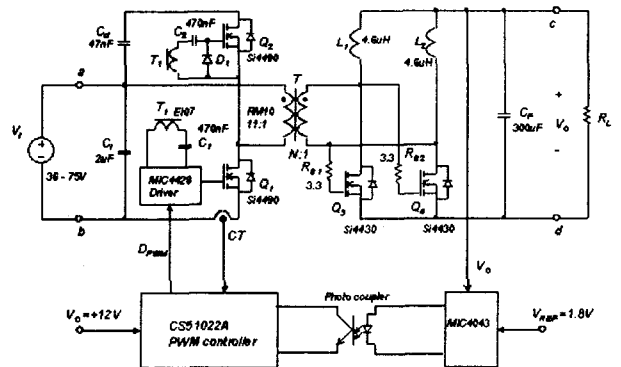


그림 8. 실험회로  
 Fig. 8. Experimental circuit

표 1. 실험 회로의 사양

Table 1. Specifications of experimental converter

Parameters	Name	Value	Unit
Input voltage range	$V_i$	36-75	V
Output voltage	$V_o$	1.8	V
Output current	$I_o$	25	A
Maximum output power	$P_o$	45	W
Switching frequency	$f_s$	300	kHz

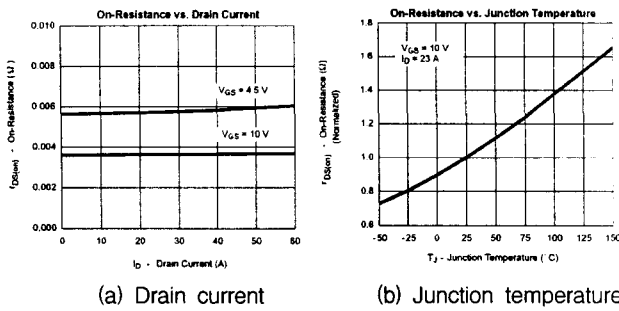


그림 9. MOSFET Si4430의 온저항 특성  
 Fig. 9. On-resistance characteristics of MOSFET Si4430 (from datasheet of Vishey)

표 2. 실험용 MOSFET의 사양

Table 2. Specifications of experimental MOSFET

Parts name	Model name	R <sub>DS(on)</sub>	V <sub>DS</sub>	I <sub>D</sub>	Q <sub>g</sub>	C <sub>oss</sub>
Q <sub>1,2</sub>	Si4490DY	80mΩ	200V	4.0A	34nC	200pF
Q <sub>3,4</sub>	Si4430DY	4mΩ	30V	23A	36nC	1000pF

표 3. 실험용 변압기와 인덕터의 특성

Table 3. Characteristics of experimental transformer and inductor

Parts name	Var.	Parameters	Values
Transformer	T	Core type	RM10
		Wire type	0.5mm×3
		Cross sectional area	0.98cm <sup>2</sup>
		Path length	4.4cm
		Volume	4.31cm <sup>3</sup>
		Magnetizing inductance	80μH
		Turns ratio	11:1
Inductor	L <sub>1,2</sub>	Core type	CM166125
		Wire type	1.0mm×2
		Cross sectional area	0.192cm <sup>2</sup>
		Path length	4.11cm
		Volume	0.789cm <sup>3</sup>
		Inductance	4.6μH
		Maker	Changsung

표 4. 실험용 회로의 기생저항

Table 4. Parasitic resistance of experimental converter

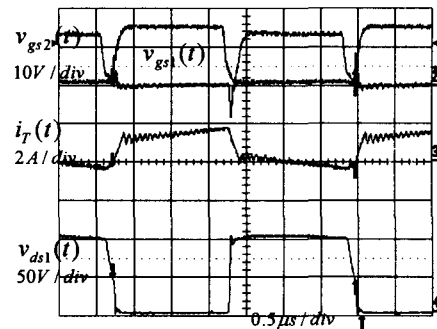
Part name	Var.	Value
Switch resistance	r <sub>Q1,2</sub>	80mΩ
Primary resistance	r <sub>P</sub>	4mΩ
Secondary resistance	r <sub>S</sub>	4mΩ
Inductor resistance	r <sub>L1,2</sub>	13mΩ
Rectifier resistance	r <sub>Q3,4</sub>	4mΩ
Output resistance	r <sub>O</sub>	1mΩ

4.1.1 비교 결과

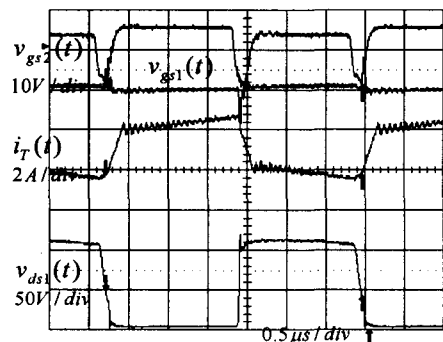
그림 10에는 실험회로에 대한 주요 실험파형을 부하전류가 각각 15, 25A일 때 나타내었다. 그림의 위로부터 주스위치와 능동클램프용 스위치의 게이트전압 v<sub>gs1,2</sub>, 변압기 1차측 전류 i<sub>T</sub>, 주스위치의 전압 v<sub>ds1</sub>이다. 그림 10에서 부하전류가 증가할수록 시비율과 전류 i<sub>T</sub>의 최대값이 비례하고 있다는 것을 확인 할 수 있다.

그림 9의 실험회로에 대한 실험 효율과 식 (21)로 얻어진 이론 효율을 비교하여 그림 11에 나타내었다. 그림 11 (a)와 (b)에서는 입력전압이 최저인 36V인 경우 효율이 비교되었다. 동기 정류용 FET를 4개와 6개를 사용하였을 때 최대 효율은 모두 약 90%와 88% 이었으며, 부하전류가 증가할수록 4개와 6개의 효율의 격차가 줄어들고 있다는 것을 알 수 있었다. 그림 11 (c), (d)에서 알 수 있듯이 입력전압이 최대 75V로 인가되었을 때 전체 효율은 이론 효율과 실험효율 모두 감소하고 있다는 것을 알 수 있었다. 특히 6개의 FET를 사용하였을 때 최대효율은 이론효율과 실험효율이 각각 87%, 88%로 비교적 일치하고 있었다.

그림 12에서는 입력전압이 36, 48, 75V일 때 이론효율과 실험효율을 한 개의 그래프에 나타낸 것이다. 또한, 그림 13에서는 같은 조건에서 측정된 컨버터의 전력손실과 본 논문에서 유도된 이론 손실을 비교하여 나타낸 것이다. 그림 12과 13에서 알 수 있듯이 실험회로를 이용하여 측정한 실험값과 이론값이 비교적 넓은 범위에서 잘 일치하고 있음을 알 수 있다. 특히, 부하전류가 증가할수록 측정 손실이 이론 손실에 비해서 다소 크게 나타나는 것은 본 논문에서 고려하지 않았던 2차측 동기정류기 등의 스위칭 손실과 변압기의 표피 효과 손실, 근접효과 손실 등에 의한 것이라고 판단된다.



(a) I<sub>o</sub>=15A



(b) I<sub>o</sub>=25A

그림 10. 실험파형 (V<sub>i</sub>=48V)

Fig. 10. Experimental waveforms (V<sub>i</sub>=48V)

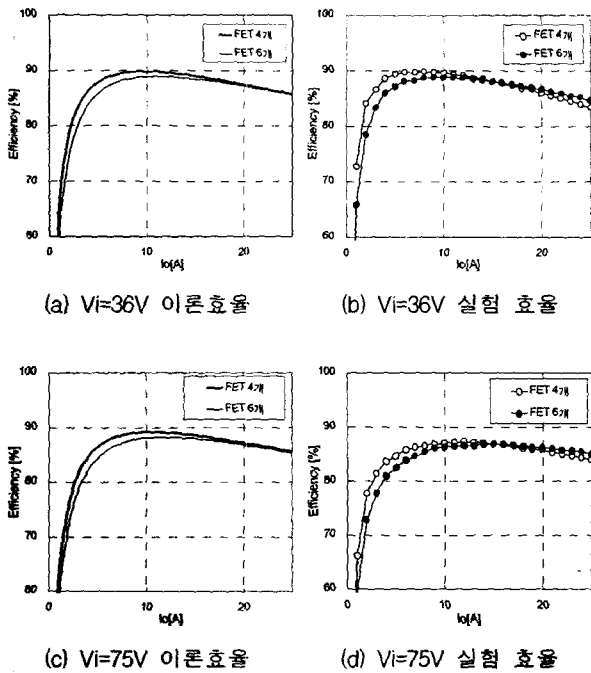


그림 11. 입력전압과 FET 수에 따른 효율비교  
 Fig. 11. Comparison of efficiency for the input voltage and FET number

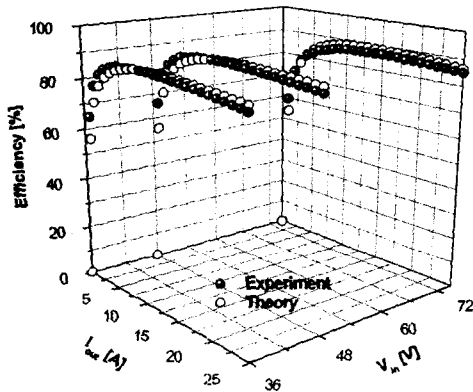


그림 12. 전력변환 효율 비교  
 Fig. 12. Comparison of power conversion efficiency

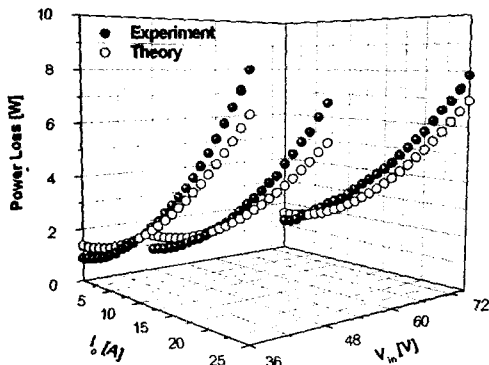


그림 13. 전력손실 비교  
 Fig. 13. Comparison of power loss

### 5. 결 론

본 논문에서는 스위칭 전원장치에서 중요한 평가 성능 중의 하나인 전력변환 효율을 빠르고 쉽게 예측하기 위한 이론 효율의 분석 방법을 제시하였다. 기존의 복잡한 효율 계산을 개선하기 위해서 이상적인 이론 파형으로부터 정상상태의 실효 전류값을 구하고, 구해진 실효값을 기생 저항이 포함된 등가회로에 적용하여 전도손실을 계산하였다. 또한, 코어 손실을 일반화 시키고 해석을 간단히 하기 위해서 권선의 교류 저항과 근접효과는 무시하였으며, 코어의 단위체적 손실과 권선 저항에 의한 전도손실만 고려하였다.

이론 효율을 실험값과 비교하기 위해서 통신기용 전원장치에 적합한 저전압 대전류용 동기정류기 능동클램프형 포워드 컨버터를 구성하였다. 실험회로에서 입력전압이 36, 48, 75V 인 경우와 동기정류용 FET를 4개, 6개를 사용하였을 때 이론 효율과 실험효율을 비교하였다. 비교 결과 측정된 실험 효율과 이론 효율이 비교적 넓은 범위에서 잘 일치하고 있음을 알 수 있었다.

### 감사의 글

본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신 연구센터의 지원에 의한 것입니다.

### 참 고 문 헌

- [1] Bartoli, M., Reatti, A., Kazimierczuk, M.K., "Efficiency of a class-E DC/DC converter with a full-wave rectifier at any loaded quality factor," Proceedings of the 37th Midwest Symposium on Circuits and Systems, vol.2, pp. 1257-1260 May 1994.
- [2] Lopera, J.M., Prieto, M.J., Pernia, A.M., Nuno, F., "A multiwinding modeling method for high frequency transformers and inductors," IEEE Trans. on Power Electronics, vol. 13, No. 3, pp.896- 906 May 2003.
- [3] Laszlo Huber, Milan M. Jovanovic, "Forward-Flyback Converter with Current Doubler Rectifier: Analysis, Design, and Evaluation Results," IEEE Trans. on Power Electronics, vol. 14, No. 1, pp.184-192 January 1999.
- [4] Acik, A., Cadirci, I., "Active clamped ZVS forward converter with soft-switched synchronous rectifier for maximum efficiency operation" IEEE PESC, pp. 1237-1242, 1998.
- [5] Haruo Watanabe, Hirofumi Matsuo, Haruhiko Hatakeyama, "Design Oriented Analysis of a novel Soft-Switching DC-DC Converter with 2V/20A DC Output," IEEE PESC 01, pp. 884-889, 2001.
- [6] W. Lu, R.J. Mauriello, K.B. Sundaram, L.C. Chow, "Comparison of on-resistance of a power MOSFET by varying temperature." Southeastcon '98. Proceedings. IEEE, pp. 264-267, 1998.

저 자 소 개



**안 태 영 (安 泰 榮)**

1984년 한양대 전자공학과 졸업. 1990년 동 대학원 전기공학과 졸업(석사). 1994년 큐슈대학교 (공학박사). 1995년 일본 세이코 전기 선임연구원. 1996년 삼성 반도체 선임연구원 1997년 현재 청주대학교 정보통신공학부 조교수.

Tel : 043-229-8439, Fax : 043-229-8439

E-mail : tyahn@chongju.ac.kr