

논문 2004-41SD-5-16

저전력 광대역 바이폴라 전류 콘베이어(CCII)와 이를 이용한 유니버설 계측 증폭기의 설계

(A Design of Low-Power Wideband Bipolar Current Conveyor (CCII) and Its Application to Universal Instrumentation Amplifiers)

차 형 우*

(Cha, Hyeong-Woo)

요 약

새로운 구성의 저전력 광대역 바이폴라 전류 콘베이어(CCII)를 제안하고 이것을 이용한 유니버설 계측 증폭기(UIA)를 설계하였다. 설계된 CCII는 정확한 전류 및 전압 전달특성과 낮은 전류 입력단자의 임피던스를 위해 종래의 AB급 CCII의 회로에 적응성 전류 바이어스 회로를 사용하였다. 설계된 UIA는 제안한 2개의 CCII와 4개의 저항기만으로 구성되며, 입력 신호의 선택과 저항기의 사용에 따라, 3가지 종류의 계측 증폭기를 실현할 수가 있다. 시뮬레이션 결과, 제안한 CCII는 2.0Ω의 전류 입력 임피던스를 갖고, 이 CCII를 전압 증폭기로 응용할 때 0에서 50kHz까지의 주파수 범위에서 최대 60dB의 이득을 갖고 있다는 것을 확인하였다. 또한, -100mA에서 100mA까지의 전류 범위에서도 우수한 전류 폴로워 특성을 갖고 있다는 것을 확인하였다. 설계된 UIA는 저항기의 정합에 관계없이 3가지 계측 기능을 갖고 있다는 것을 확인하였다. 완전-차동 전압 계측 증폭기로 사용할 때 0에서 100kHz까지의 주파수 범위에서 40dB의 전압 이득을 갖고 있다. 공급 전압 ±2.5V에서 CCII와 UIA의 전력 소비는 각각 0.75mW와 1.5mW이다.

Abstract

A novel low-power wideband bipolar second-generation current conveyors(CCII) and its application to universal instrumentation amplifier(UIA) were proposed. The CCII for accuracy voltage or current transfer characteristics and low current input impedance adopted adaptive current bias circuit into conventional class AB CCII. The UIA consists of only two CCII and four resistors. Three instrumentation function of the UIA can be realized by selection of input signals and resistors. The simulation results show that the CCII has input impedance of 2.0 Ω and the voltage gain of 60dB for frequency range from 0 to 50kHz when used as a voltage amplifier. The CCII has also good characteristics of current follower for current range from -100mA to +100mA. The simulation results show that the UIA has three instrumentation amplifier functions without resistor matching. The UIA has the voltage gain of 40dB for frequency range from 0 to 100kHz when used as a fully-differential instrumentation amplifier. The power dissipations of the CCII and the UIA are 0.75mW and 1.5mW at supply voltage of ±2.5V, respectively.

Keywords : 저전력, 광대역, 바이폴라 전류 콘베이어(CCII), 계측 증폭기.

I. 서 론

제 2 세대 전류 콘베이어(second-generation current

conveyor : CCII)는 전압 폴로워(follower)와 전류 폴로워의 기능을 동시에 갖고 있으므로 전류-모드 신호 처리의 기본 구성 소자로서 잘 알려져 있다^{[1] [2]}. 이상적인 CCII는 무한대의 입력 임피던스를 갖는 전압 입력 Y 단자, 영(zero)의 입력 임피던스를 갖는 전류 입력 X 단자, 그리고 무한대의 출력 임피던스를 갖는 전류 출력 Z 단자를 갖고 있어야만 한다.

트랜지스터 레벨(level)의 CCII 구성에서, X 단자의

* 정회원, 청주대학교 반도체공학과
(Dept. of Semiconductor Eng., Chongju Univ.)

※ 이 논문은 2002년도 한국학술진흥재단의 지원에 의하여 연구되었음(KRF-2002-003-D00238).

접수일자: 2003년7월6일, 수정완료일: 2004년4월22일

임피던스를 줄이기 위해, 국부 전류귀환 기법을 이용해 A급 CMOS CCII가 보고된 바가 있다^{[3]-[4]}. 이들의 A급 CCII는 pMOS와 nMOS의 정합이 이루어져야만 X 단자의 임피던스를 줄일 수 있었다. 이러한 정합을 표준 n-well 혹은 CMOS 공정으로는 nMOS와 pMOS 트랜지스터에 대한 몸체 효과(body effect)를 동시에 제거할 수 없기 때문에 트윈-튜브(twin-tub) CMOS 공정 혹은 BiCMOS 공정을 이용하면 가능하다^{[5]-[6]}. 이런 문제는 몸체 효과에 영향을 받지 않는 바이폴라(bipolar) npn과 pnp 트랜지스터를 이용하면 해결할 수 있다^[7]. 이를 기초로 해서 저자는 A급 바이폴라 CCII를 개발해 발표한 바가 있다^{[8]-[9]}. 이들의 A급 CCII는 광대역 특성과 9.5 Ω의 작은 전류 입력 단자 임피던스를 갖고 있지만, 입력 전류의 동작 범위가 바이어스 전류에 의해 결정되기 때문에, 동작 범위를 넓게 하면 전력 소비가 커지게 되는 문제점이 있다.

이 문제를 해결하기 위해 AB급으로 동작하는 CCII가 발표되었으나, 비선형의 전압 전달 및 전류 전달 특성, 전류 입력 단자의 큰 임피던스, 그리고 큰 오프셋 전압 때문에 고정도의 전류-모드 신호처리를 수행할 수 없는 문제점이 있다^{[10]-[11]}. 따라서, 이러한 CCII를 사용한 계측 시스템에의 응용회로 실현에는 한계가 있다.

본 연구에서는 이러한 문제점을 해결하기 위해 새로운 구성의 저전력 광대역 바이폴라 CCII를 설계하고 이것을 이용한 유니버설 계측 증폭기(universal instrumentation amplifier: UIA)를 설계한다. 설계된 CCII는 종래의 AB급 CCII의 광대역 특성을 갖고 있을 뿐만 아니라, 높은 선형 전압 및 전류 전달, 우수한 단자 특성, 그리고 낮은 오프셋 전압 특성을 가질 것이다. 또한, 개발될 UIA는 연산 증폭기를 이용한 종래의 계측 증폭기와 달리, 낮은 전력을 갖고 있으면서 전압 및 전류 입력 신호를 전압 및 전류 신호로 출력할 수 있는 계측 증폭기의 기능을 갖고 있다^[12].

II. 회로구성 및 동작원리

1. 종래의 저전력 바이폴라 제 2세대 정극성 전류 콘베이어(CCII+)

그림 1에 종래의 저전력 바이폴라 제 2세대 정극성 전류 콘베이어(second-generation current conveyor with positive current : CCII+)들을 나타냈다. 그림 1(a)에 나타낸 CCII+는 전압 입력 v_Y 를 위한 Q_1 과 Q_3

의 상보형 이미터 폴로워(complementary emitter follower)단, 전류 입력 i_X 를 위한 Q_2 , Q_4 , Q_5 , 그리고 Q_7 로 구성되는 상보형 AB급 푸쉬-풀(push-pull)단, 그리고 전류 출력 i_Z 를 위한 Q_5 , Q_6 , Q_7 , 그리고 Q_8 로 구성되는 기본 전류 미러단으로 구성된다. 그림1(b)에 나타낸 CCII+는 전류 입력 i_X 과 전류 출력 i_Z 을 위한 회로는 동일하나, 전압 입력 v_Y 를 위해 트랜스리니어 셀(translinear cell) $Q_1 \sim Q_4$ 를 사용한 점이 다르다. 전압 입력단에 두 개의 정전류원이 이상적이라면 이것에 의해 입력 임피던스가 매우 크게 되어 전압 입력단자의 기능을 충분히 갖게 된다.

그림 1에 나타낸 두 회로에서 전압 입력단인 Y 단자를 구성하는 Q_1 과 Q_2 의 바이어스 전류J가 일정하기 때문에 이들의 v_{BE} (베이스-이미터간 전압)는 일정하다. 그러나, 전류 입력단인 X 단자를 구성하는 Q_2 과 Q_4

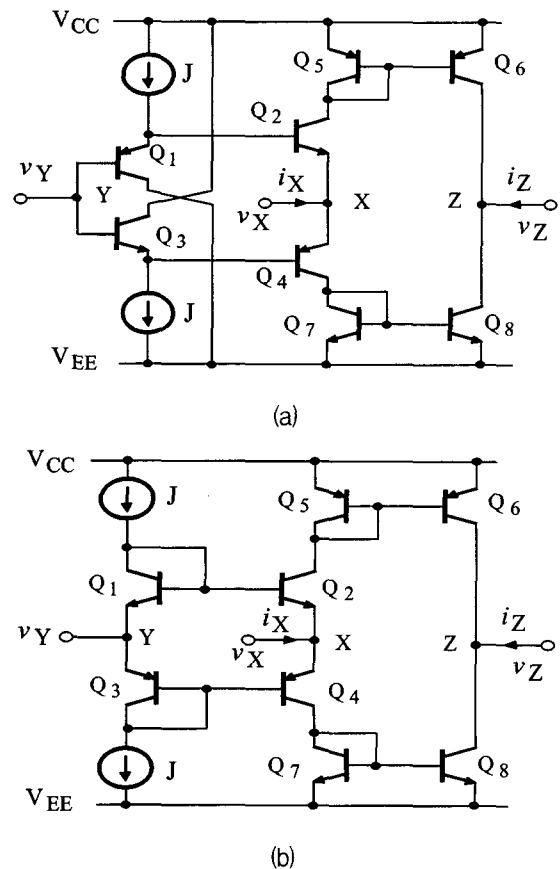


그림 1. 상보형 이미터 폴로워(a)와 트랜스리니어 셀(b)를 이용한 종래의 CCII+
Fig. 1. Conventional CCII+ using complementary emitter-follower (a) and translinear cell(b).

의 총 바이어스 전류는 X 단자로 유입 및 유출되는 전류 i_X 와 바이어스 전류 J의 합에 의해 결정되기 때문에 이들의 v_{BE} 는 입력 전류의 크기에 따라 변화한다. 따라서, X 단자의 입력 임피던스가 크기 때문에, 정확한 전압 및 전류 전달 특성을 얻기가 어려운 문제점과 큰 신호 전류를 처리하기 위해 큰 바이어스 전류가 요구되는 단점이 있다^{[10]-[11]}.

2. 저전력 광대역 바이폴라 CCII+ 설계

그림 1에 나타낸 종래의 저전력 바이폴라 CCII+가 갖는 문제점을 해결하기 위해, 제안한 저전력 광대역 CCII+의 회로도들 그림 2에 나타냈다. 그림 2(a)는 상보형 이미터 폴로워를 이용한 CCII+이고 그림 2(b)는 트랜스리니어 셀을 이용한 CCII+이다. 이 두 회로는 전압 입력 단인 Y 단자를 구성하는 회로만 다를 뿐, 동일한 동작을 하고 있기 때문에 본 논문에서는 그림 2(a)에 나타낸 상보형 이미터 폴로워를 이용한 CCII+의 회로

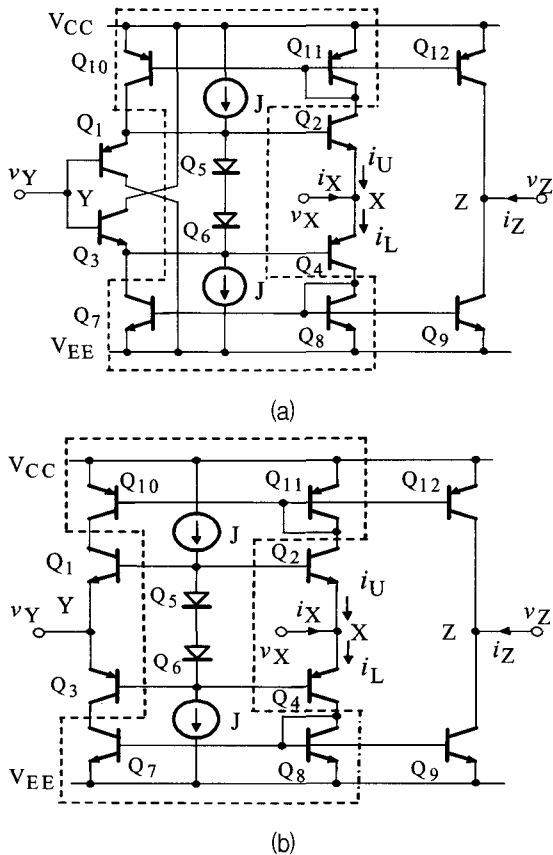


그림 2. 적응성 전류 미러를 상보형 이미터 폴로워 (a)와 트랜스리니어 셀(b)에 적용시켜 설계한 CCII+

Fig. 2. Designed CCII+ which adopted current mirror into the complementary emitter-follower (a) and the translinear cell (b).

에 대하여 동작 원리를 논의한다^{[13] [14]}. 두 회로에서 동일한 기능을 설명하기 위해 각각의 소자명을 동일하게 표시하였다.

제안한 CCII+의 회로는 4개의 블록, 즉 다이오드 접속된(diode-connected) 트랜지스터 Q_5, Q_6 , 그리고 두 개의 정전류원 J로 구성되는 바이어스단, 전압 입력 v_Y 를 위한 Q_1 와 Q_3 의 상보형 이미터 폴로워단, 전류 입력 i_X 를 위한 Q_2, Q_4, Q_8 , 그리고 Q_{11} 로 구성되는 AB급 푸쉬-풀단, 그리고 전류 출력 i_Z 를 위한 $Q_8 - Q_9$ 와 $Q_{11} - Q_{12}$ 으로 구성된 전류미러 단으로 구성된다. 트랜지스터 Q_{10}, Q_{11} , 그리고 Q_{12} 는 Q_1, Q_2 , 그리고 전류 출력단에 전류 i_U 를 동일하게 흘려주기 위한 적응성 전류 미러이다^[15]. 동시에, 전류 i_L 은 $Q_7 - Q_9$ 로 구성되는 적응성 전류 미러에 의해 Q_3, Q_4 , 그리고 전류 출력단에 동일하게 흐른다. 따라서, 각각의 전류 미러가 이상적이라면 다음의 관계가 성립된다.

$$i_L - i_U = i_X = i_Z \tag{1}$$

$$v_{BE5} + v_{BE6} = v_{BE2} + v_{BE4} = \text{constant} \tag{2}$$

먼저, 각 전류 미러의 트랜지스터, Q_1 과 Q_2, Q_3 와 Q_4 , 그리고 Q_5 와 Q_6 가 각각 정합되어 있다고 가정하면, $v_Y = 0$ 의 정지 상태에서 $i_U = i_L = J$ 가 되고, 전류 입력 X 단자는 가상 접지가 형성된다. 다음으로, X 단자에 입력되는 전류 i_X 에 의해 i_U 와 i_L 이 $J + \Delta i_U$ $J + \Delta i_L$ 로 각각 변화했다고 가정하면, 식 (1)으로부터 다음의 식이 얻어진다.

$$\Delta i_L - \Delta i_U = i_X = i_Z \tag{3}$$

전류 미러 Q_7 과 Q_8 에 의해 귀환되는 전류에 의해 Q_4 의 베이스 전압은 낮아지고, 이 변화는 Q_5 와 Q_6 를 통해 Q_2 에 전달되어, 식 (2)에 나타난 바와 같이 Q_2 의 베이스 전압을 같은 크기만큼 낮추어 준다. 상보형 쌍으로 구성되어 있는 Q_4 와 Q_2 가 활성(active) 영역에서 동작하고 있다고 가정하고, 베이스 전압에 대한 컬렉터 전류 관계식($I_S \exp^{v_{BE}/V_T}$)을 급수 전개하여 제

2차 항까지 만을 고려하면, i_X 에 대한 Δi_L 과 Δi_U 는 다음과 같이 구해진다.

$$\Delta i_L = \frac{i_X^2}{8(2J - I_S)} + \frac{i_X}{2} \quad (4a)$$

$$\Delta i_U = \frac{i_X^2}{8(2J - I_S)} - \frac{i_X}{2} \quad (4b)$$

여기서, I_S 는 컬렉터 역방향 포화 전류이다. 일반적으로 $J \gg I_S$ 이므로 위의 식으로부터, 푸쉬-풀 동작은 i_X 가 $4J$ 의 크기가 될 때까지 계속되며, $i_X \geq 4J$ 일 때에는 단일-출력 동작이 시작된다. 따라서, 작은 정전류원 J 를 사용함으로써 정지 전력을 작게 할 수 있고 X 단자에 인가되는 신호 전류를 $i_X \geq 4J$ 이상으로 크게 할 수 있기 때문에 X 단자의 전류 입력 범위가 매우 크다고 할 수 있다. 위의 설명은 X 단자가 접지 전위인 것을 가정한 것이다. 그러나, 소신호 등가모델을 사용하여 X 단자의 실제 입력 임피던스 r_X 를 구하면 다음과 같이 구해진다.

$$r_X = \left(\frac{1}{g_{m2}} - \frac{1}{g_{m1}} + \frac{1}{g_{m1}g_{m2}r_{\pi 2}} \right) // \left(\frac{1}{g_{m4}} - \frac{1}{g_{m3}} + \frac{1}{g_{m3}g_{m4}r_{\pi 4}} \right) \quad (5)$$

그림 2에 제안한 회로에서는 적응성 전류미러에 의해, X 단자에 유입 또는 유출되는 전류 i_X 와 무관하게 Q_1 과 Q_2 그리고 Q_3 과 Q_4 의 컬렉터 전류를 동일하게 하기 때문에 r_X 는 무시할 정도로 작게 할 수 있다. 따라서, X 단자는 가상 접지의 조건이 역시 성립된다고 할 수 있다.

그림 2(a)에서 전류 미러 Q_8 과 Q_7 에 의해 Q_3 의 컬렉터 전류는 i_L 이 되고, 상보형 전류 미러 Q_{11} 과 Q_{10} 에 의해 Q_1 의 컬렉터 전류는 i_U 이 된다. Q_1 과 Q_3 에 대한 각각의 유한한 공통-이미터 전류 이득 (common-mode current gain) $\beta_1 = \beta_3 = \beta$ 로 가정하면 Y 단자에서의 입력 전류 $i_Y = (1/\beta)i_X$ 가 된다. 따라서, 임피던스 r_Y 는 다음과 같이 주어진다.

$$r_Y = \frac{v_Y}{i_Y} = \beta \frac{v_X}{i_X} = \beta R_X \quad (6)$$

여기서, R_X 는 X 단자와 접지 간에 접속되어 있는 저항이다. 적절한 R_X 값을 선택함으로써 Y 단자의 임피던스를 높일 수 있을 것이다.

Y 단자에 인가한 전압은 전압 폴로워 동작에 의해 X 단자에 전달된다. 전류 미러 Q_8 과 Q_7 에 의한 전류 귀환을 고려하면, 신호 전압 v_Y 와 v_X 간의 관계는 다음과 같이 주어진다.

$$\frac{v_X}{v_Y} = \frac{g_{m3}g_{m4}R_X}{g_{m3} - g_{m4} + g_{m3}g_{m4}R_X} \quad (7)$$

여기서, $g_{m3} = g_{m4}$ 혹은 $g_{m3}g_{m4}R_X \gg (g_{m3} - g_{m4})$ 의 경우, R_X 와 관계없이 v_X 는 정확하게 v_Y 에 일치한다는 것을 알 수 있다.

Z 단자의 출력 임피던스는 전류미러의 구성에 의해 높게 할 수 있기 때문에 i_Z 는 부하의 영향을 받지 않는다. 또한, 교차-결합(cross-coupled) 전류 미러를 사용해 i_Z 를 반전시킴으로써 제 2세대 부극성 전류 콘베이어(second-generation current conveyor with negative current : CCII-)도 실현할 수 있다. 그림 2에 나타낸 CCII+의 Z 단자의 출력 임피던스 r_Z 는 다음과 같이 주어진다.

$$r_Z = r_{O12} // r_{O9} \quad (8)$$

따라서, 그림 2(a)와 (b)에 나타낸 CCII+의 회로는 다음과 같은 행렬식이 성립한다.

$$\begin{bmatrix} i_Y \\ v_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_Y \\ i_X \\ v_Z \end{bmatrix} \quad (9)$$

그림 2(b)에 나타낸 트랜스리니어 셀을 이용한 CCII+의 경우에도 마찬가지로, 소신호 등가 회로를 이용하여 X 단자와 Y 단자의 임피던스를 구하면 다음과 같이 각각 구해진다^[14].

$$r_X = \left[(r_{\pi 3} - r_{\pi 4}) // \left(\frac{r_{\pi 3} + r_{\pi 4}}{g_{m4}r_{\pi 4}} \right) \right] // \left[(r_{\pi 1} - r_{\pi 2}) // \left(\frac{r_{\pi 1} + r_{\pi 2}}{g_{m2}r_{\pi 2}} \right) \right] \quad (10)$$

$$r_Y = \frac{r_{O3} + r_{O3}r_{O7}}{g_{m3}r_{O3} + 1} // \frac{r_{O1} + r_{O1}r_{O10}}{g_{m1}r_{O1} + 1} \quad (11)$$

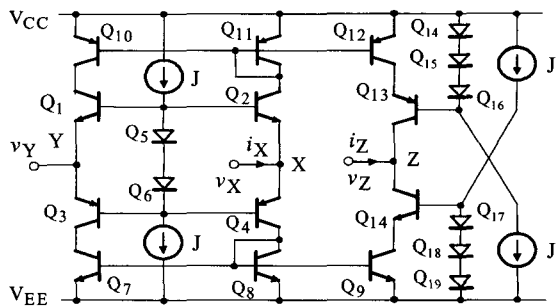
그림 2에 나타낸 CCII+의 회로에서 Z 단자의 출력 임피던스를 높이기 위해 케스코드 전류 미러를 사용한 CCII+의 회로를 그림 3(a)에 나타냈다. 회로에서 Q₁₃과 Q₁₄의 바이어스 전압 공급을 위해 정전류원 J와 다이오드 3개가 직렬로 연결된 회로 구성이 각각의 상·하에 사용되었다. 또한, CCII-에 대한 회로를 그림 3(b)에 나타냈다. 이 회로에서 Q₁₃ ~ Q₁₅과 Q₁₆ ~ Q₁₈는 윌슨(Wilson) 전류미러로써 Q₁₂과 Q₉의 컬렉터 전류를 교차 결합시켜 CCII+의 Z 단자의 출력 전류의 방향을 반전시켜주는 기능을 한다. 이 회로에서 Z 단자의 출력 임피던스는 다음과 같이 주어진다.

$$r_z(\text{CCII}+) = (\beta_{12} r_{o12}) // (\beta_9 r_{o9}) \quad (12)$$

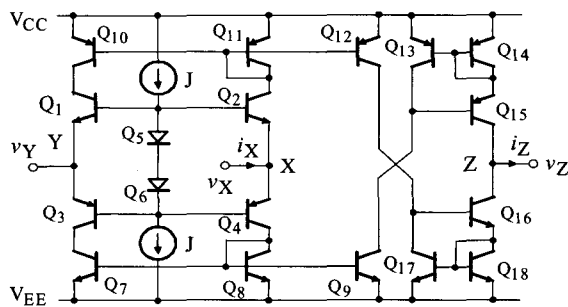
$$r_z(\text{CCII}-) = \left(\frac{\beta_{15} r_{o15}}{2} \right) // \left(\frac{\beta_{16} r_{o16}}{2} \right) \quad (13)$$

그림 2(a)에 나타낸 CCII+에 대한 출력 임피던스를 높이는 CCII+의 회로와 CCII-에 대한 회로는 그림 3에 나타낸 회로를 이용하면 쉽게 설계할 수 있을 것이다.

제안한 CCII+의 성능을 결정하는 요소는 얼리 효과(Early effect)와 유한한 공통-이미터 전류 이득 β값이다. 얼리 전압에 가장 많이 영향을 받는 트랜지스터는



(a)



(b)

그림 3. 큰 전류 출력 임피던스를 갖는 CCII+ (a)와 CCII- (b)의 회로도

Fig. 3. Complete circuit diagram of CCII+ (a) and CCII- with high current output impedance.

Q₁과 Q₃이지만 Q₁의 컬렉터와 V_{EE} 사이(Q₃에 대해서는 V_{CC})에 저항 혹은 다이오드-접속된 트랜지스터를 사용함으로써 이 영향을 줄일 수 있다. 따라서, 제안한 CCII+의 성능은 유한한 β값에만 영향을 받는다고 할 수 있다. 이하, 유한한 β값을 고려해서 각각의 입력과 출력에 대한 전달특성 및 단자 특성을 설명한다.

유한한 β값을 고려한 그림 2에 나타낸 CCII+의 i_x에 대한 i_z는 다음과 같이 주어진다.

$$i_z = \left(\frac{\alpha_N}{1 + \frac{3}{\beta_P}} - \frac{\alpha_P}{1 + \frac{3}{\beta_N}} \right) J + \left(\frac{\alpha_P}{1 + \frac{3}{\beta_N}} \right) i_x \quad (14)$$

여기서, α_P = β_P / (β_P + 1), α_N = β_N / (β_N + 1), β_P와 β_N는 pnp와 npn 트랜지스터의 각각의 공통-이미터 전류 이득, J는 바이어스 전류이다. 또한, i_{C4}에 대한 i_{C3}와 i_{C2}에 대한 i_{C1}를 각각 구하면,

$$i_{C3} = \left(\frac{1}{1 + \frac{4}{\beta_N}} + \frac{\alpha_N}{\beta_P} \right) i_{C4} = B i_{C4},$$

$$i_{C1} = \left(\frac{1}{1 + \frac{4}{\beta_P}} + \frac{\alpha_P}{\beta_N} \right) i_{C2} = B^P i_{C2} \quad (15)$$

이 되고, 위식으로부터 g_{m3} = B g_{m4}, g_{m1} = B^P g_{m2}이 된다. 여기서, B와 B^P는 식 (15)의 괄호 안의 항이다. 따라서, 제안한 CCII에 대한 실제의 v_x/v_y, r_x, 그리고 r_y는 각각 다음과 같이 주어진다.

$$\frac{v_x}{v_y} = \frac{BR_x}{B-1+BR_x} \quad (16)$$

$$r_x = \left(1 - \frac{1}{B} + \frac{1}{B r_{\pi 2}} \right) // \left(1 - \frac{1}{B^P} + \frac{1}{B^P r_{\pi 4}} \right) \quad (17)$$

$$r_y = \beta \frac{v_x}{B i_x} = \frac{\beta}{B} R_x \quad (18)$$

3. 유니버설 계측 증폭기(universal instrumentation amplifier : UIA)의 설계

그림 4에 연산 증폭기(op-amp)를 이용한 일반적인

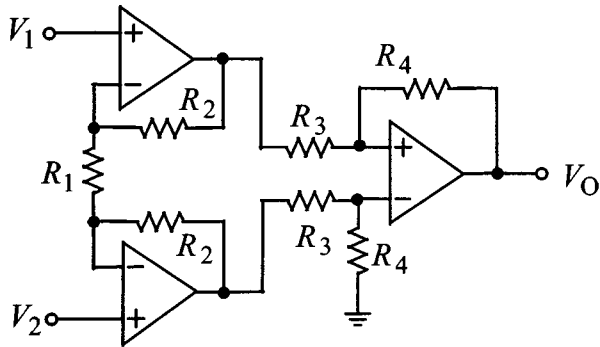


그림 4. 종래의 전압 계측 증폭기(IA)의 회로도
Fig. 4. Circuit diagram of conventional voltage instrumentation amplifier(IA).

전압 계측 증폭기(instrumentation amplifier :IA)의 회로를 나타냈다. 이 회로는 3개의 op-amp와 7개의 저항기로 구성되며, 차동 입력 전압을 임의의 주어진 이득만큼 증폭하여 단일 전압만을 출력하도록 구성되어 있는 특징이 있다. 특히, 이 회로로 차동 전압을 계측할 수 있는 성능을 앞단의 2개의 op-amp의 정합과 2개의 R_2 , R_3 , 그리고 R_4 의 정합의 정도에 의해 결정되는 문제점이 있다^[16]. 본 논문에서는 이와 같은 문제점을 해결하기 위해, 회로 구성이 간단하고 저항기의 정합에 무관하게 차동-전압, 단일-전류, 그리고 차동-전류를 증폭할 수 있는 UIA 제안하였다.

제안한 UIA의 회로도들을 그림 5에 나타냈다. 이 회로는 두 개의 CCII+와 네 개의 저항만으로 구성된다. 이 UIA는 입력 신호의 선택과 저항기의 구성을 변경함으로써 완전-차동형 전압 IA, 단일-전류 차동-전압 IA, 그리고 차동-전류 단일-전압 IA로 사용할 수 있다. 이하에서, 각각의 IA에 대한 동작 원리를 논의한다.

가. 전-차동형 전압 IA

그림 5의 UIA의 회로 구성을 그림 6(a)와 같이 재구성하면 완전-차동형 전압 IA의 회로가 된다. 이 회로에서 상부와 하부 CCII+가 정합되었다고 가정하면 저항 R_1 양단에 두 입력 전압의 차가 강하되므로 이 저항에 흐르는 전류 $i_{R1} = (v_{I1} - v_{I2})/R_1$ 이 된다. 이 전류는 상부 CCII+의 Z 단자에서 $i_{ZU} = i_{R1}$, 하부 CCII+의 Z 단자에서 $i_{ZD} = -i_{R1}$ 로 각각 복제된다. 따라서 두 CCII+의 Z 단자 전압 다음의 식으로 주어진다.

$$v_{O1} = (v_{I1} - v_{I2}) \frac{R_2}{R_1}, v_{O2} = (v_{I2} - v_{I1}) \frac{R_3}{R_1} \quad (19)$$

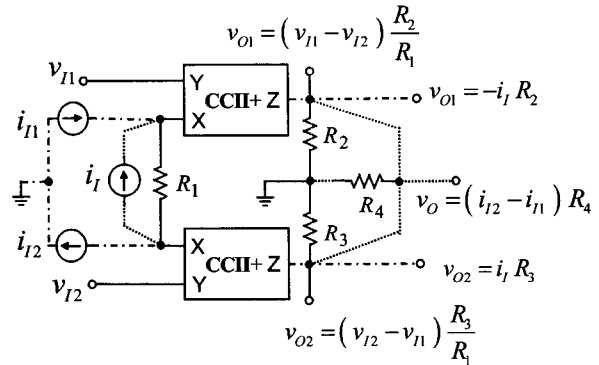


그림 5. 제안한 유니버설 계측 증폭기(UIA)의 회로도
Fig. 5. Circuit diagram of the proposed universal instrumentation amplifier(UIA).

위 두 식으로부터, 차동 출력 전압이 두 개의 저항의 비로만 주어진다 것을 알 수 있다. 따라서, 연산 증폭기(op-amp)로 구성되는 종래의 IA가 갖는 단일 전압 출력 특성과 저항들을 정합시키는 문제점이 해결된다는 것을 알 수 있다. 또한, 본 연구에서 제안한 저전력 광대역 바이폴라 CCII+(그림 2)를 그림 6(a)의 IA에 적용할 경우 저전력 광대역 IA가 실현될 수 있을 것이다.

나. 단일-전류 차동-전압 IA

그림 5의 UIA의 회로 구성을 그림 6(b)와 같이 재구성하면 단일-전류 차동 전압 IA의 회로가 된다. 이 회로에서 상부와 하부 CCII+가 정합되었다고 가정하면 상부 CCII+의 출력 전류 $i_{ZU} = -i_I$, 하부 CCII+의 출력 전류 $i_{ZD} = i_I$ 가 된다. 따라서, Z 단자에서의 전압은 다음의 식으로 주어진다.

$$v_{O1} = -i_I R_2 \quad v_{O2} = i_I R_3 \quad (20)$$

위 두 식으로부터, 출력 전압이 저항의 크기에 의해 결정된다는 것을 알 수 있다.

다. 차동-전류 단일-전압 IA

그림 5의 UIA의 회로 구성을 그림 6(c)와 같이 재구성하면 차동-전류 단일-전압 IA의 회로가 된다. 이 회로에서 상부 CCII+와 하부 CCII+가 정합되었다고 가정하면 상부 CCII+의 출력 전류 $i_{ZU} = -i_{I1}$, 하부 CCII+의 출력 전류 $i_{ZD} = i_{I2}$ 가 된다. 따라서, Z 단자에서의 전압 $v_O = (i_{I2} - i_{I1}) R_4$ 이 된다. 이 식으로부터, 출력 전압이 한 개의 저항의 크기와 차동-전류 입력에 의해 결정된다는 것을 알 수 있다.

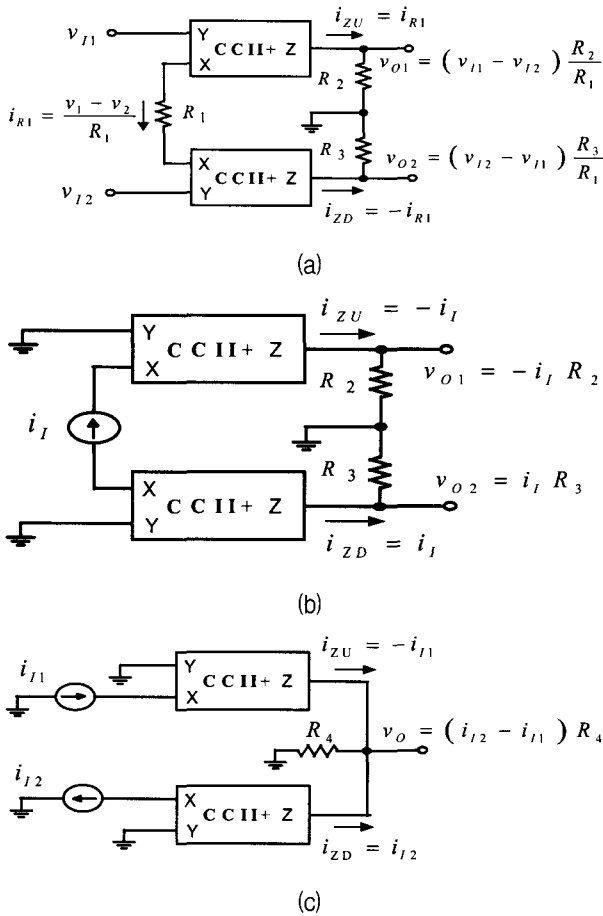


그림 6. UIA의 응용 예 (a) 완전-차동형 전압 IA, (b) 단일-전류 차동-전압 IA, (c) 차동-전류 단일-전압 IA

Fig. 6. Application examples of the UIA ; fully-differential voltage IA (a), single-current differential-voltage IA (b), and differential-current single-voltage IA (c).

III. 시뮬레이션 결과 및 고찰

제한한 저전력 광대역 전류 콘베이어(그림 2)와 이를 이용한 계측 증폭기들(그림 6)의 회로를 PSPICE 시뮬레이션을 통하여 동작 원리와 그 성능을 확인하였다. 시뮬레이션에서 사용한 트랜지스터는 Q2N3906(pnp)와 Q2N3904(npn)이고 이것들의 모델 파라미터는 표 1에 나타났다. 사용한 전원 전압은 $V_{CC} = -V_{EE} = 2.5V$ 이었다. 모든 바이어스 전류 $J = 25\mu A$ 로 사용하였고 기본적인 전류 미러 회로구성을 사용하여 구성하였다. 이하의 실험 결과를 나타내는 각각의 그림에서 con_EF는 그림 1(a), con_TL은 그림 1(b), pro_EF는 그림 2(a), 그리고 pro_TL은 그림 2(b)에 나타난 CCII+들에 대한 각각의 결과들이다. 여기서 EF는 emitter follower

표 1. Q2N3906(pnp)과 Q2N3904(npn)의 모델 파라미터
Table 1. Model parameters of Q2N3906(pnp) and Q2N3904 (npn).

.model Q2N3906 PNP(Is=1.41f Xti=3 Eg=1.11 Vaf=18.7 Bf=180.7 Ne=1.5 Ise=0 Ikf=80m Xtb=1.5 Br=4.977 Nc=2 Isc=0 Ikr=0 Rc=2.5 Cjc=9.728p Mjc=.5776 Vjc=.75 Fc=.5 Cje=8.063p Mje=.3677 Vje=.75 Tr=33.42n Tf=179.3p Itf=.4 Vtf=4 Xtf=6 Rb=10)
.model Q2N3904 NPN(Is=6.734f Xti=3 Eg=1.11 Vaf=74. Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.78m Xtb=1.5 Br=7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)

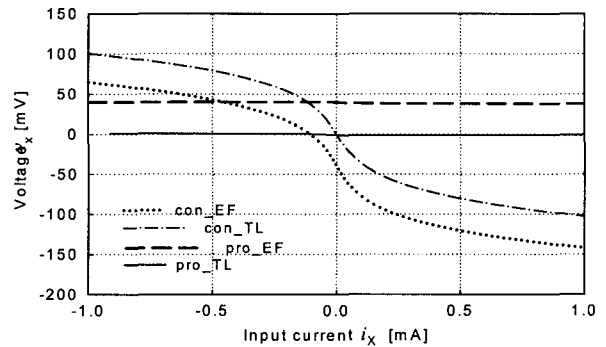


그림 7. CCII+들의 X 단자의 입력 전류와 그 전압 특성
Fig. 7. Characteristics of input current versus its voltage in X terminal for the CCII+.

를 의미하고 TL은 translinear를 의미한다.

그림 7는 종래의 CCII+들과 제한한 CCII+들의 X 단자 입력전류와 그 단자의 전압 특성을 나타낸 것이다. 이 때 Y 단자는 접지로 연결하였고, Z 단자와 접지 사이에 100Ω의 저항기를 연결하였다. 이 결과로부터, 우리는 전류 입력 X 단자의 입력 임피던스 값 ($R_{IN} = \Delta V / \Delta I$)을 구할 수 있다. 그 결과, 종래의 CCII+의 전류 입력 임피던스는 200 Ω이고 제한한 CCII+는 2.0 Ω임을 알 수 있다. 또한, 트랜스리니어 셀을 이용한 CCII+[그림 2(b)]의 경우 오프셋 전압은 0에 가까운 값을 갖고 있지만 상보형 이미터 폴로워를 사용하여 설계한 CCII+[그림 2(a)]의 경우 약 38mV의 오프셋 전압이 생기는 것을 알 수 있다. 이것은 npn 이미터 폴로워와 pnp 이미터 폴로워의 부정합에 의해 생기는 것이다. 이 오프셋을 줄이기 위해 2 개의 npn과 pnp 트랜지스터를 상하에 쌍으로 사용한 회로를 사용하면 된다.^[9]

그림 8은 X 단자와 접지 사이에 저항 $R_X = 10\Omega$ 일 때 CCII+들의 전압 폴로워 특성을 나타낸 것이다. 이 결과로부터, 종래의 CCII+들은 X 단자의 입력저항이 200Ω이기 때문에 전압 폴로워의 선형 범위가 약 20배

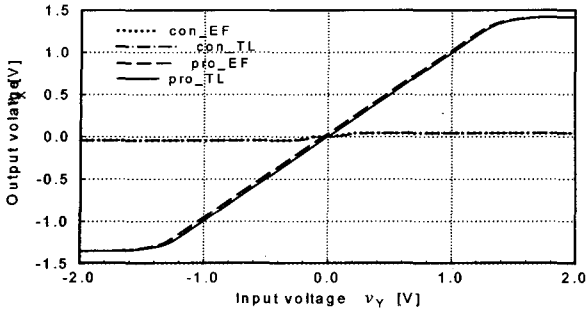


그림 8. $R_X = 10\Omega$ 일 때 CCI+들의 전압 폴로워 특성
Fig. 8. Characteristics of voltage follower in the CCI+ as $R_X = 10\Omega$.

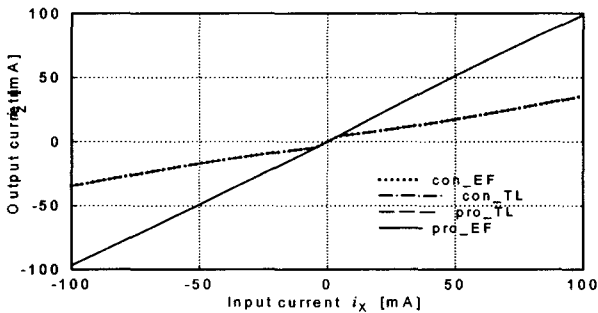


그림 9. CCI+들의 전류 폴로워 특성
Fig. 9. Characteristics of current follower in the CCI+.

감소되었다는 것을 알 수 있다. 그러나, 제안한 CCI의 경우 X 단자의 입력 저항이 아주 작기 때문에, $\pm 1.2V$ 까지의 전압 입력 범위에서도 우수한 성형 범위를 갖고 있다는 것을 알 수 있다. 또한, 이 그림으로부터 트랜스리니어 셀을 사용한 CCI+의 X 단자의 오프셋 전압이 0이지만 이미터 폴로워를 사용한 CCI의 경우 그림 7에서와 같이 약 $38mV$ 의 오프셋 전압이 생기는 것을 알 수 있다.

그림 9은 CCI+들의 X 단자의 입력전류에 대한 Z 단자의 출력 전류, 즉 전류 폴로워 특성을 나타낸 것이다. 종래의 CCI+와 비교하기 위해, 입력전류 신호원과 병렬로 $1k\Omega$ 의 저항기를 사용하였다. 출력 전류는 Z 단자에 10Ω 부하 저항기를 연결하고 이 저항기에 흐르는 전류를 측정하였다. 이 결과로부터 종래의 CCI+들은 약 $\pm 5mA$ 의 선형 전류 폴로워 기능을 갖고 있다는 것을 알 수 있다. 그러나 제안한 CCI+들은 $\pm 100mA$ 까지의 범위에서도 우수한 선형 전류 폴로워 특성을 갖고 있다는 것을 알 수 있다. 이와 같은 결과는 적용성 전류 미러의 사용으로 인하여 전류 입력단자가 넓은 전류 입력 범위에서도 항상 가상 접지 갖고 있기 때문이다.

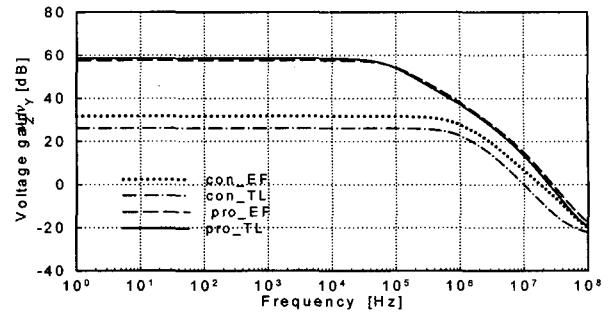


그림 10. $R_X = 10\Omega, R_Z = 10k\Omega$ 일 때 CCI+들의 주파수 특성
Fig. 10. Frequency characteristics of the CCI+ as $R_X = 10\Omega, R_Z = 10k\Omega$.

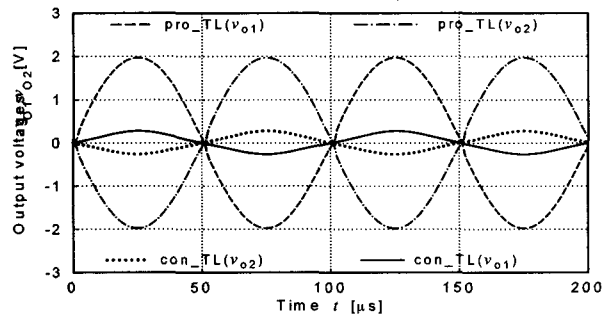


그림 11. 그림 1(b)와 2(b)의 CCI+들을 이용한 완전-차동형 IA의 출력 전압 특성
Fig. 11. Output voltage characteristics of fully-differential IA using the CCI+ shown in Fig. 1(b) and 2(b).

그림 10은 $R_X = 10\Omega, R_Z = 10k\Omega$ 로 이득을 $60dB$ 로 설정하였을 때 CCI+들의 주파수 특성을 나타낸 것이다. 여기서, pro_EF로 나타낸 점선의 결과는 그림 2(a)에 나타낸 CCI+의 회로에서 오프셋 전압을 보정한 다음 실험을 한 것이다. 이들의 결과에서 제안한 CCI+들은 $57dB$ 의 이득을 갖고 있지만 종래의 CCI+들은 $32dB$ 와 $28dB$ 의 이득을 갖고 있다는 것을 알 수 있다. 제안한 CCI의 이득 특성이 이와 같이 우수한 것은 X 단자의 임피던스가 작기 때문에 출력 전압이 이론적인 식 $v_O = R_Z/R_X$ 으로 얻어진 것이다. 그러나 종래의 CCI+는 이론적이 식과는 달리 $v_O = R_Z/(R_X + r_X)$ 로 주어지는 결과이다. 그림 10으로부터 제안한 CCI+의 단위-이득(unit-gain)에 대한 $3dB$ 주파수는 $20MHz$ 이고 0에서 $50kHz$ 까지의 주파수 범위에서 약 $60dB$ 의 이득을 갖고 있다는 것을 알 수 있다. 종래의 CCI+와 마찬가지로, 공급 전압 $\pm 2.5V$ 에서 제안한 CCI+의 전력 소비는 $0.75mW$ 이었다.

그림 11는 그림 1(b)와 2(b)의 CCI+들을 이용하여

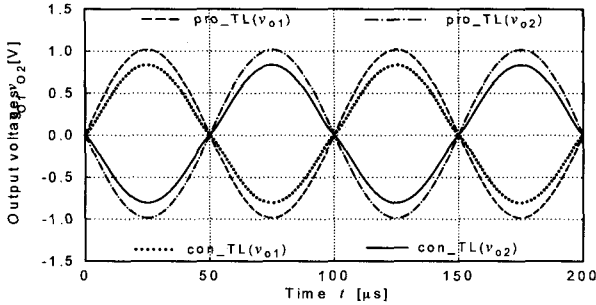


그림 12. 그림 1(b)와 2(b)의 CCII+들을 이용한 단일-전류 차동-전압 IA의 출력 전압 특성
 Fig. 12. Output voltage characteristics of single-current differential-voltage IA using the CCII+ shown in Fig. 1(b) and 2(b).

설계한 완전-차동 전압 IA [그림 6(a)]의 출력 전압 특성을 나타낸 것이다. 이 실험에서는 $R_1 = 100\Omega$, $R_2 = R_3 = 2k\Omega$, $v_{i1} = 1.1\sin 2\pi 10kt$ [V], $v_{i2} = 1.0\sin 2\pi 10kt$ [V]를 각각 사용하였다. 이 결과로부터 제안한 CCII+를 사용한 IA의 경우, 실험 결과는 이론적인 식 $v_{o1} = R_2/R_1 (v_{i1} - v_{i2})$, $v_{o2} = -(R_2/R_1)(v_{i1} - v_{i2})$ 과 정확한 응답 특성을 갖는다는 것을 알 수 있다. 종래의 CCII+를 사용한 IA와 비교할 때 5배의 이득 특성이 향상된 것을 알 수 있다. 그림 1(a)와 2(a)의 CCII+들의 회로에 오프셋을 보상한 다음, 이를 이용한 완전-차동형 IA의 경우에도 동일한 특성을 얻었다. 제안한 완전-차동 전압 IA는 0에서 100kHz까지의 주파수 범위에서 40dB의 전압 이득을 갖고 있다는 것을 확인하였다.

그림 12은 그림 1(b)와 2(b)의 CCII+들을 이용하여 설계한 단일-전류 차동-전압 IA[그림 6(b)]의 출력 전압 특성을 나타낸 것이다. 이 실험에서는, $R_2 = R_3 = 2k\Omega$, $i_I = 1.0\sin 2\pi 10kt$ [mA]를 각각 사용하였고 입력 전류 신호원과 병렬로 1 kΩ의 저항기를 연결하였다. 이 결과로부터 제안한 CCII+를 사용한 IA의 경우, 이론적인 식 $v_{o1} = i_I R_2$, $v_{o2} = -i_I R_3$ 과 정확한 응답 특성을 갖는다는 것을 알 수 있다. 종래의 CCII+를 사용한 IA의 경우에는 이론값의 80%에 해당되는 결과를 얻었다. 그림 1(a)와 2(a)의 CCII+들의 회로에 오프셋을 보상한 다음, 이를 이용한 단일-전류 차동-전압 IA의 경우에도 동일한 특성을 얻었다.

그림 13은 그림 1와 2의 CCII+들을 이용하여 설계한, 차동-전류 단일-전압 IA[그림 6(c)]의 출력 전압 특성을 나타낸 것이다. 이 실험에서는 $R_4 = 1k\Omega$,

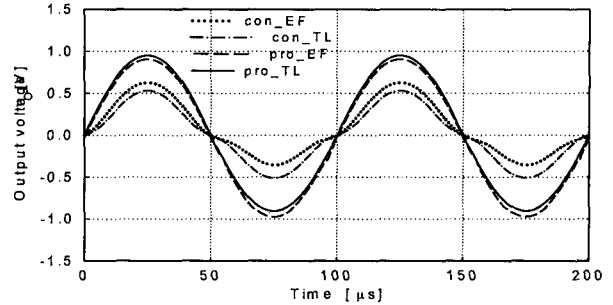


그림 13. CCII+들을 이용한 차동-전류 단일-전압 IA의 출력 전압 특성
 Fig. 13. Output voltage characteristics of differential-current single-voltage IA using the CCII+ shown in Fig. 1(b) and 2(b).

$i_{i1} = 1.5\sin 2\pi 10kt$ [mA], $i_{i2} = 0.5\sin 2\pi 10kt$ [mA]를 각각 사용하였고 입력 전류신호원과 병렬로 100Ω의 저항기를 연결하였다. 이 결과로부터 종래의 CCII+를 이용한 IA의 경우에는 찌그러짐이 많고 이론식과 다른 특성을 갖고 있지만, 제안한 CCII+를 사용한 IA의 경우는 이론적인 식 $v_O = R(i_{i1} - i_{i2})$ 에 가까운 응답 특성을 갖는다는 것을 알 수 있다. 종래의 CCII+를 사용한 IA와 비교할 때, 제안한 CCII+를 사용한 IA는 이득 특성이 2 배 향상되었을 뿐만 아니라 찌그러짐이 없다는 것을 알 수 있다. 공급 전압 ±2.5V에서 제안한 UIA의 전력 소비는 1.5 mW이었다.

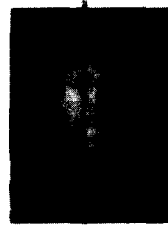
IV. 결 론

저전력 광대역 바이폴라 전류 콘베이어(CCII)를 설계하고 이것을 이용한 유니버설 계측 증폭기(UIA)를 설계하였다. 설계된 CCII는 종래의 AB급 CCII와 동일한 주파수 특성을 갖고 있을 뿐만 아니라, 높은 선형 전압-전달 특성, 넓은 범위를 갖는 전류-전달 특성, 우수한 단자 특성과 낮은 오프셋 전압 특성을 갖고 있다는 것을 알 수 있었다. 또한, 개발된 UIA는 연산 증폭기를 이용한 종래의 계측 증폭기와 달리, 낮은 전력을 갖고 있으면서 전압 및 전류 입력 신호를 전압 및 전류 신호로 출력할 수 있는 UIA의 기능을 갖고 있다는 것을 확인하였다. 특히, 제안한 CCII는 동일한 공급 전압과 바이어스 조건에서 전압 및 전류 전달 특성 범위가 종래의 CCII보다 20배 정도의 향상되었기 때문에 제안한 CCII는 저전력 전류-모드 신호처리의 기본 빌딩 블록으로 아주 유용하게 사용될 것이다.

참고 문헌

- [1] A. S. Sedra, G. W. Roberts, and F. Gohh, "The current conveyor : history, process and new results," *IEE Proceeding*, vol. 137. Pt. G, no. 2, pp. 78-87, Apr. 1990
- [2] C. Toumazou, F. J. Lidgley, and D. G. Haigh, *Analogue IC design :the current-mode approach*, London ; Peter Peregrinus, 1990, chap. 4.
- [3] H.-W. Cha and K. Watanabe, "Wideband CMOS current conveyor," *Electron. Lett.*, vol. 32. no. 14, pp. 1245-1246, July 1996
- [4] 차형우, "A급 CMOS 전류 콘베이어(CCII)," *대한전자공학회논문지* 34권 C편 9호, pp.1-9, 1997년 9월
- [5] M. I. Elmasry, "BiCMOS integrated circuit design with analog, digital, and smart power applications," IEEE PRESS, Paper 1.5(pp. 32-39), 1994.
- [6] J. P. Uyemura, *Circuit design for CMOS VLSI*, Kluwer Academic Publishers, pp. 214-215, 1992
- [7] A. B. Grebene, *Bipolar and MOS analog integrated circuit design*, Wiley-Interscience Publication, chap. 2, 1984
- [8] 차형우, 김종필, 박상렬, 박지만, 정원섭, "A급 바이폴라 전류 콘베이어(CCII)," *대한전자공학회 1997년도 추계종합학술대회 논문집*, 제20권, 제2호, pp. 731-734, 1997년 11월
- [9] 차형우, "낮은 전류-입력 임피던스를 갖는 A급 바이폴라 전류 콘베이어(CCII)와 그것의 오프셋 보상된 CCII의 설계," *대한전자공학회논문지* 제 38 권, SD편 제 10호, pp. 754-764, 2001년 10월
- [10] A. Payne and C. Toumaou, "Practical integrated current conveyors," in *IEEE ISCAS Tutorials*, pp. 632-641, 1994.
- [11] C. Toumazou, F. J. Lidgley, and D. G. Haigh, *Analogue IC design : the current-mode approach*, London ; Peter Peregrinus, chap. 15, 1990
- [12] 차형우, 김덕준, 박은경, "저전력 광대역 바이폴라 전류 콘베이어(CCII)와 이를 이용한 유니버설 계측 증폭기의 설계." 2003년 CAD 및 VLSI 설계연구회 학술발표회 논문집, pp. 87-92, 2003년 5월
- [13] H.-W. Cha, S.-T. Park, and H.-J. Shin, "Class AB current conveyor for instrumentation applications", *Proc. of ITC-CSCC'98*, vol. 2, pp. 1559-1562(Sokcho, Korea), August 1998
- [14] 차형우, 김덕준, 박은경, "낮은 전류-입력 임피던스를 갖는 저전력 광대역 바이폴라 전류 콘베이어 설계." 2002년 CAD 및 VLSI 설계연구회 학술 발표회 논문집, pp. 300-304, 2002년 10월
- [15] 차형우, 김학운 "적응성 귀환을 이용한 고정도 전류 미러와 이를 이용한 전압-전류 변환기," *대한전자공학회논문지* 제 39권, SD편 제 4호, pp. 93-103, 2002년 4월
- [16] Adel S. Sedra and K. C. Smith, *Microelectronic circuits*, New York, Oxford, chap. 2 1998

저자 소개



차형우(정회원)

1989년 청주대학교 반도체공학과 졸업.

1991년 청주대학교 대학원 전자공학과 공학석사 학위 취득.

1997년 3월 일본 静岡(Shizuoka) 대학 대학원 전자과학연구과 공학박사 학위 취득. 1997년 9월~현재 청주대학교 이공대학

반도체공학과 교수.

1991년 3월~1993년 6월 대덕연구단지(내)

Blue Code 근무.

<주요관심분야: Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 계측장비 시스템 회로 설계 등>