

논문 2004-41SD-5-13

CDMA/TDMA 기반 무선 원격계측 시스템용 모뎀의 VLSI 구조 설계

(A VLSI Architecture Design of CDMA/TDMA Modem Chipsets for Wireless Telemetry Systems)

이 원 재*, 이 성 주**, 이 서 구**, 정 석 호**, 김 재 석*

(Wonjae Lee, Seongjoo Lee, Seogoo Lee, Seokho Chung, and Jaeseok Kim)

요 약

본 논문에서는 CDMA 및 TDMA 기술을 기반으로 하는 무선 원격계측 시스템용 모뎀에 적합한 최적 하드웨어 구조 및 VLSI 설계에 대해서 제시한다. 무선 원격계측 시스템은 계측이 필요한 다수의 지점에 소형 무선계측기(RT: Remote Terminal)를 설치하고, 설치된 무선계측기로부터 계측데이터를 무선으로 수집하기 위해 제안된 시스템이다. 무선 원격계측 시스템은 계측데이터를 전송하기 위한 다수의 RT와 RT로부터 데이터를 수집하는 1개의 CU(Central Unit)로 구성된다. 본 논문에서는 이러한 RT와 CU용 모뎀에 적합한 최적 하드웨어 구조를 제안하였고, 제안된 구조를 Verilog HDL로 설계 및 검증하였다. Verilog HDL로 설계된 모뎀은 SynopsysTM툴을 이용하여 게이트 수준으로 합성되었고, 합성결과 RT 및 CU용 모뎀은 0.6um 공정에서 각각 약 27K 게이트와 220K 게이트의 하드웨어 복잡도를 가졌다. 제안된 모뎀은 AlteraTM FPGA로 구현 및 검증되었다.

Abstract

In this paper, we present the architecture design of CDMA/TDMA modem chipset for wireless telemetry system. The wireless telemetry system a measuring data collecting system from many RTs(Remote Terminal) installed at the specific area using wireless communication technology. It consists of a single CU (Central Unit) for collecting data and a large amount of RTs for transmitting the measuring data. We propose the hardware architecture of the modem for RT and CU. We also design those modem using Verilog HDL and synthesis them using SynopsysTM CAD tool. The modem of RT is implemented with 27K gates and that of CU is implemented around 220K gates using 0.6um CMOS standard cell. The proposed system is implemented and tested using AlteraTM FPGA.

Keywords : Wireless Telemetry System, CDMA, TDMA, Modem, FPGA

I. 서 론

최근에 무선 통신 기술을 기반으로 하는 무선 원격계측 시스템이 소개되고 있다.^[1,2] 전용 대역폭의 확보가

정회원, 연세대학교 전기전자공학과
(Department of Electrical and Electronic Engineering,
Yonsei University)

* 정회원, 삼성전자
(Samsung Electronics)

※본 연구는 대학 IT연구센터 육성·지원사업의 연구
결과로 수행되었음

접수일자: 2004년4월22일, 수정완료일: 2004년4월21일

가능한 경우에는 간단한 FDMA 기술을 이용하여 무선 원격계측 시스템을 설계하였고^[1], 전용 대역폭을 확보하지 못한 경우에는 CDMA와 같은 기술을 이용하여 시스템을 설계하였다.^[2] FDMA 기술을 이용할 경우, 하드웨어 구조가 간단해지므로 저가로 구현이 가능하다는 장점이 있다. 그러나 전용 대역폭을 확보하지 못할 경우, WLAN^[3]이나 Bluetooth^[4] 등과 같은 타 시스템으로부터의 간섭에 의한 심각한 성능 열화를 피할 수 없게 된다. 그에 반해 CDMA 기술의 경우, 타 시스템으로부터의 간섭 제거에 효과적이고, 여러 경로로 수신되는

데이터를 복조한 후 모두 더함으로써 얻게 되는 SNR의 향상, 전송 데이터를 PN 코드로 확산함으로써 얻게 되는 보안 유지 측면 등 다양한 이점을 갖게 된다.^[5,6] 이러한 CDMA 기술에 TDMA 기술을 적용함으로써 ISM (Industrial, Scientific, and Medical) 주파수 대역을 사용하면서도, TDMA 기술을 도입함으로써 시스템의 용량을 크게 증가시킨 무선 원격 계측 시스템이 소개되었다.^[7] 본 논문에서는 CDMA 및 TDMA를 기반으로 하는 무선 원격 계측 시스템용 모뎀에 적합한 하드웨어 구조 및 VLSI 설계에 대해 기술한다.

제안된 시스템은 1개의 CU(Central Unit)와 다수의 RT(Remote Terminal)로 구성된다. CU는 RT가 송신한 계측 데이터를 수집하면서 RT의 동작을 제어하고, RT는 센서로부터 받은 계측 데이터를 CU에 전송하는 역할을 수행한다. CU는 안정적으로 전원이 공급되기 때문에 전력 소비나 시스템의 크기보다는 높은 신뢰성을 중심으로 설계되어야 한다. CU와는 달리 RT는 휴대가 가능하면서 배터리로 동작해야 하기 때문에 전력 소비를 줄이기 위해 간단한 하드웨어 구조를 가져야 한다.

본 논문에서는 CU 및 RT용 모뎀에 적합한 최적의 하드웨어 구조를 제안하고, 제안된 하드웨어 구조를 Verilog HDL을 이용하여 설계 및 검증한다. 또한 HDL로 검증된 모뎀은 SynopsysTM툴을 이용하여 게이트 수준으로 합성되며, AlteraTM FPGA를 통해 구현 및 테스트된다.

본 논문은 다음과 같이 구성된다. II장에서는 원격 계측 시스템의 사양 및 채널 구조에 대해 기술하고, III장에서는 RT용 모뎀 및 CU용 모뎀의 설계에 대해 설명한다. IV장에서는 설계된 모뎀의 VLSI 구현 및 테스트에 대해 기술하고, V장에서 결론을 맺는다.

II. 원격 계측 시스템의 사양 및 채널 구조

무선 원격 계측 시스템은 한정된 영역에 산재하는 수십~수백 개의 지점에서 측정된 각종 계측 정보를 원격 무선 계측기(Remote Terminal : RT)를 통하여 중앙 제어 시스템(Central Unit : CU)에 무선으로 전송하는 원격 계측 및 정보 수집 시스템이다. 제안된 시스템은 무선 공장 자동화, 무선 환자 보호, 무선 환경 감시, 무선 점검, 무선 냉난방 시스템 등 많은 분야에 응용될 수 있다.

무선 원격 계측 시스템은 한 개의 CU(Central Unit)

와 다수의 RT(Remote Unit)로 구성된다. CU는 RT가 송신한 센서 데이터를 수집하여 데이터베이스 서버에 저장하고, RT의 동작을 제어한다. RT는 적용되는 응용 분야에 따라 동영상 및 정지 영상과 같은 영상 데이터를 전송하거나, ECG/EKG, 체온, 맥박 등과 같은 의료용 데이터를 전송할 수 있으며, 온도나 압력과 같이 산업용 데이터를 수집 및 전송할 수 있다. 데이터베이스 서버에 저장된 데이터는 LAN이나 인터넷 등과 같은 유선 네트워크를 통해 어디서든 확인이 가능하다.

국내에서는 원격 계측 시스템 전용 대역폭을 확보할 수 없기 때문에, ISM 주파수 대역을 사용해야 하는데, 이 때 겪게 되는 다른 시스템으로부터의 간섭을 효과적으로 제거하기 위해 무선 원격 계측 시스템은 CDMA 기술을 필요로 한다. 또한 무선 원격 계측 시스템은 규칙적으로 데이터를 전송하기 때문에, TDMA 기술을 이용하여 여러 RT가 시분할적으로 하나의 코드를 공유하여 데이터를 전송하는 특징을 가진다. 이와 함께, 무선 환경에서의 데이터 통신에 대한 신뢰도를 높이기 위해 재전송 프로토콜도 사용된다.

RT는 휴대성과 이동성이 보장되어야 하므로 배터리로 동작해야 하고, 한 시스템에 수십~수백 개의 RT가 사용되기 때문에, 저전력 및 저가격으로 설계되어야 한다. CU는 전력 소비 등과 같은 측면보다는, RT가 송신한 계측 데이터를 예러가 심한 환경에서도 정확히 복원하기 위해 높은 신뢰성을 갖도록 설계되어야 한다.

그림 1은 무선 원격 계측 시스템의 구성도이다. 무선 원격 계측 시스템은 RT에서 CU로 데이터를 보낼 때 사용되는 데이터 링크와, CU에서 RT로 데이터를 보낼 때 사용되는 컨트롤 링크로 구성되어 있다. 데이터 링크에는 데이터 채널이 있고, 컨트롤 링크에는 파일럿 채널, 시간 채널, 상태 채널, 제어 채널, RT# 채널

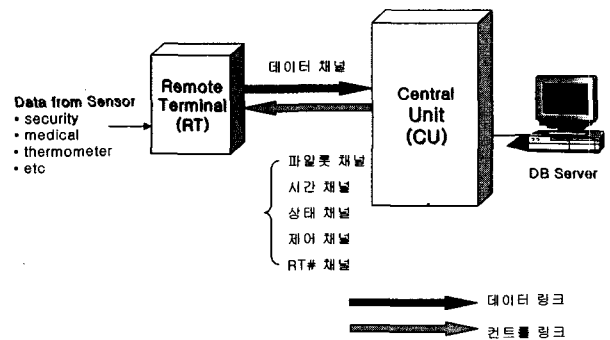


그림 1. 무선 원격 계측 시스템의 구성도
Fig. 1. System overview of the wireless telemetry system.

등이 있다.

RT는 데이터 채널을 통해 CU에게 계측 데이터를 전송한다. RT는 저전력을 위해 약한 신호로 데이터를 전송하므로 이 신호를 예러 없이 복조해 내기 위해서 컨볼루션 인코딩 및 인터리빙 등의 통신 알고리즘이 적용된다. 그림 2는 데이터 채널의 구조이다.

CU는 컨트롤 링크를 통해 RT가 PN 코드 동기를 획득할 수 있도록 파일럿 채널을 전송하고 동시에 시간 정보를 알려주기 위한 시간 채널, RT의 동작 제어를 위한 상태 채널 및 제어 채널을 전송한다. 그리고 필요 시 통신 환경이나 RT의 동작을 확인하기 위해 RT번호 채널을 사용한다. 그림 3은 컨트롤 링크의 구조이다.

컨트롤 링크 및 데이터 링크의 자세한 구조는 [7]을 참조한다.

III. 모델의 설계

1. CU 모델의 설계

CU는 다수의 RT로부터 전송된 데이터를 복조해야 하고, 따라서 이를 위해서는 여러 개의 복조기가 필요

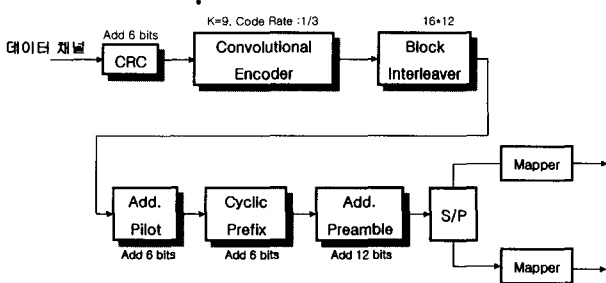


그림 2. 데이터 링크의 채널 구조
Fig. 2. Channel structure of data link.

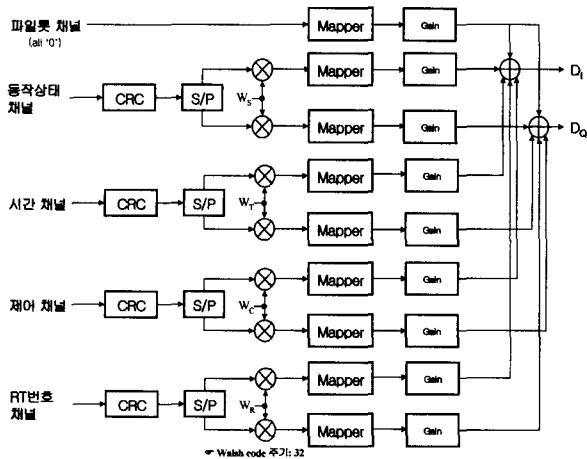


그림 3. 컨트롤 링크의 채널 구조
Fig. 3. Channel structure of control link.

하다. 시스템에 여러 개의 독립적인 복조기 칩셋이 있는 것보다는 한 개의 칩셋에 여러 개의 복조기가 내장 되는 것이 하드웨어 구현 측면에서 유리하다. 따라서, 본 논문에서는 12개의 복조기와 1개의 변조기를 1개의 칩셋으로 구현하였다. 12개의 복조기는 3개의 그룹으로 나뉘고, 각 그룹의 복조기들은 한 개의 비터비 디코더를 공유하여 사용한다. 그림 4는 여러 기능 블록들이 어떻게 구현되고, 공유되고 있는지를 보여준다.

가. 다중 경로 복조기

무선 원격 계측 시스템의 RT는 특정 시간에만 데이터를 전송한다. RT는 PN 코드 동기 획득을 위한 별도의 파일럿 채널을 송신하지 않으므로, 전송된 데이터를 CU가 검출할 수 있도록 프리엠블 심볼을 붙여서 전송한다. 따라서, RT와는 다르게 CU의 경우 신호를 검출하고 PN 코드 동기 획득 및 추적을 수행할 충분한 시간적 여유가 없다. 만약 직렬 동기 획득 방법을 사용하게 되면, 동기 획득 및 신호 검출을 위한 시간이 충분하지 않기 때문에 데이터를 놓칠 가능성이 매우 높다.^[8,9]

따라서, 제안된 모델은 10개의 상관기를 두는 병렬 동기 획득 방식을 사용한다. RT는 CU 변조기에서 전송한 파일럿 채널에 맞춰 PN 코드의 동기를 맞춘다. 그러므로, 동기를 획득한 RT의 PN코드와 CU의 PN 코드를 비교했을 때, 필터 지연 시간만큼의 PN 코드 위상차를 갖게 된다. 이 중에서 필터 지연 시간은 시스템 구현 시 그룹 지연 시간을 측정함으로써 추적이 가능하므로, 서비스 반경(300m)에 따른 전송 시간 지연의 최대치 값을 고려하면, 1/4칩의 위상 차이를 갖는 10개의 상관기만으로도 RT에서 송신되는 PN 코드의 동기 획득이 가능하게 된다. 다중 경로 복조기는 수신되는 신호의 에너지를 계속적으로 확인하다가, 수신되는 신호의 에너지가 일정 임계치를 넘게 되면 복조를 시작하게 된다.

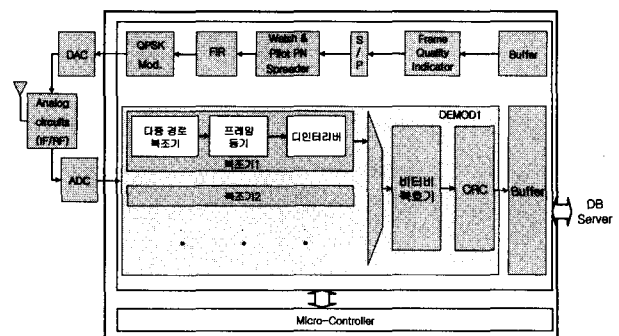


그림 4. CU 모델의 구조
Fig. 4. Hardware structure of CU Modem.

복조가 시작되면 10개의 경로 중 에너지가 가장 큰 3개 경로의 신호들을 선택하여 메모리에 저장한 후, 프레임 동기 획득을 위해 사용한다. 그림 5는 다중 경로 복조기의 내부 구조이다. 상관값을 계산하여 적분을 수행하는 블록과 곱셈 및 덧셈을 수행하는 블록, 동작을 제어하기 위한 블록 등으로 구성되어 있다.

나. 프레임 동기

다중 경로 복조기에서 복조되어 메모리에 저장된 데이터는 프레임의 시작 위치를 정확히 알 수 없다. 첫 심볼을 놓치거나, 잡음에 의해 한 심볼 앞서서 신호를 검출할 수도 있다. 따라서 정확한 프레임 시작 위치를 찾는 기능이 필요하다. 프레임 동기 블록에서는 프레임에 붙여진 프리앰블 심볼과 Cyclic Prefix^[10] 심볼을 이용하여 상관값을 계산함으로써 프레임의 시작 위치를 찾는다. 그림 6은 프리앰블과 Cyclic Prefix 심볼을 이용하여 상관값을 계산하는 방법을 보여주고 있다.

프레임 시작 위치에서는 Cyclic Prefix 값이 정확히 일치하므로, 가장 큰 상관값을 갖게 된다. 그 외에 위치에서는 심볼들간에 상관성이 없으므로 작은 상관값을 갖는다. 그림 7은 프레임 동기 블록의 내부 구조이다.

프레임 동기를 찾게 되면 채널 추정을 위해 프레임에 삽입된 파일럿 심볼의 위치도 알 수 있다. 프레임 동기

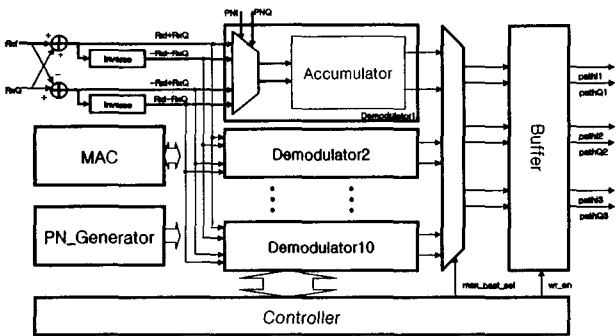


그림 5. 다중 경로 복조기의 구조
Fig. 5. Hardware structure of Multi-path Demodulator.

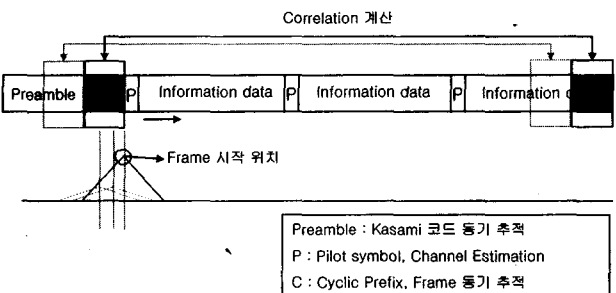


그림 6. 프레임 동기 추적 과정
Fig. 6. Frame Synchronization.

블록에서는 파일럿 심볼을 이용하여 채널 추정을 수행한 후에 데이터를 출력한다.

다. 비터비 복호기

비터비 복호기는 길쌈 부호기에 의해 부호화된 심볼을 복호하는 역할을 한다. 비터비 복호기는 [11]에서 제안된 구조를 사용한다. 수신된 데이터와 코드워드 간의 유클리디언을 계산하는 BM부, 덧셈-비교-선택(Add-Compare-Selection) 기능을 수행하는 ACS부, ACS부에서 선택된 경로의 갱신된 상태값을 저장하는 SM부, 그리고 ACS부에서 전달되는 역추적 정보와 역추적 초기 상태를 이용하여 데이터를 복호하는 TB부로 구성되어 있다. 4비트로 연판정을 하고, 구속장은 9이며, 부호화율은 1/3을 사용한다.

2. RT 모뎀의 설계

그림 8은 무선 원격 계측 시스템용 RT 모뎀의 구조를 보여 준다. 센서 계측 데이터를 모뎀으로 전송하고 RT의 동작 제어 및 전원 관리를 위해, 마이크로 프로

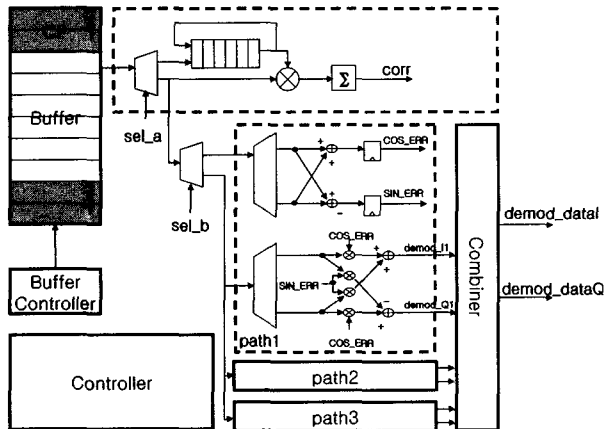


그림 7. 프레임 동기 블록의 구조
Fig. 7. Hardware structure of Frame Synchronization.

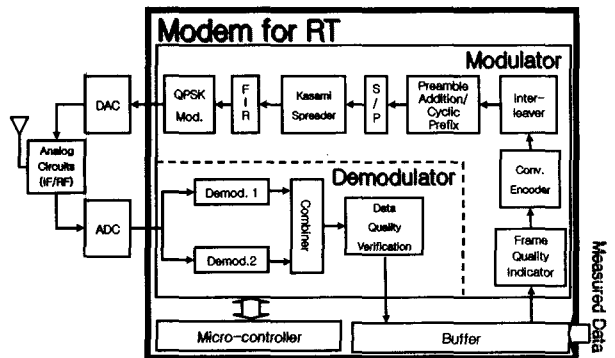


그림 8. RT 모뎀의 구조
Fig. 8. Hardware structure of RT Modem.

세서가 사용되었다. RT의 동작은 응용 분야에 따른 유연성을 위해 마이크로 프로세서가 제어하도록 설계되었다. 따라서, 마이크로 프로세서의 펌웨어(firmware)를 수정함으로써 응용 분야에 따라 다양하게 사용될 수 있다.

RT의 복조기는 하드웨어 복잡도를 고려하여 매우 간단한 구조로 설계되었다.^[12,13] 우선 일정한 시간 간격으로 모뎀에 전원이 인가되면, 복조기에서 CU로부터 전송되고 있는 파일럿 채널을 이용하여 PN 코드 동기를 찾는다. PN 코드의 주기가 256으로 매우 짧고 빠른 동기 획득을 요하는 시스템이 아니기 때문에 복조기는 Non-coherent 방식의 단일 적분 탐색 알고리즘을 사용하며, 8개의 위상들을 하나의 탐색 윈도우 단위로 설정하여 탐색을 수행하는 방식이 선택되었다.^[8,9] 이러한 과정을 통해 가장 큰 상관에너지를 갖는 두 개의 위상을 찾아낸다. 동기 획득(Code acquisition)이 끝나면 복조기는 1초 동안 타우-디터 루프(Tau-Dither Loop) 방식의 동기 추적(Tracking) 과정을 수행하여 1/8칩의 정확도까지 미세 동기를 수행한다. 그림 9는 RT에 사용된 복조기의 구조이다.

복조기는 2개의 독립적인 상관기를 가지고 있는데, 이들 상관기는 동기 획득이 완료되면 다중 경로 복조기용 상관기로 이용된다. 2개의 상관기로부터 복조된 심볼 데이터는 심볼 결합기(Combiner)에서 컴바인되고, 복조기는 최종적으로 CRC 체크를 통해 복조된 프레임의 오류 여부를 조사한다. CRC 검증을 오류 없이 통과한 프레임은 메인 컨트롤러(Main Controller)에 전달되어 모뎀의 동작을 제어하게 된다.

3. 모뎀의 HDL 설계 및 검증

제안된 모뎀은 Verilog HDL을 이용하여 설계되었다.

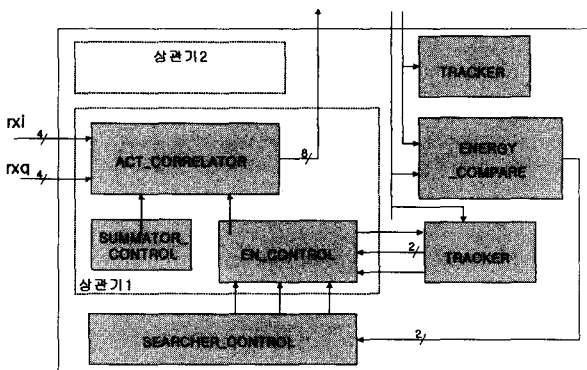


그림 9. 복조기의 구조
Fig. 9. Hardware structure of demodulator.

설계된 모뎀의 HDL 검증을 위해, 변조기는 C 언어로 설계된 모뎀의 양자화된 데이터를 HDL로 설계된 모뎀의 데이터와 비교하는 방법을 사용하였고, 복조기의 경우, C 언어로 설계된 변조기 모델과 무선채널환경 모델을 이용하여 송신 데이터를 생성하고, 이것을 HDL로 설계된 복조기에 인가한 다음, 복조기에서 복조된 데이터를 전송된 데이터와 비교하는 방법을 사용하였다.

가. CU용 모뎀의 HDL 검증 결과

그림 10은 설계된 모뎀의 HDL 검증 결과이다. 데이터를 수신하다가, 수신된 신호의 에너지가 일정 임계치를 넘게 되면 신호가 검출되었음을 확인하고 복조를 시작한다. 복조가 시작되면 프레임 동기를 찾은 후, 채널 추정 과정과 디인터리빙, 그리고 비터비 디코더를 거쳐 복조된 최종 데이터를 데이터 베이스 서버에 저장한다. 이때 출력되는 신호는 복조되는 데이터 외에 복조기 번호, 프레임 오류 여부를 프레임에 붙여서 함께 출력한다. HDL 시뮬레이션에서 복조된 데이터 및 전송 데이터를 C 코드의 출력과 비교하였고 서로의 데이터가 일치함을 확인하였다.

나. RT용 모뎀의 HDL 검증 결과

그림 11은 RT용 모뎀의 HDL 검증 결과이다. CU와 마찬가지로, C 코드를 이용하여 변조 및 채널 통과 데이터를 추출하고, 이를 HDL로 설계된 모뎀의 수신 데이터로 입력하였다. 수신 데이터를 이용하여 RT 모뎀은 PN 코드에 대한 동기 획득 및 동기 추적 기능을 수행한다. 수신되는 데이터를 이용하여, 동기를 찾으면 각 전송 채널에 대한 데이터의 복조를 시작하게 된다. 시간 정보 및 동작 상태에 대한 정보를 얻기 위해 시간 채널, 동작 상태 채널 등을 차례로 복조하여 모뎀의 동

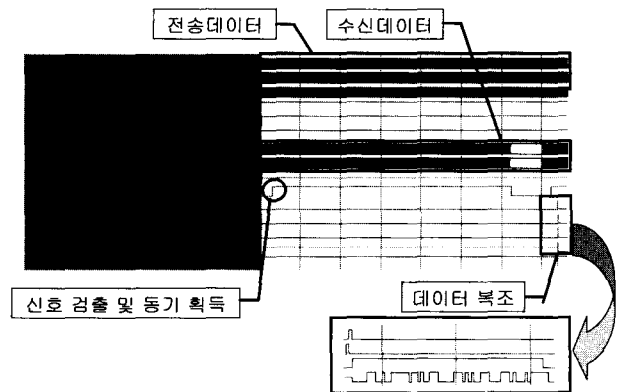


그림 10. CU 모뎀의 HDL 동작 검증
Fig. 10. Verification CU modem using HDL.

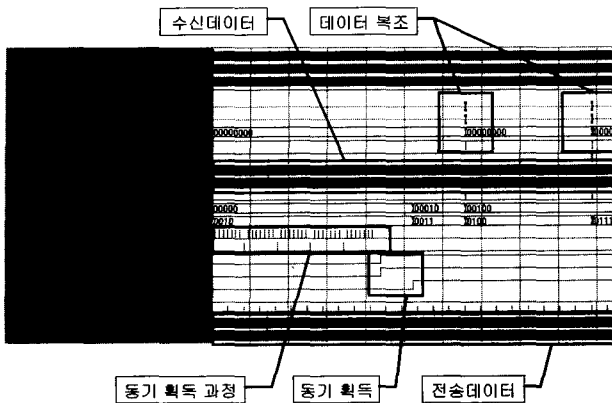


그림 11. RT 모뎀의 HDL 동작 검증
Fig. 11. Verification RT modem using HDL

표 1. CU 및 RT용 모뎀의 합성 결과
Table 1. Synthesis results of RT and CU Modem.

항목		RT	CU
Standard Cell	게이트 수	27K	220K
	FPGA 셀 수	4.2K	33K
FPGA (Altera™)	사용률	90%	87%
	FPGA 칩셋	EP1K100	EP20K1000
메모리		0	130K비트

작에 대한 정보를 얻고, 계측 데이터를 CU로 전송한다. 복조된 데이터 및 전송 데이터는 C 코드의 출력과 비교 하였으며, 데이터가 일치하는 것을 확인하였다.

IV. VLSI 구현 및 테스트

1. 합성 결과

Verilog HDL로 설계 및 검증된 모뎀은 FPGA를 통해 구현되었다. CU용 모뎀은 Altera™ EP20K1000E652를 이용하여 구현되었고 87%의 사용률을 보였다. 다중 경로 복조기 및 프레임 동기 블록 등에서 사용되는 곱셈기의 공유, 비터비 복호기의 공유 등을 통해 약 30%의 하드웨어를 줄였다. 0.6um 공정을 이용하여 합성을 하였을 경우, 220K 게이트로 구성되었고, 130K비트의 메모리가 사용되었다.

RT용 모뎀은 Altera™ EP1K100QC208을 이용하여 구현되었고 90%의 사용률을 보였다. 다중 경로 복조기에서 16개의 8x8 곱셈 연산과 곱셈 직후에 8개의 16 비트 덧셈이 필요한데, 본 논문에서는 이를 하나의 곱셈기와 덧셈기를 가지는 공유 연산기 구조로 구현하여 20%의 하드웨어 부담을 줄일 수 있었다. RT용 모뎀은

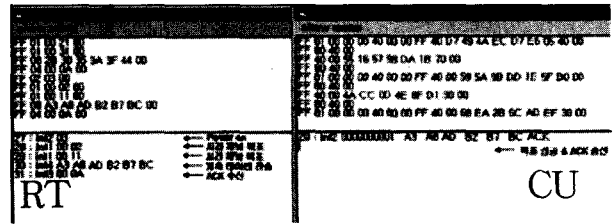


그림 12. 모뎀의 FPGA 기능 테스트 결과
Fig. 12. Functional test result of modem.

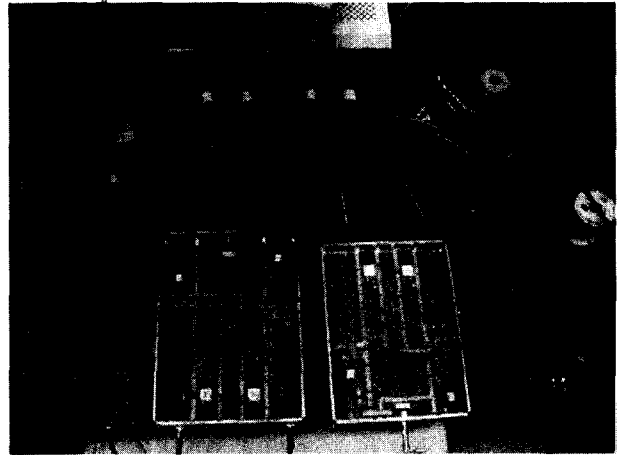


그림 13. 무선 환경 검증
Fig. 13. Verification in wireless channel.

약 27K 게이트로 구현되었고, 메모리는 사용되지 않았다. 표 1은 설계된 모뎀의 합성 결과를 보여준다.

2. FPGA 검증 결과

그림 12는 모뎀의 FPGA 기능 테스트를 보여준다. FPGA 테스트를 위해 PC와 연결하고, 테스트용 프로그램을 작성하였다. 테스트용 프로그램에서는 RT 및 CU의 동작을 직접 모니터링 할 수 있도록 꾸렸다. 컴퓨터와 모뎀간의 통신은 RS-232를 이용하였고, 이와 함께 모뎀 제어를 위해 PIC16LF877 마이크로 프로세서가 이용되었다.

왼쪽 화면은 RT의 동작을 보기 위한 것이고, 오른쪽 화면은 CU를 위한 것이다. RT는 매분 16초마다 계측 데이터를 전송하도록 설정하였다. RT는 처음 시간 채널을 복조 했을 때 자신의 전송 시간이 아니므로(00분 02초) 계측 데이터를 전송하지 않고 전원을 차단한다. 그리고 동기 획득 및 오차를 고려해서 자신의 전송 시간에 깨어나(00분 11초) 계측 데이터를 전송하고 있다. 전송된 계측 데이터는 CU에서 성공적으로 복조하여 ACK 신호를 RT에게 송신한다. RT는 이 신호를 복조한 후에 다음 전송 시간까지 전원을 차단한다. RT용 모뎀에 대한 전력 공급 및 차단은 마이크로 프로세서가

담당하며, 마이크로 프로세서는 내부에 시계장치를 이용하여 다음 Wake-Up 시각을 계산한다.

그림 13은 현재 진행 중인 무선 환경 테스트를 보여준다. 무선 테스트를 위해 MAXIM MAX5183 Evaluation board, National Semiconductor ADC08351, National Semiconductor LMX2326, MAXIM MAX2450 등이 사용되었다.

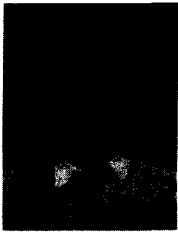
V. 결 론

본 논문에서는 CDMA 및 TDMA 기술을 기반으로 하는 무선 원격 계측 시스템용 모뎀의 VLSI 설계를 제시하였다. 모뎀의 하드웨어 복잡도를 최소화하기 위해, 여러 기능 블록을 공유함으로써 RT의 경우 약 20%, CU의 경우 약 30%의 하드웨어 크기를 줄일 수 있었다. RT 및 CU용 모뎀은 FPGA로 구현되어 10MHz 클럭에서 성공적으로 동작하였다. 본 논문에서 제안된 모뎀은 시스템 최적화와 전력 소모 최소화를 위해 SOC(System On Chip)로 구현될 필요가 있는데, 현재 디지털 블록과 아날로그 블록, 그리고 마이크로 프로세서를 SOC로 구현하기 위한 설계가 진행되고 있다.

참 고 문 헌

- [1] GE Medical Systems web page:
<http://www.gemedicalsystems.com>
- [2] 삼성 멀티미디어 <http://www.smm.co.kr>
- [3] "Specification of the Bluetooth System," v0.8 Jan 1999.
- [4] Tsukahara, T.; Yamada, J., "3 to 5 GHz quadrature modulator and demodulator using a wideband frequency-doubling phase shifter," Solid-State Circuits Conference, 2000. Digest of Technical Papers. ISSCC. 2000 IEEE International, pp. 384 - 471, 2000.
- [5] K.S Gilhousen, et al., "On the capacity of a cellular CDMA systems," IEEE trans. On Vehicular Tech., Vol 40, No.2, pp. 303-312, 1991.5.
- [6] Seongjoo Lee and Jaeseok Kim, "Effect of multiple threshold values for PN code acquisition in DS-SS systems," IEE Electronics Letters, Vol.37, No.6, pp. 363-365, 2001.3.
- [7] Wonjae Lee, Seongjoo Lee, Jaeseok Kim, Gunhee Han, Yonsei Univ., Hwang Lee, Zethos Cooperation, Korea, "Wireless Telemetry Systems based on CDMA and TDMA Technologies," CIC2001, pp.198, 2001. 11.
- [8] Andreas Polydoros, Charles L. Weber, "A Unified approach to serial search spread-spectrum code acquisition - Part I and Part II", IEEE Transaction on communications, Vol. COM-32, No. 5, May 1984.
- [8] Tao Lang, Xiao Hua Chen, "Comparison of correlation parameters of binary codes for DS/SS systems", Singapore ICCS '94
- [9] Seongjoo Lee, Jaeseok Kim, "Mathematical model and performance analysis of an improved hybrid code acquisition algorithm in DS-SS systems", Proceedings of IEEE Region 10 Conference, Vol. 1, 1999 pp. 565 - 568., 1999.
- [10] A. Peled and A. Ruiz, "Frequency Domain Data Transmission using Reduced Computational Complex algorithms", ICASP80, pp.964-967. 1980.
- [11] 공명석, 배성일, 김재석, "사양변수를 이용한 비터 비복호기의 자동설계", 전자공학회논문지, 36권, C편 제1호, pp 1-10, 1999. 1.
- [12] Seongjoo Lee, Sangyun Hwang, and Jaeseok Kim, "An Low-complexity Architecture of Rake Receiver for Multi-code CDMA system," IEE Electronics Letters, Vol. 34, No. 14, pp. 1382-1384, 9th 1998. 7.
- [13] Seongjoo Lee, Janghee Lee, and Jaeseok Kim, "Design of PN Code Acquisition System with a Shared Architecture for CDMA PCS Mobile Station," ITC-CSCC'98, pp 1333-1336, 1998. 7.

저 자 소 개



이 원 재(정회원)
 2001년 연세대학교
 기계전자공학부 학사.
 2003년 연세대학교
 전기전자공학과 석사.
 2003년~현재 연세대학교
 전자공학과 박사 과정.

<주관심분야: CDMA, SoC설계>



이 성 주(정회원)
 1993년 연세대학교 전자공학과
 학사.
 1998년 연세대학교
 전기전자공학과 석사.
 2002년 연세대학교 전자공학과
 박사.

2002년~현재 삼성전자 VD 사업부 CORETECH.
 <주관심분야: PN 코드동기알고리즘, 이동통신용
 모뎀의 VLSI 및 SoC 설계>



이 서 구(정회원)
 2002년 연세대학교
 전자공학과 학사.
 2004년 연세대학교
 전기전자공학과 석사.
 2004년~현재 삼성전자
 통신 연구소.

<주관심분야: 차세대 무선랜 시스템 연구>



정 석 호(정회원)
 2002년 연세대학교 전자공학과
 학사.
 2004년 연세대학교
 전기전자공학과 석사.
 2004년~현재 삼성전자 통신연구소.
 <주관심분야: 저전력 디지털 IF 설

계>



김 재 석(정회원)
 1977년 연세대학교 전자공학과
 학사.
 1979년 한국과학기술원 전기전자
 공학과 석사.
 1988년 Rensselaer Polytechnic
 Institutes NY NSA(Ph.D)

1993년 ~ 1995년 한국전자통신연구원 책임연구원
 1996년 ~ 현재 연세대학교 전기전자공학과 교수.
 <주관심분야: 유무선 통신시스템, 영상처리 시스
 템, 통신 미 영상처리시스템용 SoC 설계>