

논문 2004-41SD-5-3

Folded Back Electrode를 이용한 BJT의 포화전압특성 개선

(Improvement of The Saturation Voltage Characteristics of BJT Using Folded Back Electrode)

김 현 식*, 손 원 소*, 최 시 영*

(Hyun-Sik Kim, Won-So Son, and Sie-Young Choi)

요 약

본 논문에서는 저전력 스위치에 사용되는 소자의 포화전압 특성을 개선하기 위해 새로운 구조의 BJT를 제안하고 있다. 기존에 사용되던 finger transistor(FT)의 경우 포화전압이 높아 저전력 소자의 특성을 만족하지 않아 multi base island transistor(MBIT)로 구조를 변경함으로써 저전류 영역에서의 포화전압은 충분히 낮아 저전력용 소자의 특성을 만족하지만, 이 역시 고전류 영역에서는 여전히 포화전압이 높아 저전력용 소자의 특성을 만족하지 못하는 문제가 발생한다. 이에 본 논문에서는 folded back electrode를 이용한 새로운 구조의 BJT(FBET)를 제안하여 그 특성을 조사하였다. 새로운 구조의 트랜지스터를 적용함으로써 MBIT 구조에 비해 에미터 면적은 35 % 증가하고 접촉창의 면적이 92 % 증가하여, 저 전류 영역에서의 포화 전압은 30 % 감소하였고 고 전류 영역에서의 포화 전압은 에미터 면적 증가와 에미터 접촉 창 면적 증가에 의해 각각 30 %와 7 %씩 감소하여 전체적으로는 37 %가 감소하는 특성을 나타내었다.

Abstract

In this paper a new structure of BJT is proposed to improve the saturation voltage characteristics so that it can be used to the low power switching devices. In the case of the conventional finger transistor(FT), the saturation voltage is so high that it dose not satisfy the requirements for the low power device. So the other multi base island transistor(MBIT) is suggested and its saturation voltage is so low in the region of low current that it satisfy the requirement for the low power switching devices, but in region of the high current the saturation voltage tends to increase so that it does not satisfy the requirements for the low power switching devices. So in this paper a new structure of folded back electrode transistor(FBET) is proposed and the characteristics is investigated. When the new structure is applied the emitter area is increased by 35 % so the saturation voltage is reduced by 30 % at the low current region and the contact area is increased by 92 % so the saturation voltage is reduced by totally 37 % at the high current region with the reduction of 30 % by the increase of the emitter area and the reduction of 7 % by the increase of the emitter contact area.

Keywords : BJT, 포화 전압, 에미터 접촉 저항, FBET

I. 서 론

근래에 들어 LCD back light inverter, note PC의 저 소비 전력용에 많이 적용되고 있는 스위칭 용도의 소신호용 BJT 소자는 일반 소신호용 BJT 소자와 대부분의

특성에서 대동소이하나 포화 전압이 사용 영역에서 200 mV 정도로 일반 소신호용 BJT 소자의 70 % 수준인 것이 큰 특징이다.^[1-3,5] 기존에 사용되어 오던 소자의 경우 포화 전압이 300 mV 수준으로 현재의 저 소비 전력용에 사용하기에는 부적합하다. 특히 finger transistor(FT)의 경우 저전류 및 고전류 영역 모두에서 높은 포화 전압 특성을 나타내고 있고, 그 후 에미터 면적을 확장시킨 구조를 채택한 multi base island transistor(MBIT)를 사용함으로써 저전류 영역에서의 포화 전압

* 정회원, 경북대학교 전자전기공학부
(School of Electronics & Engineering, Kyungpook Univ.)
접수일자: 2004년1월6일, 수정완료일: 2004년5월3일

특성을 향상시킬 수 있었다. 그러나 이에 반해 MBIT 구조의 소자는 접촉창의 면적이 줄어들므로 인해 고전류 영역에서는 여전히 높은 포화 전압 특성으로 인해 저 소비 전력용 소자에 적합하지 않다.^[4]

이에 본 연구에서는 저전류 및 고전류 모든 영역에서 낮은 포화 전압 특성을 갖는 새로운 소자 구조를 제안하여 그 특성을 살펴보고자 한다. 저 전류 영역에서의 포화 전압 특성을 향상시키기 위해 에미터 면적을 더욱 확장할 수 있고, 고 전류 영역에서의 포화 전압 특성을 향상시키기 위해 접촉창의 면적을 더욱 확장할 수 있는 구조인 folded back electrode를 이용한 BJT 소자의 특성을 조사하고자 한다. 우선 접촉창의 면적에 따른 소자 특성을 조사하여 최적화된 구조를 채택한 후, 이를 이용하여 이중 금속 배선을 적용한 folded back electrode를 이용한 BJT 소자의 최적 구조 및 0.1~2 A의 전류 영역에서의 포화 전압 특성을 조사하였다.

II. 본 론

1. 기존 FT와 MBIT 소자의 구조 및 포화 전압 특성

그림 1에서 제작된 기존의 FT와 MBIT 소자의 구조를 보이고 있다. 표 1에 나타난 바와 같이 MBIT 소자의 경우 FT와 동일 크기, 즉 베이스 면적이 같은 크기 (1,100,000 μm^2)에서 에미터 면적이 23 % 증가하였다. 이와 같이 구조 변경으로 에미터 면적이 증가된 원인은 금속 증착 및 에칭의 기술이 발달함으로써 스텝 커버리지가 개선됨에 따라 베이스 전극부 밑에 에미터 영역을 만들 수 있기 때문이다.

그러나 표 1에서 MBIT 소자의 에미터 접촉 창 면적은 FT 소자에 비해 64 %나 감소하였으며 에미터 대

에미터 접촉 창 면적의 비는 240 %나 감소하였다. 이와 같이 에미터 접촉 창 면적이 감소한 원인은 에미터 면적 및 주변 길이의 증가를 위해 에미터와 에미터 사이 및 베이스와 베이스 사이의 폭이 좁아짐에 따라 에미터 접촉 창 면적 및 베이스 접촉 창 면적이 감소하게 되었다.

그림 2에서 제작된 기존 소자의 포화 전압 특성을 보이고 있다. 컬렉터 전류가 0.1 A인 저 전류 영역에서는 MBIT 소자의 포화 전압 특성이 23 % 감소하여 에미터 면적의 증가분에 비례함을 알 수 있고 컬렉터 전류가 2 A인 고 전류 영역에서는 MBIT 소자의 에미터 면적이 큼에도 불구하고 포화 전압 특성은 오히려 30 % 증가한다는 것을 확인할 수 있다. 또한 두 소자 모두 고전류 영역에서 포화 전압이 200 mV를 넘어 저 소비 전력용 소자로는 적당하지 않은 것이 확인되었다.

이와 같은 현상은 온도와 접촉 비저항 특성에서 에미터부의 표면 농도가 $10^{20}/\text{cm}^3$ 이상일 때 온도가 상승함에 따라 접촉 비저항이 증가한다는 사실^[6-9]에 의한 것으로 판단된다. 그러므로 에미터 접촉 창 면적 감소에 의해 고전류 영역에서의 포화 전압 특성의 증가에 대한 위와 같은 이론적인 근거를 확인하기 위해 에미터 접촉 창 면적에 대한 포화 전압 특성의 상관관계를 실험을 통해 확인하였다.

2. 접촉창 면적에 따른 BJT 소자의 포화 전압 특성

에미터 접촉 창 면적에 대한 포화 전압과의 상관성을 확인하기 위해 표 2에 나타난 것처럼 베이스 영역과 에미터 영역의 면적을 각각 1,170,350 μm^2 와 1,085,900 μm^2 로 고정된 후, 에미터와 에미터 접촉 창 면적 비인 아래 식을 4.5 %, 9.3 %, 15.9 %, 24.2 %가 되도록 마스크를 제작하였다. 에미터 접촉 창 면적에 의한 포화 전압 특성을 조사하기 위해 소자 제작 시에 재료와 공정 및 조립부의 재료와 공정 모두 동일하게

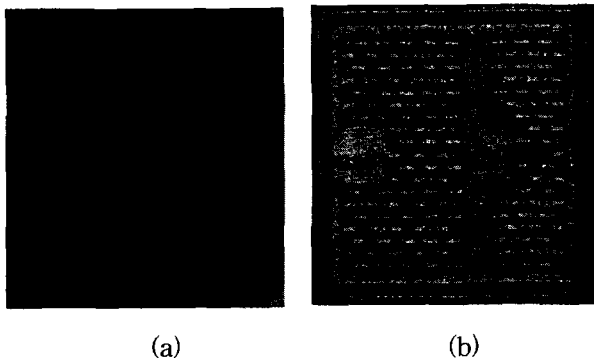


그림 1. 제작된 기존의 소자 ; (a) FT 와 (b) MBIT
 Fig. 1. Fabricated conventional devices ; (a) finger transistor (FT) and (b) multi base island transistor (MBIT).

표 1. 소자의 설계 조건
 Table 1. Design condition of device.

Description	FT	Ratio	MBIT
base area [μm^2]	1,106,400	-	1,091,600
emitter area [μm^2]	654,800	23 % ↑	804,500
emitter contact area	378,900	64 % ↓	136,300
emitter contact area / emitter area	58 %	240 % ↓	17 %

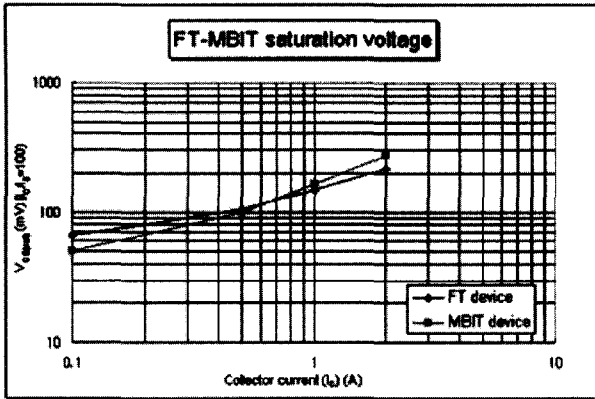


그림 2. 기존 소자의 포화 전압 특성 비교
Fig. 2. Comparison of the saturation voltage characteristics in conventional devices.

표 2. 에미터 접촉 창 면적별 실험 조건
Table 2. The conditions of the emitter contact area.

Description	Cond.1	Cond. 2	Cond. 3	Cond. 4
base area	1,170,350um ²			
emitter area	1,085,900um ²			
emitter contact area [um ²]	49000	100800	172800	262240
emitter contact area / emitter area	4.5 %	9.3 %	15.9 %	24.2 %

진행하였다.

percent of emitter contact area (%)

$$= \frac{\text{emitter contact area}}{\text{emitter area}}$$

위의 조건으로 설계된 마스크를 아래의 그림 3에 나타내었다. 실험 조건인 에미터 접촉 창 면적을 다르게 한 네 가지 조건에 대한 마스크 도면으로 베이스부와 에미터부를 동시에 접촉 창을 형성하므로 마스크에서 같이 나타나며 에미터부의 접촉 창은 검게 표시하여 나타내었다.

위의 조건으로 제작된 소자의 포화 전압 특성을 측정하여 그림 4에 나타내었다. 에미터 면적에 따른 포화 전압 특성은 1 A 이하의 저전류 영역에서는 거의 차이가 나지 않고 1 A 이상의 고전류 영역에서 차이가 나기 시작해 3 A에서는 조건1과 조건4의 포화 전압 차는 145 mV로 약 7%의 차가 나며 5 A에서는 조건1과 조건4의 포화 전압 차는 36 mV로 약 10%의 차가 생길 수 있다.

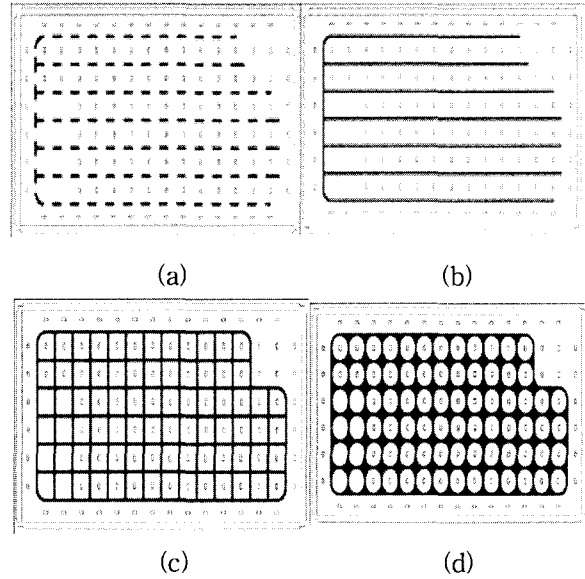


그림 3. 조건별 에미터 접촉 창 마스크, (a) 에미터 접촉 창 면적 / 에미터 면적 = 4.3 %, (b) 9.3 %, (c) 15.9 % 와 (d) 24.2 %

Fig. 3. Emitter contact mask with various conditions, (a) emitter contact area / emitter area = 4.3 %, (b) 9.3 %, (c) 15.9 % and (d) 24.2 %.

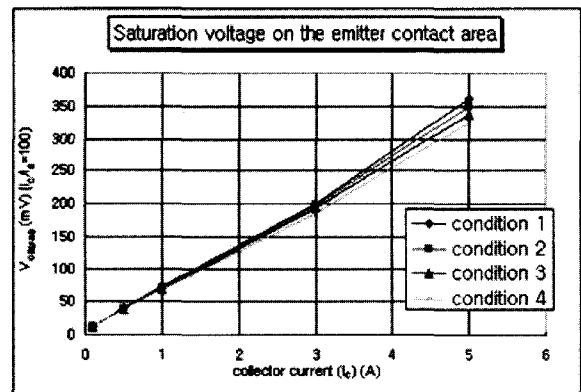


그림 4. 조건별 IC-VCE 특성 그래프
Fig. 4. The characteristics graph of IC-VCE with various conditions.

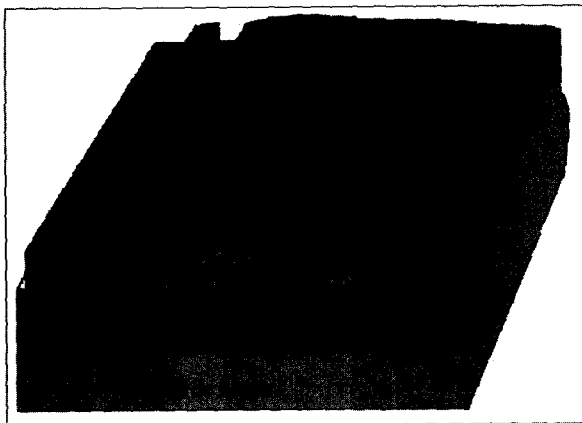
실험의 결과를 분석해 보면 에미터 접촉 창 면적이 전류의 증가에 따라 포화 전압 특성에 크게 영향을 준다는 것을 알았으며 이 실험 데이터를 통해 고 전류에서 낮은 포화 전압이 요구되는 소자는 반드시 에미터 접촉 창 면적을 고려해야 함을 알았다. 물론 에미터 면적의 감소 없이 에미터 접촉 창 면적 증가는 어려움으로 사용 정격 상에서 최적의 포화 전압 특성을 얻기 위해서는 에미터 면적과 에미터 접촉 창 면적을 적절히 조정하는 것이 필요하다고 생각되어진다.

III. 실험 및 결과

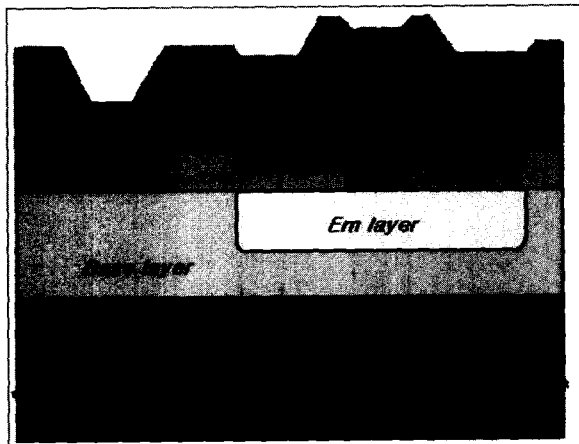
본 논문에서 제안한 새로운 구조의 소자인 folded back electrode transistor(FBET)란 그림 5에 보인 바와 같이 이중 금속 공정을 이용한 것으로 절연막을 이용하여 금속 배선과 금속 배선을 겹쳐 지나가게 하여 BJT 소자를 제작한 것을 말한다.

이와 같이 절연막을 이용하여 금속 배선과 금속 배선을 겹쳐 지나가게 함으로서 베이스 본딩 자리 밑의 베이스 영역에 에미터 영역을 형성하여 에미터의 면적 및 에미터 접촉 창 면적을 동시에 증가시킬 수 있었다.

소자의 제작 순서는 다음과 같다. 비소(As) 소스를 이용하여 비 저항이 0.003 Ω·cm인 N+ <111> Si 기판 위에 비 저항이 2 Ω·cm이고 두께가 10 μm인 에피텍셀 층을 만든 웨이퍼에 초기 산화막으로 8000 Å을 형성하였다. 베이스 층을 형성하기 위해 BF₃(11B+) 이



(a)



(b)

그림 5. FBET 구조; (a) 3차원 및 (b) 단면 구조도
Fig. 5. The structure of FBET ; (a) 3-dimensional and (b) cross-sectional structure.

은 소스를 이용하였으며 단위 주입량 및 가속 에너지는 각각 3.9×10^{14} ions/cm, 40 KeV로 하였다. 이온주입 후 1150 °C에서 160분 동안 확산을 실시하여 면 저항이 200 Ω/□이고 접합 깊이가 4.3 μm인 베이스 영역을 형성하였다. 에미터 영역을 형성하기 위해 POCl₃ 소스를 1030 °C 40분 동안 확산하여 면 저항을 2.8 Ω/□로 형성한 후, 1050 °C에서 확산에 의해 전류 증폭율 ($h_{FE} = 600-700$) 및 BV_{CB} , BV_{CE} , BV_{EB} 등의 DC 특성 맞추었다. 베이스 영역과 에미터 영역의 금속 접합을 위해 산화막을 제거하였으며 그 후 1차 및 2차 금속 배선을 형성하였다. 그림 6에서 제작된 FBET 소자의 현미경 사진을 보이고 있다.

표 3에서는 기존의 소자인 MBIT 소자와 FBET 소자의 설계 조건을 보이고 있다. 동일 크기에서 MBIT 소자보다 에미터 면적이 35 % 증가되었다. 또한 FT 소자에서 MBIT 소자로의 변경으로 감소된 에미터 접촉 창 면적을 이중 금속 증착 공정에 의해 베이스 금속과 에미터 금속이 겹쳐질 수 있게 됨으로써 에미터 접촉 창 면적은 MBIT 소자보다 92 %가 증가되어 에미터 대 에미터 접촉 창 면적비가 42 % 증가되었다. 이처럼 FBET 소자는 이중 금속 증착을 통해 에미터 면

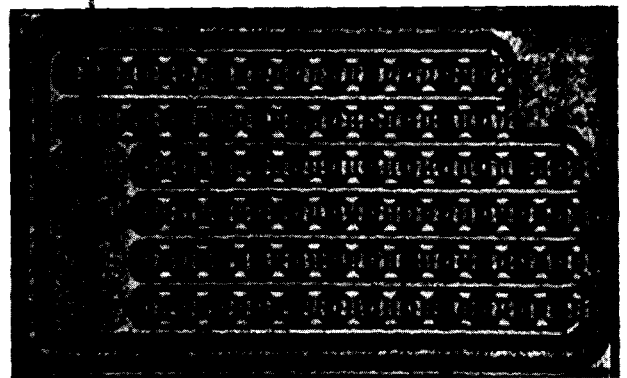


그림 6. 제작된 FBET 소자
Fig. 6. Microscopic view of fabricated FBET.

표 3. 소자의 설계 조건
Table 3. Design condition of devices.

Description	MBIT	Ratio	FBET
emitter area [μm ²]	804,500	35 % ↑	1,085,900
emitter contact area [μm ²]	136,300	92 % ↑	262,240
emitter contact area / emitter area	17 %	42 % ↑	24.2 %

적을 최대화하였고 또한 에미터 접촉 창의 면적 증가로 MBIT 소자에서 에미터 접촉 창 면적 감소에 따른 고 전류 영역에서의 포화 전압 특성의 증가라는 불리한 요소까지 해결함으로써 포화 전압을 최소화하는 구조의 형태를 만들게 되었다.

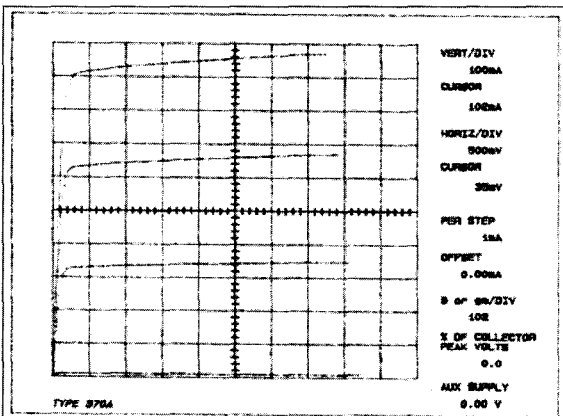
그림 7에서는 제작된 소자의 전류-전압 특성 곡선을 보이고 있다. 각각 베이스 전류가 1 mA, 20 mA인 저 전류 영역과 고전류 영역에서의 특성 곡선이다. 이 FBET 소자의 포화 전압 특성은 그림 8에서 보인 바와 같이 MBIT 소자와 비교할 경우 0.1 A인 저 전류 영역에서는 35 mV로 에미터 면적 증가 분인 35 %와 거의 동일하게 30 % 감소하였으며 (FT 소자에 비해서는 46 % 감소), 0.5 A에서는 35 %가 감소하고 고 전류 영역인 1 A 이상에서도 35 % 이상 감소 (FT 소자에 비해서는 20 % 이상 감소) 됨으로서 MBIT 소자에서처럼

에미터 접촉 창 면적 감소에 의한 고 전류 영역에서의 포화 전압 특성의 증가가 없어졌다.

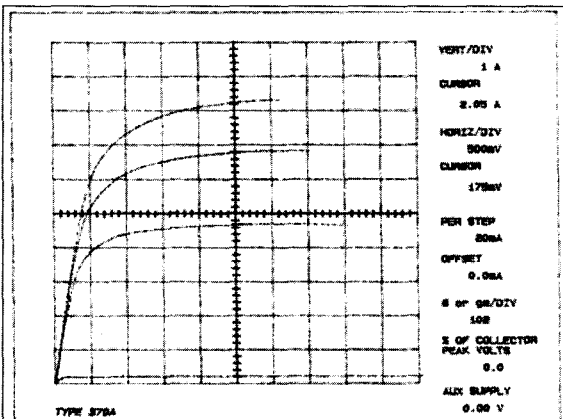
이처럼 에미터 접촉 창 면적이 클수록 고 전류 영역에서는 포화 전압 특성이 낮아짐을 알 수 있었다. 특히 제작된 소자의 포화 전압은 전 전류 영역에서 200 mV 이하의 특성을 나타냄으로서 저소비 전력용 소자의 요구조건을 충족시킬 수 있었다.

위의 표 4의 포화 전압 특성의 측정 조건은 그림 7에서 측정된 데이터에서 직류 전류 증폭율, $\beta(=I_c/I_B)$ 가 100일 때 가해진 컬렉터와 에미터 사이의 전압(V_{CE})을 포화 전압으로 정하였으며, 각 데이터 값은 조건별로 30개의 소자를 측정하여 평균값이다.

MBIT-FBET 구조에 대한 포화 전압을 비교해 보면 저 전류 영역인 0.1 A에서는 에미터 면적 크기가 35 % 증가함으로써 에미터 전류가 적어 에미터 접촉 창 영향이 무시되어 에미터 면적의 증가분에만 의해 30 %의 포화 전압이 감소하였다. 고 전류 영역인 2 A에서는 에미터 면적 증가에 의한 포화 전압의 감소분 30 %와 에



(a)



(b)

그림 7. FBET 소자의 IC-VCE 특성; (a) 베이스 전류 =1 mA 와 (b) 20 mA,

Fig. 7. The characteristics of IC-VCE of the FBET device; (a) $I_B=1$ mA and (b) 20 mA.

표 4. 소자 구조에 따른 포화 전압 특성

Table 4. The characteristics of saturation voltage according to the device structure.

Structure \ I_c	0.1A	0.5 A	1 A	2 A
FT device	65 mV	105 mV	150 mV	215 mV
MBIT device	50 mV	100 mV	165 mV	275 mV
FBET device	35 mV	65 mV	95 mV	175 mV

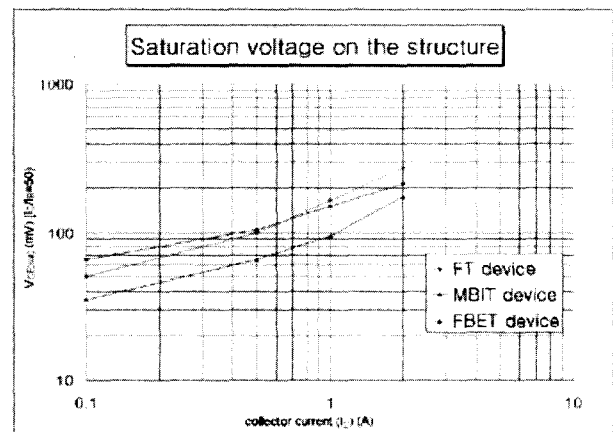


그림 8. 소자 구조에 따른 포화 전압 특성 비교

Fig. 8. Comparison of the characteristics of saturation voltage according to the device structure.

미터 전류의 증가로 온도가 상승함에 따라 에미터 접촉 저항이 증가하므로 에미터 접촉 창 면적의 증가에 따라 포화 전압을 7 % 감소시키는 효과가 있어 전체적으로 37 %가 감소하였다.

IV. 결 론

저 소비 전력용에 많이 적용되고 있는 스위칭 용도의 소신호용 BJT 소자는 일반 소신호용 BJT 소자와 대부분의 특성에서 대동소이하나 포화 전압이 사용 영역에서 200 mV 정도로 일반 소신호용 BJT 소자의 70 % 수준인 것이 큰 특징이다. 저 전류 및 고 전류 영역에서 포화 전압 특성을 30 % 감소시킬 수 있는 새로운 구조의 소자 개발을 개발하기 위해 먼저 에미터 접촉 창의 면적에 대한 포화 전압 특성의 상관성을 확인하는 것이 필요하였다.

이에 동일 조건하에서 에미터 접촉 창의 면적을 다르게 하여 실험을 해 본 결과 1 A 이하인 저 전류 영역에서는 거의 차이가 나지 않고 1 A 이상에서 차이가 나기 시작해 고 전류 영역인 5 A에서는 에미터 면적 대 에미터 접촉 창의 면적비가 5 % 증가에 따라 포화 전압 특성이 3 % 씩 감소함을 알았다. 이런 결과치에 의해 고 전류 영역에서 포화 전압을 감소는 에미터 면적과 에미터 접촉 창의 면적 모두를 증가시켜야만 가능함을 알 수 있었다.

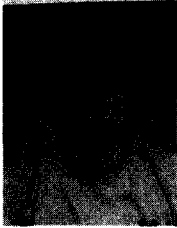
이에 본 논문에서는 포화 전압 특성 개선을 위해 에미터 면적과 에미터 접촉 창의 면적 모두를 증가시킬 수 있는 새로운 설계 구조를 제안하였다. 새로운 설계 구조인 FBET 구조에서는 이중 금속 증착이라는 공정을 도입하여 베이스 본딩 자리에 에미터 영역을 추가로 형성하여 기존 MBIT 소자보다 에미터 면적을 35 % 증가시켰고 또한 베이스 배선 밑에 에미터 접촉 창을 추가로 형성하여 에미터 접촉 창의 면적을 기존 MBIT 소자보다 92 % 증가시킬 수 있었다. FBET 구조를 적용한 소자의 포화전압 특성을 확인해 본 결과, 기존 MBIT 소자에 비해 저 전류 영역에서는 에미터 전류가 적어 에미터 접촉 창의 영향이 무시되어 에미터 면적의 증가분에만 의해 30 %의 포화 전압이 감소하였다. 그러나 고 전류영역에서는 에미터 면적 증가에 의한 포화 전압의 감소분 30 %와 에미터 전류의 증가로 소자 온도가 상승함에 따라 에미터 접촉 저항이 증가하는 영향으로인하여 에미터 접촉 창 면적을 증가시킴에 따라 포

화 전압을 7 % 감소시키는 효과가 있어 포화 전압은 전체적으로 37 %가 감소하였다.

참 고 문 헌

- [1] Alvin B. Phillips, "Transistor Engineering," Robert E. Krieger Publishing Company, Inc. pp. 173-225, 1962.
- [2] S. M. Sze, "Physics of Semiconductor," John Wiley & Sons, Inc. pp. 314-316, 1988
- [3] B. Jayant Baliga, "Power Semiconductor Devices," PWS Publishing Company, pp. 9-18, 1996.
- [4] D. L. Bowler and F. A. Lindholm, "High Current Regimes in Transistor Collector Regions," IEEE Transactions on Electron Devices, Vol. ED-20, NO. 3, March 1973, pp. 257-263.
- [5] W. Schultz, "Dynamic Saturation Voltage - A Designer's Comparison," Power Conversion International, October 1983, pp. 26-36.
- [6] Dieter K. Schroder, Semiconductor Material and Device Characterization, John Wiley & Sons, Inc. pp. 138-142, 1998.
- [7] R. S. Popovic, "Metal-N-Type Semiconductor Ohmic Contact with a Shallow N+ Surface Layer," Solid-State Electron. 21, pp. 1133-1138, September 1978.
- [8] C. Y. Chang, Y. K. Fang, and S. M. Sze, "Specific Contact Resistance of Metal-Semiconductor Barriers," Solid-State Electron. 14, pp. 541-550, July 1971.
- [9] S. E. Swirhun and R. M. Swanson, "Temperature Dependence of Specific Contact Resistivity," IEEE Electron Dev. Lett. EDL-7, pp. 155-157, March 1986.

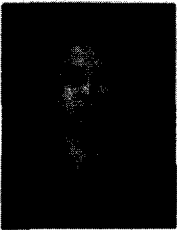
저 자 소 개



김 현 식(정회원)
 1996년 울산대학교 물리학과
 학사 졸업.
 2003년 경북대학교
 전자재료공학과 석사 졸업.
 2004년 경북대학교 전자공학과
 박사 과정(반도체 전공).

1996년~현재 (주)케이이씨 연구소 선임 연구원
 고주파 소자 개발 그룹

<주관심분야 : PIN, Varactor, Switching Diode>



손 원 소(정회원)
 1995년 경북대학교 전자공학과
 학사 졸업.
 1997년 경북대학교 전자공학과
 석사 졸업.
 2004년 경북대학교 전자공학과
 박사 졸업(반도체 전공).

1999~2000년 Hynix 메모리 제품개발실 근무.

<주관심분야 : CMOS, SOI, Power Device, Thin
 Film Transistor>



최 시 영(정회원)
 1972년 경북대학교 전자공학과
 학사 졸업.
 1974년 경북대학교 전자공학과
 석사 졸업.
 1986년 동북대학교 전자공학과
 박사 졸업(반도체 전공).

1989년~1990년 미국 Louisiana State University 교환
 교수

1991년~현재 경북대학교 공과대학 교수

1999년~2001년 경북대학교 공과대학 부속
 전자기술 연구소 소장

2001년~현재 경북대학교 센서기술연구소 소장

2003년~현재 대한전자공학회 대구경북지부 지부장

2004년~현재 한국센션학회 부회장

<주관심분야 : 반도체 소자 및 공정, Display 제조
 공정기술, 물리센서>

