

# 실리콘 산화후막 공정과 Cu-BCB 공정을 이용한 고성능 수동 집적회로의 구현과 성능 측정

## Implementation of High-Quality Si Integrated Passive Devices using Thick Oxidation/Cu-BCB Process and Their RF Performance

김 동 옥 · 정 인 호\*

Dong-Wook Kim · In-Ho Jeong\*

### 요 약

Cu 및 BCB 공정을 사용하여 고성능 RF 수동회로를 실리콘 기판 상에 구현하는 RF 수동 집적회로 공정을 개발하였다. 이러한 기술은 개별 수동소자를 통한 모듈 구현방식보다 훨씬 작고 저렴하며 우수한 성능의 RF 모듈을 구현할 수 있게 하였다. 개발된 실리콘 수동 집적회로 공정으로 제작된 내경 225  $\mu\text{m}$ , 회전수 2.5의 인덕터는 2.7 nH의 인덕턴스를 가지며 1 GHz 이상에서 30 이상의 품질계수를 가지는 것으로 측정되었다. 또한 개발된 인덕터를 사용하여 WLCSP(Wafer Level Chip Scale Package) 형태의 수동회로를 제작하였다. 제작된 지역 여파기는 2차 고조파 억제를 위해 인덕터 내경 안에 병렬공진용 커패시터를 삽입하였고 2.45 GHz에서 0.5 dB 이하의 삽입손실을 보였다. 그리고 고역 여파기와 저역 여파기 구조를 가지는 발룬 회로는 2.45 GHz에서 0.5 dB 이하의 삽입손실과 182도의 출력 단자간 위상 차이를 보여주었다.

### Abstract

High-performance Si integrated passive process was developed using thick oxidation process and Cu-BCB process. This passive process leads to low-cost and high-quality RF module with a small form factor. The fabricated spiral inductor with 225  $\mu\text{m}$  inner diameter and 2.5 turns showed the inductance of 2.7 nH and the quality factor more than 30 in the frequency region of 1 GHz and above. Also WLCSP-type integrated passive devices were fabricated using the high-performance spiral inductors. The fabricated low pass filter had a parallel-resonance circuit inside the spiral inductor to suppress 2nd harmonics and showed about 0.5 dB insertion loss at 2.45 GHz. And also the high/low-pass balun had the insertion loss less than 0.5 dB and the phase difference of 182 degrees at 2.45 GHz.

Key words : Integrated Passive Devices, Cu-BCB Process, Thick Oxidation, Low Pass Filter, Balun

### I. 서 론

최근 RF 시스템의 소형화, 경량화, 저가격화 및 다기능화는 학계나 업계에서 매우 중요한 주제가 되고 있다. 그러나 RF 시스템에서 전단부(front-end)는 이러한 요구에도 불구하고 기존의 단일 수동부품을

이용한 조립방식을 사용함으로써 소형, 경량의 시스템 구현에 있어 여러 가지 문제점을 야기하고 있다. 이는 RF 전단부가 회로의 특성상 아주 우수한 특성의 수동부품을 요구하고 있고, 또한 대부분은 높은 전력을 견딜 수 있는 부품을 요구하기 때문이다. 이러한 시스템의 요구사항을 만족시키기 위해서 기존

(주)에스원 기술연구소(Research and Development Center, SI Corporation)

\*(주)텔레포스(Telephus, Inc.)

· 논문 번호 : 20040322-032

· 수정완료일자 : 2004년 4월 8일

의 세라믹 기술을 이용한 수동부품이 널리 사용되고 있고 매우 제한적으로 반도체 및 PCB 등을 이용한 수동부품이 사용되고 있는 실정이다<sup>[1],[2]</sup>.

그러나 최근에 들어서는 개인 휴대통신의 급격한 발달로 인하여 여러 가지 기능을 하나의 기계에 집적할 필요성이 증대하였고 또한 이러한 요구에 부응하기 위해 능동 및 수동부품들의 집적화 및 모듈화가 급속히 이루어지고 있다<sup>[3]~[5]</sup>. 특히 능동소자 부분에서는 최근 실리콘 CMOS 및 SiGe 기술의 급격한 발전으로 인하여 이러한 집적화 기술이 많이 성공하고 있다<sup>[6]~[8]</sup>. 이에 비해 수동부품 영역에서는, 그 사용 부품 수가 수백 개에 이르는 많은 양과 실제 시스템 면적에서 절대적인 면적을 차지함에도 이러한 집적화 기술이 많이 뒤쳐져 있는 것이 현실이다. 최근 LTCC 및 PCB를 이용한 수동소자 집적에 대한 연구가 많이 진행 중이며<sup>[9],[10]</sup>, 본 논문에서는 수동 집적기술 부분에서 그 집적도가 가장 우수하고 가격적으로도 가장 저렴한 기술의 하나인 반도체 상의 수동 집적기술을 사용하여 회로를 제작하고 측정하여 그 특성의 우수성을 보이려고 한다.

수동 집적회로 제작공정에서는 시스템에서 요구하는 수동소자의 우수한 RF 특성 및 높은 전력특성을 만족하기 위해 10 um 이상의 두께를 가지는 구리 배선기법을 사용하였고, 유전물질로는 고주파 특성이 우수한 BCB(Benzo Cyclo Butene)를 사용하였다.

또한 반도체를 이용한 수동회로 기술의 가장 취약점인 기판 손실을 최소화하기 위하여 25 um 이상의 두꺼운 산화막을 일반 실리콘 기판 위에 형성하는 기술을 개발하여 도입하였다. 이러한 기술들은 수동 집적회로 기술에서 가장 앞선 기술로 평가받은 유리 기판 공정기술이 가지는 유리 기판의 불량한 열전도도 문제를 해결할 수 있어 높은 전력밀도를 필요로 하는 RF 전단부에 사용되는 소자제작에 적합하다.

본 논문에서는 우선 개발된 수동 집적회로 구현 기술에 대해 설명하고, 이를 통해 구현되는 소자의 구조 및 RF 수동소자의 가장 큰 문제점으로 인식되어온 인덕터에 대한 특성을 고찰함으로써 개발된 소자의 우수성을 보인다. 또한 제작된 고품질 단위소자의 특성을 이용하여 여파기, 발룬 등의 수동회로를 구현하고, 구현된 수동회로의 특성을 측정하여 성능의 우수성과 그 활용 가능성을 보이려고 한다.

## II. 수동 집적회로를 위한 공정기술 및 수동소자의 특성

RF 영역에서 동작하는 수동 집적회로 제작 기술은 개인 휴대통신 및 무선랜 등의 단말기 RF 전단부 회로영역에 적합한 특성을 가지고 있다. RF 수동 집적회로는 서론에서 언급한 바와 같이 25 um 이상의 두꺼운 산화막이 형성된 실리콘을 기판으로 사용하고 있다. 소자 및 회로의 배선으로 구리를 사용하여

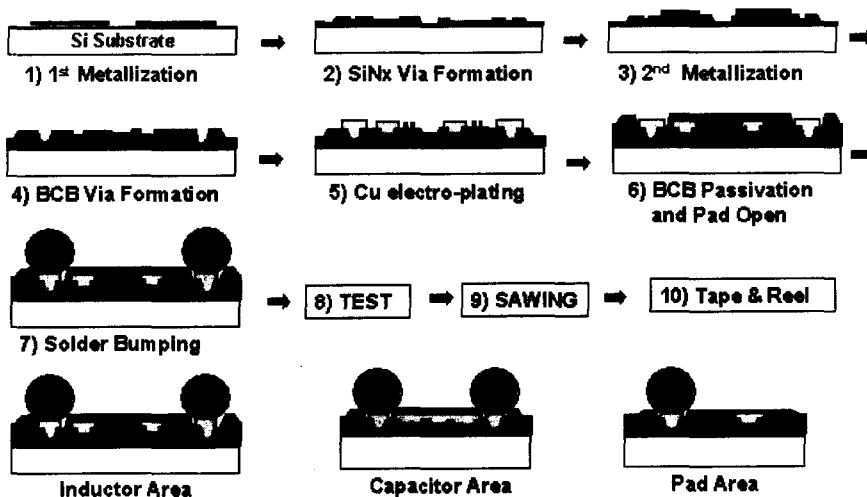


그림 1. 구리배선과 BCB 유전층을 사용한 수동 집적회로의 공정흐름도  
Fig. 1. Process flow of integrated passive devices with Cu metals and BCB interlayers.

기존의 실리콘 공정이나 화합물 반도체 공정에서 사용하는 알루미늄이나 금에 비해 우수한 전기전도성을 확보하였다. 커패시터와 인덕터 제작을 위해서는 3층의 구리 배선 층을 사용하여 금속의 저항에 의한 품질계수의 저하를 억제하였고 공진주파수를 향상시켰다. 회로에 사용되는 저항은 보통 수 kohm 이하이므로 단위면적당 저항값이 작은 NiCr 물질을 이용하여 정밀저항을 구현하였다. 커패시터의 유전 물질로는 화합물 반도체 공정에서 주로 사용하는 1,100 Å의 SiNx를 사용하였다. 특히 인덕터는 10 um의 구리 배선을 사용하여 견딜 수 있는 RF 전력밀도를 높였으며 인덕터의 상하부 금속 사이에 5 um 두께의 저유전율 BCB를 사용하여 기생 커패시턴스 영향을 최소화하였다.

그림 1은 WLCSP 패키징용 RF 수동 집적회로 제작을 위한 공정흐름과 이러한 공정의 결과로 이루어진 인덕터와 커패시터, 그리고 접속패드의 단면도를 보여주고 있다. 와이어 본딩을 사용하는 경우는 그림 1의 (7)번 과정에 있는 솔더범핑(solder bumping) 공정 대신에 도금공정이 이루어지고 측정 및 선별작업이 완료되면 와이어 본딩을 수행함으로써 공정이 완료된다.

수동 집적회로 공정을 간략히 설명하면 먼저 25 um 두께의 산화막을 형성하는 공정을 수행하여 GHz 대역에서도 저손실 전송선을 구현할 수 있는 실리콘 기판을 제작한다. 제작된 기판위에 구리를 사용하여 1차 금속을 증착하고 SiNx 물질을 도포한다. 커패시터를 형성하기 위해 SiNx 물질 위에 2차 구리금속을 증착하고 저유전율의 BCB 물질을 두껍게 도포한다. 도포된 BCB 물질은 인덕터의 하부 금속층과 상부 금속층간의 기생 커패시턴스를 작게 하여 인덕터의 품질계수를 높게 만드는 역할을 수행한다. 도포된 BCB 물질에 비아(via)를 형성하고 구리도금을 실시함으로써 커패시터와 인덕터 형성을 마치게 된다. 이어서 소자들을 스크래치 등의 외부접촉으로부터 보호하기 위해 BCB 도포를 실시하고 그 위에 패드 패턴을 형성하여 BCB를 식각함으로써 솔더범핑 또는 와이어 본딩을 위한 패드를 형성한다. 이후 RF 측정을 통한 선별작업을 함으로써 제작공정이 마무리되게 된다. 제작공정상에 나타나는 솔더범핑과 와이어 본딩용 패드는 칩 자체로 PCB상에 접착하여

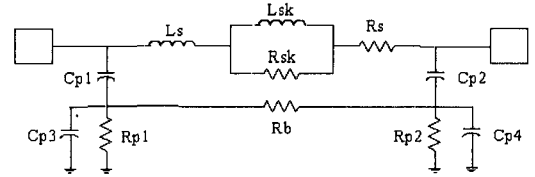


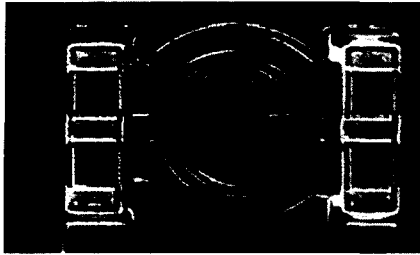
그림 2. 기판의 기생효과가 고려된 나선형 인덕터의 광대역 등가모델

Fig. 2. Wideband equivalent circuit model of spiral inductor with parasitic substrate effects.

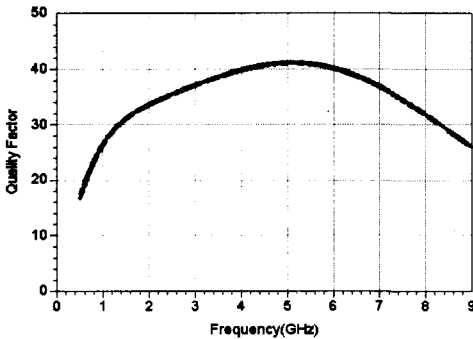
사용할 것이나 아니면 플라스틱 패키지에 실장하여 패키지 프레임이나 동시 실장된 다른 칩의 패드로 Au 와이어 연결할 것이냐에 따라 결정된다. 다중칩 모듈의 경우 와이어 본딩으로 마무리된 칩이 유리하며 별도의 부품으로 PCB에 실장할 경우에는 솔더범핑된 CSP 형태의 집적회로가 유리하다.

그림 2는 Cu-BCB 공정을 이용하여 구현된 인덕터의 광대역 등가모델을 보여주고 있다. 인덕터는 소자의 특성상 RF 단위소자 중 회로특성을 가장 저하시키는 소자 중의 하나이다. 본 논문에서 구현된 인덕터의 경우 우선 다른 실리콘 반도체와 달리 25 um의 두꺼운 산화막이 형성된 실리콘 기판 위에 구현되어 기판으로의 손실을 최소화하였고<sup>[5]</sup> 주요 배선금속도 전도도가 가장 우수한 구리를 10 um 이상 두껍게 하여 구현함으로써 금속에 의한 전도손실을 최소화하였다. 사용된 인덕터 모델은 넓은 주파수 범위에서도 정확도가 높고 특히 기판 상호간의 간섭을 고려하기 위해 인출력 단자간에 커플링 Rb를 사용하였다. 등가회로의 Cp1 및 Cp2는 나선형 인덕터와 기판 사이의 기생 커패시턴스를 나타내고 있으며, Cp3, Cp4, Rp1 및 Rp2는 실리콘 기판과 25 um 두께의 산화막에 대한 기생성분을 나타내고 있다. Rsk 및 Lsk는 표피효과(Skin Effect)와 맴돌이 전류(Eddy Current)에 의해 발생하는 저항 성분 및 인덕턴스의 주파수 의존성을 표현하고 있다.

그림 3은 실리콘 기판에 구리배선 공정과 BCB 공정을 사용하여 제작된 인덕터의 예와 그로부터 추출된 품질계수를 보여주고 있다. 그림 3(a)에 나타난 인덕터의 물리적인 파라미터들은 내경 225 um, 구리 배선의 두께와 폭, 배선간격은 각각 10 um이며 회전수는 2.5 회전을 가진다. 측정된 RF 특성으로부터 추



(a)



(b)

그림 3. 제작된 나선형 인덕터 사진과 측정된 S 파라미터로부터 추출된 등가모델의 품질계수 특성(L=2.7 nH, 내경=225 um, 배선 폭/간격 =10 um/10 um, 회전수=2.5)

Fig. 3. The photograph of circular spiral inductor fabricated on Si substrate and the quality factor(Q) graph of the equivalent circuit model extracted from S-parameter measurements.

출된 인덕턴스는 2.7 nH이다. 측정된 S 파라미터 결과치로부터 Y 파라미터를 구하고 이로부터 등가회로 개별소자들의 값을 추출한 후 이러한 값들을 초기치로 하여 최적화를 수행하였다. 인덕터의 Q 값은 등가모델의 각 단자에서 바라보는 임피던스의 실수값과 허수값의 비로 계산되었다. 따라서 이 값은 기판으로 연결된 기생저항과 기생 커패시턴스의 효과가 반영되어 계산된 결과이다. 제작된 2.7 nH 인덕터의 Q 값이 그림 3(b)에 나타나 있으며 대부분의 주파수 영역에서 30~40의 값을 가지는 것으로 나타났다. 이는 일반적인 실리콘 기판에서 형성되는 인덕터의 Q가 5~15 사이인 것과 Au를 이용하여 화합물 반도체 상에 구현한 인덕터 역시 20 내외인 것을 감안하면 매우 우수한 특성을 보임을 알 수 있다<sup>[1][12]</sup>.

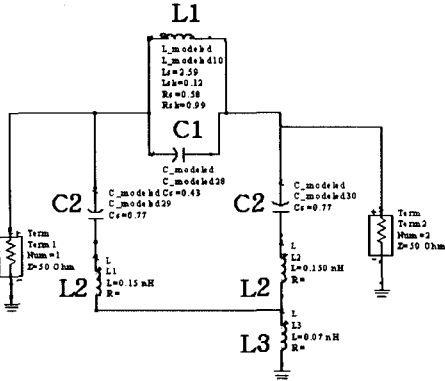
MIM(Metal-Insulator-Metal) 커패시터는 SiNx를 유

전물질로 하고 540 pF/mm<sup>2</sup>의 커패시턴스 밀도를 가지도록 제작하였다. 커패시턴스 밀도의 경우 너무 작은 값을 가지면 사용되는 소자 값에 비해 넓은 기판면적을 차지하여 칩의 소형화를 달성하기가 어렵고 너무 큰 밀도를 가지면 유전체의 두께가 얇아 반도체 수율이 나빠지거나 항복전압이 감소된다. 수동 집적회로 공정에서는 120 V 이상의 항복전압을 달성하면서도 수동회로의 소형화를 구축할 수 있도록 540 pF/mm<sup>2</sup>의 밀도가 선택되었고 이는 일반적인 GaAs MESFET 공정에서 사용하는 커패시턴스 밀도보다 2배 가량 높은 값이다. 각각의 수동소자들을 데이터베이스화하고 이를 토대로 각 소자의 등가모델을 설정함으로써 수동회로를 설계할 수 있는 수동 집적회로 공정용 라이브러리를 별도로 구축하였다.

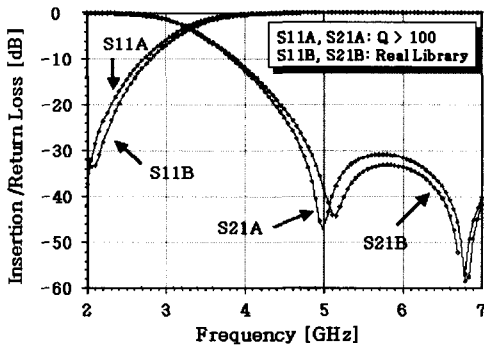
### Ⅲ. RF 수동 집적회로의 구현

산화후막 실리콘 기판 기술 및 Cu-BCB 공정을 통하여 우수한 성능의 인덕터 및 커패시터 등의 수동소자들이 구현되었다. 이러한 반도체 수동소자들은 RF 시스템의 전단부에서 요구되는 여파기 및 발룬 등의 수동회로 블록을 단일칩으로 구현할 수 있는 가능성을 충분히 열어 주었다. 우리는 앞에 설명된 수동소자 구현 방법 및 수동소자 라이브러리를 기반으로 하여 무선랜 용도의 저역 여파기와 발룬을 설계하고 제작하였다.

그림 4는 제작된 2.4 GHz 대역의 무선랜용 저역 여파기의 회로도와 회로의 설계특성을 보여주고 있다. 그림 4(a)에 나타난 바와 같이 필터 회로는  $\Pi$ 형의 구조를 가지고 있다. 고주파 성분은 입출력 양단에서 접지로 연결된 커패시터(C2)를 통해 걸러지고 저주파 성분은 입출력 양단에 직렬로 연결된 인덕터(L1)를 통해 전달된다. RF 시스템에 사용되는 저역 여파기는 2차 고조파(2fo)와 3차 고조파(3fo)에 대해 엄격한 감쇄를 요구하는데 이를 수용하기 위하여 직렬 인덕터(L1)에 병렬로 커패시터(C1)를 연결하여 2차 고조파에 대해 통과를 저지하였다. 3차 고조파에 대해서는 사용되는 수동소자의 특성이 7 GHz 이상에서 충분한 감쇄특성을 보이므로 특별한 감쇄 폴(pole)을 만들지 않았다. 회로의 정확한 성능을 예측하기 위하여 솔더범핑이 가지는 150 pH의 인덕턴스



- (a) L1=2.6 nH(내경=225 um, 회전수=2.5), C1=0.43 pF (W=L=27 um), C2=0.77 pF(W=L=37 um), L2=150 pH(솔더뎀핑 인덕턴스), L3=70 pH(PCB 비아홀 인덕턴스)
- (a) L1=2.6 nH(inner diameter=225 um, turns= 2.5), C1 =0.43 pF(W=L=27 um), C2=0.77 pF(W=L=37 um), L2=150 pH(solder bumping inductance), L3=70 pH (PCB via hole inductance)



- (b) S11A, S21A(이상적인 경우), S11B, S21B(실제 모델)
- (b) S11A, S21A(ideal case, Q>100), S11B, S21B(real library)

그림 4. 무선랜용 저역 여파기의 회로도(a)와 모의실험 결과(b)

Fig. 4. Schematic circuit diagram of low pass filter (a) and its simulation results(b).

(L2)와 PCB 비아홀(via hole)이 가지는 70 pH의 인덕턴스(L3)도 고려하였다.

그림 4(b)는 그림 4(a)의 회로도에서 인덕터의 Q 값을 100 이상으로 설정하였을 경우(이상적인 경우)와 인덕터의 실제 라이브러리 값을 회로에 입력하였을 경우 저역 여파기의 삽입손실과 반사손실 특성이 어떻게 변하는지를 보여주고 있다. 그림에 나타난 바와 같이 이상적인 경우 2차 고조파에서 병렬공진

효과가 나타나 충분한 신호차단 효과가 발생하지만 실제 소자의 특성 값을 입력하였을 경우 기생효과에 의해 공진특성이 높은 주파수 쪽으로 이동함을 알 수 있다. 인덕터의 Q 값이 나빠질 경우 2차 고조파 공진특성이 점점 약해지는데 Q가 20 이하일 경우에는 고조파 공진에 의한 감쇄특성이 거의 없어져 병렬공진을 사용하지 않은 회로와 유사한 특성을 보이게 된다.

그림 5는 제작된 저역 여파기의 사진을 보여주고 있다. 사진에 나타난 바와 같이 300 um의 직경을 가지는 4개의 솔더볼이 10 um 두께의 구리로 제작된 입출력 패드와 접지패드에 부착되어 있다. 회로의 크기를 줄이기 위해 병렬공진 회로의 커패시터는 인덕터의 내경 속에 삽입하였다. 제작된 필터의 크기는 1.2 mm×1.2 mm이며 2.45 GHz에서 약 0.5 dB의 삽입손실과 -20 dB 이하의 반사손실이 측정되었다.

반사손실의 경우 실제 측정결과가 모의실험 결과에 비해 사용주파수 영역인 2.45 GHz에서 훨씬 양호한 특성을 보였다. 2차 고조파 감쇄특성의 경우 -40 dB 이하의 우수한 특성이 측정되었다. 7 GHz 근처의 pole이 낮은 주파수 쪽으로 이동하여 6 GHz 근처의 감쇄특성은 좋아졌지만 7 GHz 근처의 특성은 다소 나빠졌다. 측정된 결과는 그림 6에 나타나 있다.

발룬(Balun)은 비평형(unbalanced) 신호를 평형(balanced) 신호로 바꾸거나 혹은 반대로 하여 신호의 감도를 개선시키는 역할을 하는 소자이다. 발룬은

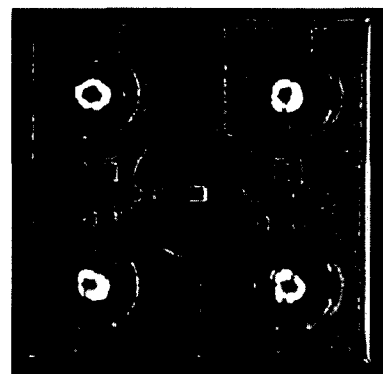


그림 5. 제작된 무선랜용 저역 여파기의 사진(크기: 1.2 mm×1.2 mm)

Fig. 5. The photograph of the fabricated low pass filter for WLAN application(size: 1.2 mm×1.2 mm).

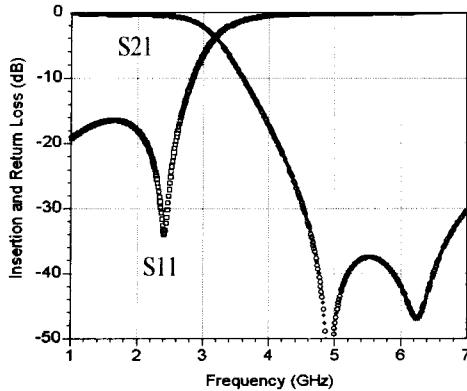


그림 6. 제작된 저역 여파기의 RF 측정결과  
Fig. 6. RF measured results of low pass filter.

전통적으로 동축선이나 전송선로를 이용하여 구현되었지만 집적에 어려움이 있어 반도체 상에 이를 구현할 때는 나선형 트랜스(spiral transformer)를 이용하거나 고역/저역 여파기 형태의 회로를 이용한다 [13],[14]. 본 논문에서는 발룬 제작을 위해 고역/저역 여파기 방식의 회로구성을 활용하여 180도 위상차를 구현하는 방식을 사용하였다.

그림 7은 발룬 설계를 위해 구성한 회로도도를 보여주고 있다. 회로는 T형 고역 여파기와 II형 저역 여파기로 구성되어 있으며 두 개의 필터를 통해 나오는 두 출력은 서로의 위상차가 180도가 된다. 두 개의 필터에 사용된 인덕터와 커패시터는 그 값을 동일한 것을 사용할 수 있도록 설계되었다. L1은 200 um의 내경에 회전수 3.5를 가지는 4.2 nH 인덕터이며 C1은 가로 43 um, 세로 44 um의 1 pF 커패시터이다. 저역 여파기 설계에서와 마찬가지로 여기서도 솔더범핑에 의한 인덕턴스를 고려하였다.

그림 8은 그림 7의 회로를 모의 실험한 결과를 보여주고 있다. 그래프 A의 경우 인덕터의 Q가 100 이상인 이상적인 경우를 가정하였을 때의 결과이고 그래프 B는 인덕터의 실제 모델 값을 삽입하였을 때의 결과 값을 보여주고 있다. 실제 모델 값을 회로에 입력하여 사용할 경우 삽입손실에서 약간의 성능저하가 발생하나 사용주파수 대역인 2.4~2.5 GHz의 영역에서는 그 차이가 상당히 줄어드는 것을 알 수 있다. 이는 제작된 인덕터의 초고주파 특성이 2 GHz 이상에서도 충분한 Q 값을 제공하기 때문이다. 위상 특성의 경우 그림 8에 나타나 있지는 않지만 실제

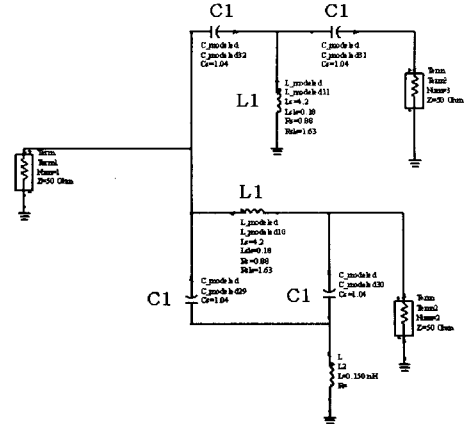


그림 7. 고역/저역 여파기 방식의 무선랜용 발룬 회로도(L1: 4.2 nH, 내경=200 um, 회전수=3.5, C1: 1 pF, 가로 43 um, 세로 44 um)  
Fig. 7. Schematic circuit of high/low-pass balun(L1: 4.2 nH, inner diameter=200 um, turns=3.5, C1: 1 pF, size = 43 um×44 um).

소자 값 입력을 기준으로 보면 2 GHz에서 172도의 위상차를 가지고 2.25 GHz에서 2.55 GHz까지는 179~180도의 위상차를 가지며 3 GHz에서는 174.7도의 위상차를 가진다. 178~180도까지의 위상오차를 보이는 주파수 영역은 2.15~2.7 GHz로 대역폭이 상당히 넓어 제작공정 변화에 대한 회로의 위상 안정성이 충분히 확보되었음을 알 수 있었다.

그림 9는 제작된 발룬의 사진을 보여주고 있다. 6개의 솔더범핑이 사용되었고 입력 1개, 출력 2개, 접

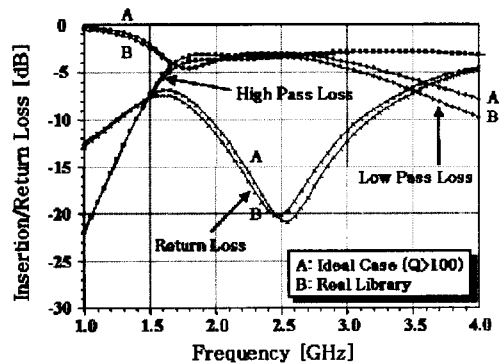


그림 8. 고역/저역 여파기 방식 발룬 회로 모의실험 결과(A: Q>100인 이상적인 경우의 결과값, B: 실제 모델을 회로에 입력한 경우의 결과값)  
Fig. 8. Simulation results of high/low-pass balun(A: ideal case(Q>100), B: real library case).

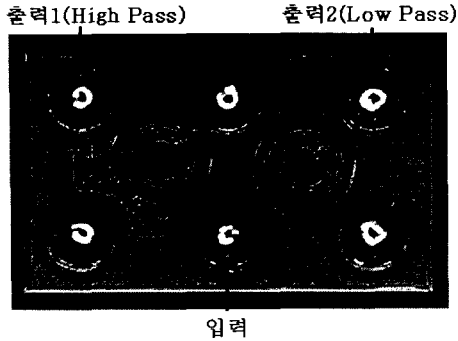


그림 9. 제작된 고역/저역 여파기 형태 발룬 사진(크기: 1.2 mm×1.85 mm)

Fig. 9. The photograph of high/low-pass balun(size: 1.2 mm×1.85 mm).

지 3개로 구성되어 있다. 중심주파수 2.45 GHz, 대역폭 100 MHz로 설계된 발룬 칩의 크기는 1.2 mm×1.85 mm이다. S 파라미터 측정으로부터 얻어진 발룬의 삽입손실은 0.5 dB이고 반사손실은 약 -15 dB 이었다. 중심주파수에서 고역통과 출력단자와 저역통과 출력단자간의 위상 차이는 182도였고 출력단자간의 삽입손실 균형(amplitude balance)과 위상균형(phase balance)은 2.4~2.5 GHz 영역에서 각각 0.3 dB와 3도 이내로 구현되었다. 따라서 제작된 발룬은 세라믹 기판 상에 구현된 기존 발룬의 1 dB, 10도에 비해 월등한 단자간 균형특성을 보여 주었다. 이러

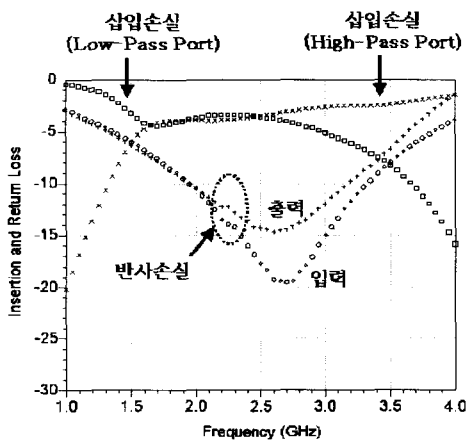


그림 10. 제작된 고역/저역 여파기 형태의 발룬 측정 결과(삽입손실: 0.5 dB, 위상차: 182도)

Fig. 10. Measurement results of high/low-pass balun (insertion loss: 0.5 dB, output phase difference: 182 degrees).

한 특성은 반도체의 정밀한 공정을 통해 달성되었고 반도체 공정 특성상 충분한 재연성이 확보되었다. 발룬의 측정결과는 그림 10에 나타나 있다.

#### IV. 결 론

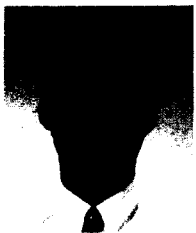
본 논문에서는 지금까지 RF 대역에서 고성능을 내는 저가격 실리콘 수동 집적회로 기술과 그 기술로 구현된 수동회로에 대해 언급하였다. 고성능 수동 집적회로는 25 um의 두꺼운 산화막을 사용한 기판손실 억제, 저유전율 BCB를 사용한 금속간 기생 커패시턴스 억제, 전기 전도도가 우수한 10 um 두께의 구리배선을 이용한 전도손실 억제를 통해 달성되었다. 제작된 2.7 nH 인덕터는 GHz 영역에서 30 이상의 품질계수를 보였고 2.45 GHz 저역 여파기는 0.5 dB 이하의 삽입손실을 보였다. 또한 고역/저역 여파기 형태의 2.45 GHz 발룬은 소형이면서도 0.5 dB라는 우수한 삽입손실 특성을 보였으며 세라믹 기판 상에 제작된 기존 발룬 회로보다 훨씬 안정된 위상특성이 얻어졌다. 현재 많은 분야에서 다중대역, 다기능성을 구현하기 위해 많은 시도가 있는 상황에서 본 연구를 통해 구현된 수동소자의 반도체 집적방식은 이러한 고집적화 요구에 대한 대안을 마련할 수 있을 것이라 기대된다.

#### 참 고 문 헌

- [1] A. Sutono, D. Heo, Y. -J. Emery Chen and J. Laskar, "High Q LTCC-based passive library for wireless system-on-package(SOP) module development", *IEEE Trans. Microwave Theory and Techniques*, vol. 49, no. 10, pp. 1715-1724, Oct. 2001.
- [2] G. Carchon, K. Vaesen, S. Brebels, W. De Raedt, E. Beybe and B. Nauwelaers, "Multilayer thin-film MCM-D for the integration of high-performance RF and microwave circuits", *IEEE Trans. Components, Packaging and Manufacturing Technology*, vol. 24, no. 3, pp. 510-519, Sep. 2001.
- [3] B. K. Kim, B. K. Ko and K. Lee, "Monolithic planar inductor and waveguide substrate on silicon with performance comparable to those in GaAs MMIC", *IEDM Tech. Digest*, pp. 717-720, 1995.

- [4] Choong-Mo Nam, Young-Se Kwon, "High performance planar inductor on oxidized porous silicon (OPS) substrate", *IEEE Microwave Guided Wave Letters*, vol. 7, no. 8, pp. 236-238, Aug. 1997.
- [5] Dong-Wook Kim, In-Ho Jeong, Ho-Sung Sung, Tong-Ook Kong, Jong-Soo Lee, Choong-Mo Nam and Young-Se Kwon, "High performance RF passive integration on Si smart substrate", *2002 IEEE International Microwave Symposium*, pp. 1561-1564, Jun. 2002.
- [6] Robert H. Cavely, Scott Smith, Jianguang Hu and Robert Nichols, "CMOS RF circuits for integrated wireless systems", *IEEE MTT-S International Microwave Sym. Digest*, pp. 1851-1854, 1988.
- [7] A. Abidi, "CMOS-only RF and baseband circuits for a Monolithic 900 MHz wireless transceivers", *Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology*, pp. 35-42, 1996.
- [8] C. Takahashi, R. Fujimoto, S. Arai, T. Itakura, T. Ueno, H. Tsurumi, H. Tanimoto, S. Watanabe and K. Hirakawa, "1.9 GHz Si direct conversion receiver IC for QPSK modulation systems", *IEEE ISSCC Dig. Tech. Papers*, pp. 138-139, 1995.
- [9] R. Lucero, A. Pavio, D. Penunuri and J. Bost, "Design of an LTCC integrated tri-band direct conversion receiver front-end module", *2002 IEEE International Microwave Symposium*, pp. 1545-1548, Jun. 2002.
- [10] S. Pinel, S. Chakraborty, M. Roelling, R. Kunze, S. Mandal, H. Liang, C.-H. Lee, R. Li, K. Lim, G. White, M. Tentzeris and J. Laskar, "3D integrated LTCC module using uBGA technology for compact C-band RF front-end module", *2002 IEEE International Microwave Symposium*, pp. 1553-1556, Jun. 2002.
- [11] Min Park, Seonghearn Lee, Hyun Kyu Yu, Jin Gun Koo and Kee Soo Nam, "High Q CMOS-compatible microwave inductors using double-metal interconnection silicon technology", *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 2, pp. 45-47, Feb. 1997.
- [12] *TriQuint: GaAs Foundry Manual*.
- [13] Yeong J. Yoon, Yicheng Lu, Robert C. Frye and Peter R. Smith, "Modeling of monolithic RF spiral transmission-line balun", *IEEE Trans. Microwave Theory and Techniques*, vol. 49, no. 2, pp. 393-395, Feb. 2001.
- [14] Hwann-Kaeo Chiou, Hao-Hsiung Lin and Chi-Yang Chang, "Lumped-element compensated high/low pass balun design for MMIC double-balanced mixer", *IEEE Microwave Guided Wave Letters*, vol. 7, no. 8, pp. 248-250, Aug. 1997.

김 동 욱



1990년 2월: 한양대학교 전자통신 공학과 (공학사)  
 1992년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
 1996년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)  
 1991년 8월~2000년 5월: LG종합

기술원 선임연구원

2000년 6월~2002년 8월: (주)텔레포스 수석연구원  
 2002년 9월~현재: 에스원 기술연구소 응용기술팀 팀장  
 [주 관심분야] 초고주파 회로 및 시스템, 마이크로파 및 밀리미터파 집적회로

정 인 호



1995년 2월: 경북대학교 전자공학과 (공학사)  
 1997년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
 2001년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)  
 2001년 8월~현재: (주)텔레포스 책

임연구원

[주 관심분야] RF MEMS 및 수동 집적회로