
R4SDF/R4SDC Hybrid 구조를 이용한 메모리 효율적인 2k/8k FFT/IFFT 프로세서 설계

신 경욱*

A Design of Memory-efficient 2k/8k FFT/IFFT Processor
using R4SDF/R4SDC Hybrid Structure

Kyung-Wook Shin*

이 논문은 2002년도 금오공과대학교 학술연구비 지원으로 이루어 졌음

요 약

OFDM 방식의 DVB-T 수신기에서 다수 반송파의 변·복조를 수행하는 8192점/2048점 FFT/IFFT 프로세서(CFFT8k2k)를 설계하였다. 8192점 FFT와 같이 변환 크기가 큰 경우에는 매우 큰 용량의 메모리가 필요하므로, 메모리 효율적인 설계가 중요하다. 본 논문에서는 R4SDC (Radix-4 Single-path Delay Commutator)와 R4SDF (Radix-4 Single-path Delay Feedback)를 혼합한 Hybrid 구조를 적용함으로써 R4SDC 단일 구조에 비해 약 20%의 메모리를 줄였으며, 2단계 수렴 블록 부동점 스케일링 기법을 적용함으로써 기존의 CBFP 방식에 비해 약 24%의 메모리를 감소시켰다. 이와 같은 메모리 효율적인 설계를 통해, 기존 방식의 약 57%의 메모리만으로 구현되었으며, 칩 면적과 전력소모가 크게 감소되었다. CFFT8k2k 코어는 Verilog-HDL로 설계되었으며, 102,000여 개의 게이트, 292k 비트의 RAM, 그리고 39k 비트의 ROM으로 구현되었다. 0.25- μm CMOS 라이브러리로 합성된 게이트 레벨 netlist와 SDF를 이용한 타이밍 시뮬레이션 결과, 2.5-V 전원전압에서 50-MHz로 안전하게 동작함을 확인하였으며, 8192점 FFT/IFFT 연산에 164- μs 가 소요되어 DVB-T 사양을 만족하는 것으로 평가되었다. 설계된 CFFT8k2k 코어는 FPGA로 구현하여 정상 동작함을 확인하였으며, 8192점 FFT의 평균 SQNR은 약 60-dB로 분석되었다.

ABSTRACT

This paper describes a design of 8192/2048-point FFT/IFFT processor (CFFT8k2k), which performs multi-carrier modulation/demodulation in OFDM-based DVB-T receiver. Since a large size FFT requires a large buffer memory, two design techniques are considered to achieve memory-efficient implementation of 8192-point FFT/IFFT. A hybrid structure, which is composed of radix-4 single-path delay feedback (R4SDF) and radix-4 single-path delay commutator (R4SDC), reduces its memory by 20% compared to R4SDC structure. In addition, a memory reduction of about 24% is achieved by a novel two-step convergent block floating-point scaling. As a result, it requires only 57% of memory used in conventional design, reducing chip area and power consumption. The CFFT8k2k core is designed in Verilog-HDL, and has about 102,000 gates, RAM of 292k bits, and ROM of 39k bits. Using gate-level netlist with SDF which is synthesized using a 0.25- μm CMOS library, timing simulations show that it can safely operate with 50-MHz clock at 2.5-V supply, resulting that a 8192-point FFT/IFFT can be computed every 164- μs . The functionality of the core is fully verified by FPGA implementation, and the average SQNR of 60-dB is achieved.

키워드

FFT/IFFT, OFDM, DVB-T, CBFP

* 금오공과대학교 전자공학부 교수

접수일자 : 2004. 2. 19

1. 서론

직교 주파수 분할 다중화 (Orthogonal Frequency Division Multiplexing; OFDM) 시스템은 상호 직교성을 갖는 다수의 부 반송파에 데이터를 실어 전송하는 변조방식으로서, 주파수 이용 효율이 높고 다중경로 간섭과 주파수 선택적 페이딩에 강해 고속 디지털 통신 및 디지털 방송의 전송방식으로 많이 사용되고 있다. 디지털 오디오 방송 (Digital Audio Broadcasting; DAB)과 지상파 디지털 텔레비전 방송 (Digital Video Broadcasting-Terrestrial; DVB-T)의 전송표준으로 OFDM 방식이 사용되고 있으며, IEEE 802.11a 무선 LAN, IEEE 802.16 광대역 무선접속 표준 등에서도 OFDM 방식이 채택되고 있다[1-3].

OFDM 시스템의 송신단에서 다수 반송파에 데이터를 실는 변조과정은 역 푸리에 변환에 의해 처리되며, 반대로 수신단에서 다수 반송파에 의해 전송된 데이터를 복원하는 복조과정은 푸리에 변환에 의해 처리된다. 따라서 푸리에 변환의 고속 연산 알고리즘인 FFT/IFFT는 OFDM 모델을 구성하는 핵심 블록으로 사용되며, 최근 디지털 유·무선 통신 및 디지털 방송의 실용화에 따라 고속/저전력 FFT/IFFT 프로세서의 중요성이 높아지고 있다.

일반적으로, OFDM 시스템용 FFT/IFFT 프로세서의 설계를 위해서는 다음과 같은 사항들을 고려해야 한다. 첫째, FFT/IFFT 길이는 OFDM 심벌을 구성하는 부 반송파의 수에 의해 결정되며, 연산시간은 OFDM 시스템에서 정의된 유효 심벌 기간에 의해 결정된다. 예를 들어, 4개의 전송 모드를 사용하는 유럽의 DAB 시스템에서는 256점, 512점, 1,024점, 2,048점 FFT/IFFT를 선택적으로 연산할 수 있는 프로세서가 필요하며, 2,048점 FFT가 246- μ s 이내에 처리되어야 한다. 한편, 1,075개 또는 6,817개의 부 반송파를 사용하여 두 개의 전송 모드를 갖는 DVB-T 시스템에서는 2,048점과 8,192점을 선택적으로 연산할 수 있는 FFT/IFFT 프로세서가 필요하며, 8,192점 FFT가 896- μ s 이내에 처리되어야 한다[4].

둘째, IFFT/FFT는 OFDM의 부 반송파 변조/복조를 수행하는 핵심 부분이므로, FFT/IFFT의

연산 정밀도는 OFDM 시스템의 성능에 직접적인 영향을 미치게 된다. FFT/IFFT의 연산 정밀성은 입·출력 데이터와 회전인자 값의 비트 수, 내부 데이터의 비트 수와 내부 스케일링 방식 등에 의해 영향을 받으며, 내부 비트 수와 회전인자 값의 비트 수는 칩 면적과 전력소모에도 직접적인 영향을 미치게 되므로 신중한 결정이 필요하다. 본 논문에서는 고정점 시뮬레이션을 통해 이들 비트 수를 결정하였으며, 수렴 블록 부동점 (Convergent Block Floating Point; CBFP) 스케일링[5]의 구현을 통해 높은 연산 정밀성을 실현하였다.

셋째, DVB-T와 같이 대량의 데이터를 실시간으로 처리해야 하는 응용분야에서는 고성능 FFT/IFFT 전용 하드웨어의 사용이 필수적이며, 요구되는 연산성능, 칩 면적, 전력소모 등을 고려하여 아키텍처를 결정해야 한다. 특히, 8,192점 FFT와 같이 변환의 길이가 큰 경우에는 매우 큰 용량의 메모리가 필요하므로, 메모리 크기를 최소화할 수 있는 설계 최적화가 필요하다.

넷째, DFT의 분해방식과 회전인자의 대칭성에 따라 다양한 형태의 FFT 알고리즘이 존재하며, 크게 나누어 radix-2, radix-4, radix-8과 같은 고정 radix 알고리즘과 radix-2/4, radix-2/8, radix-2/4/8 등과 같은 혼합 radix 알고리즘으로 구분된다. 고정 radix 알고리즘은 연산구조가 규칙적이어서 VLSI 구현에 적합하다는 장점은 있지만, 혼합 radix 알고리즘에 비해 많은 연산량을 갖는다. 반면에, 혼합 radix 알고리즘은 연산량은 작으나 연산구조의 불규칙성에 의해 파이프라인 하드웨어의 구현이 용이하지 않다. 본 논문에서는 연산 복잡도가 작고 연산의 규칙성도 우수하여 파이프라인 하드웨어 구현에 적합한 radix-4 DIF FFT 알고리즘을 선택하였다.

본 논문에서는 DVB-T 표준을 만족하는 8192점/2048점 FFT/IFFT 프로세서 (CFFT8k2k)를 설계하였으며, 아키텍처 레벨의 최적화와 효율적인 CBFP 스케일링의 구현을 통해 메모리 사용량을 크게 줄임과 동시에 높은 연산 정밀도를 실현하였다. 논문의 II장에서는 FFT 알고리즘과 아키텍처에 대해 소개하고, 메모리 사용량에 대한 분석을 토대로 메모리 효율적인 구현 방안을 제안한

다. III장에서는 설계된 CFFT8k2k 코어의 아키텍처 및 회로설계를 기술하고, IV장에서는 설계검증과 성능평가를 기술하였으며, V장에서 결론을 제시하였다.

II. FFT 알고리즘 및 아키텍처

2.1. FFT 알고리즘

데이터 x_n 에 대한 N 점 이산 푸리에 변환 (Discrete Fourier Transform; DFT)은 식(1)과 같이 정의된다[6].

$$X_k = \sum_{n=0}^{N-1} x_n \cdot W_N^{nk} \quad (1)$$

단, $W_N^{nk} = e^{-j\frac{2\pi}{N}nk}$, $k = 0, 1, 2, \dots, N-1$

FFT (Fast Fourier Transform)는 식(1)의 연산량을 줄인 고속 연산 알고리즘을 총칭하며, DFT의 분해방식과 회전인자 W_N^{nk} 의 대칭성, 주기성에 따라 Cooley-Turkey FFT, Winograd FFT, prime factor, constant geometry FFT 등 매우 다양한 알고리즘이 제안되고 있다[6]. FFT 알고리즘은 radix-2, radix-4와 같은 고정 radix 알고리즘과 혼합 radix 알고리즘으로 구분된다. Split-radix FFT[7], radix-2/8 FFT[8], radix-2/4/8 FFT[8] 등의 혼합 radix 알고리즘들은 고정 radix 알고리즘에 비해 연산량은 작지만, 연산의 규칙성이 떨어져 파이프라인 하드웨어의 구현이 용이하지 않은 것으로 평가되고 있다. FFT 알고리즘의 radix는 나비연산의 병렬성을 나타내며, 연산 stage 수, 나비 연산기의 복잡도, 나비연산을 위한 데이터 shuffling 등에 영향을 미친다. Radix- r N -점 FFT는 $\log_r N$ 연산 stage로 구성되며, 나비 연산기는 r -점 DFT를 계산한다. 따라서, r 이 클수록 연산 stage 수와 나비연산 회로의 수는 감소하나, 나비 연산기는 복잡해진다.

FFT 알고리즘들은 각기 고유의 연산 구조와

연산량을 가지며, 이들은 연산시간, 칩 면적, 그리고 전력소모 등에 직접적인 영향을 미친다. 따라서, 고속/저전력 FFT 프로세서의 구현을 위해서는 연산량과 연산 흐름의 규칙성이 함께 고려되어야 한다. 본 논문에서는 효율적인 파이프라인 하드웨어 구현을 위해 연산의 규칙성이 우수한 radix-4 FFT를 채택하였으며, 8,192점 FFT가 6개의 radix-4 연산 stage와 1개의 radix-2 연산 stage로 처리되도록 하였다. 한편, FFT는 시간축음 (Decimation In Time; DIT) 방식과 주파수축음 (Decimation In Frequency; DIF) 방식으로 구현될 수 있으며, 이는 회전인자 곱셈과 나비 연산의 순서, 신호 흐름도 모양, 입·출력 데이터의 순서 등에 영향을 미친다. 본 논문에서는 CBFP 스케일링의 효과적인 적용을 위해 나비연산 후에 회전인자 곱셈이 이루어지는 DIF 방식을 채택하였다.

2.2. FFT 아키텍처

FFT의 구현 방식은 범용 디지털 신호처리 프로세서를 이용한 구현과 전용 하드웨어를 이용한 구현으로 구분할 수 있다. 전자의 방법은 알고리즘이나 FFT 길이의 변경이 용이하여 융통성은 좋으나, DVB-T 수신기와 같이 대량의 데이터를 실시간으로 처리해야하는 분야에는 적합하지 않다. 전용 하드웨어의 경우에는 시스토크 배열 (systolic array) 구조, 파이프라인 구조, 그리고 column FFT 구조 등 다양한 하드웨어 아키텍처로 구현될 수 있다. 시스토크 배열은 나비 연산기와 복소수 곱셈기로 구성되는 처리요소를 1차원 또는 2차원 배열로 만들어 FFT를 고속으로 연산하는 구조이며, 처리요소의 수가 FFT 길이 N 에 비례하므로, N 이 큰 경우에는 하드웨어 복잡도가 커져 구현상의 어려움이 있다. column FFT 구조는 FFT 신호 흐름도의 각 연산 stage를 하드웨어로 매핑하여 병렬처리 하는 구조이며, 연산 stage 사이에 동일한 데이터 흐름 구조를 갖는 constant geometry FFT 알고리즘의 구현에 적합하다.

파이프라인 FFT 구조는 각 연산 stage에 하나 또는 그 이상의 나비 연산기를 할당하고 연산 stage들을 파이프라인 방식으로 동작시키는 구조

이다. 이 방식은 다른 구조에 비해 비교적 적은 하드웨어로 높은 처리율을 얻을 수 있고 순차적인 입·출력을 제공하므로 고속 연산이 요구되는 분야에 많이 사용된다. 파이프라인 FFT 구조는 지연 메모리의 구현방식에 따라 delay feedback (DF) 방식과 delay commutator (DC) 방식으로 구분되며, FFT 알고리즘의 radix와 병렬성에 따라 R2MDC, R2SDF, R2SDC, R4MDC, R4SDF, R4SDC, R22SDC 등 다양한 형태로 구현이 가능하다[9]. DF 구조는 적은 메모리를 필요로 하나, 나비 연산기의 이용 효율이 작고 CBFP 스케일링의 구현 용이하지 않다. 반면에, DC 구조는 DF 구조에 비해 많은 메모리를 필요로 하지만 나비 연산기의 이용 효율이 높고 CBFP 스케일링의 구현이 용이하다는 장점을 갖는다.

본 논문에서는 나비 연산기의 이용 효율이 높고, 데이터 흐름 구조가 단순하여 CBFP 스케일링의 구현이 용이한 파이프라인 방식의 R4SDC 구조를 기본 아키텍처로 사용하였으며, 메모리 용량의 최소화를 위해 다음과 같은 두 가지 설계 최적화를 적용하였다. 첫째, R4SDC 구조의 연산 stage 별 메모리 크기에 대한 분석을 통하여 메모리 효율적인 hybrid 구조를 도출하였다. 표 1은 R4SDC 구조를 사용하는 8,192점 FFT 프로세서의 메모리 사용량을 분석한 것이다. stage1에서 전체 메모리의 약 70%가 사용되므로 메모리 크기를 줄이기 위해서는 stage1에 대한 최적화가 필요함을 알 수 있다. 본 논문에서는 stage1에 R4SDF 구조를 사용하는 hybrid 방식으로 설계하였으며, 이를 통해 약 100 kbits의 메모리를 감소시켰다.

표 1. R4SDC 구조를 사용한 8,192점 FFT 프로세서의 메모리 사용량

Table 1. Memory budget for 8,192-point FFT processor based on R4SDC structure (Input data: 10 bits, Internal data: 14 bits)

stage1	stage2	stage3	stage4	stage5	stage6	Total [bits]
245,760 (68.2%)	86,016 (23.9%)	21,504 (6.0%)	5,376 (1.5%)	1,344 (0.4%)	-	360,000 (100%)

둘째, CBFP 스케일링의 효율적인 구현을 통해 메모리를 감소시켰다. CBFP 스케일링은 각 연산

stage 출력의 최대값을 기준으로 데이터를 스케일링하여 내부 비트 수를 제한하는 방법이며, 이를 위해 각 stage의 블록 크기에 비례하는 버퍼 메모리를 필요로 한다. 8,192점 FFT에 CBFP 스케일링을 직접 구현하여 28비트의 중간결과 값을 14비트로 스케일링하는 경우, 약 152 kbits의 메모리가 필요한 것으로 분석되었다. 본 논문에서는 버퍼 메모리를 사용하지 않는 2단계 CBFP (Two-Step CBFP; TS_CBFP) 방법을 고안하여 적용함으로써 약 30 kbits의 메모리만을 사용하여 CBFP 스케일링이 구현되도록 하였다. 표 2는 8,192점 FFT 프로세서의 구현 방식에 따른 메모리 사용량을 나타낸 것이며, R4SDC 구조에 CBFP 스케일링을 적용했을 경우에 512,320 비트의 메모리가 필요한 반면에, R4SDF/R4SDC hybrid 구조와 TS_CBFP 스케일링을 적용하여 설계된 본 논문의 FFT 프로세서는 291,616 비트의 메모리만을 사용하므로 전자의 경우에 비해 약 43%의 메모리 감소가 얻어졌다.

표 2. 8,192점 FFT 프로세서의 메모리 사용량 비교
Table 2. Comparison of memory for 8,192-point FFT processor implementations (Input data: 10 bits, Internal data: 14 bits)

Implementations	R4SDC		R4SDF/R4SDC Hybrid	
	CBFP	TS_CBFP	CBFP	TS_CBFP
Memory [bits]	512,320 (1.0)	389,920 (0.76)	414,016 (0.81)	291,616 (0.57)

III. 8192점/2048점 FFT/IFFT 코어 설계

3.1. 아키텍처 개요

R4SDF/R4SDC hybrid 구조를 적용하여 설계된 8192점/2048점 파이프라인 FFT/IFFT 프로세서 코어 (CFFT8k2k)의 내부 구조는 그림 1과 같으며, 6개의 radix-4 연산 stage와 1개의 radix-2 연산 stage로 구성된다. 내부 비트 수는 고정점 시뮬레이션을 통해 결정하였으며, 입력 데이터는 10 비트, 회전인자 값과 CBFP 스케일링 후의 내부

데이터는 14비트, 최종 출력은 16비트로 결정하였다.

stage1은 CBFP 스케일링을 갖지 않는 R4SDF 구조이며, stage2~stage6은 TS_CBFP 스케일링을 갖는 R4SDC 구조이고, stage7은 R2SDC 구조와 CBFP 디코더로 구성된다. 8k/2k 모드선택 신호에 의해 8192점 FFT와 2048점 FFT가 선택적으로 수행되며, 2k 모드가 선택되면 stage2는 바이패스 된다. 입력단과 출력단의 선택기는 동작 모드 신호에 의해 FFT와 IFFT가 선택적으로 수행되도록 하며, CBFP 디코더는 stage7까지 누적된 CBFP 지수와 외부에서 인가되는 출력이득신호(osf)의 차에 의해 최종 FFT/IFFT 출력을 역스케일링하는 기능을 수행한다.

그림 2는 CFFT8k2k 코어의 동작 타이밍 도이다. 초기에 리셋신호(rst)가 인가된 후, 코어의 초기상태 설정을 위한 cle 신호가 인가되면 FFT/IFFT를 결정하는 ifft 신호 (ifft=0이면 FFT, ifft=1이면 IFFT)와 출력 이득조정을 위한 3비트의 osf 신호가 로드된다. 데이터 입력이 시작되면 첫 번째 데이터가 입력되었음을 알리는 dis 신호가 외부로 출력되며, 그로부터 8,904 클럭 주기의 latency를 지나 FFT/IFFT 결과가 출력되기 시작하며, 데이터 출력이 시작되었음을 알리는 dos 신호가 외부로 출력된다.

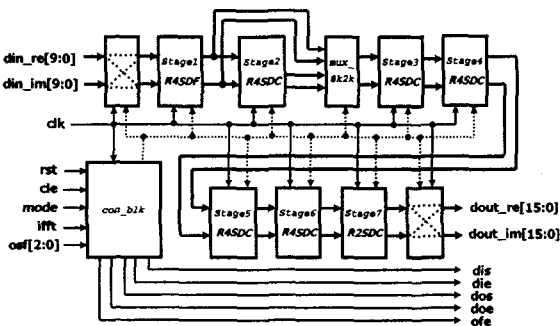


그림 1. 8192점/2048점 FFT/IFFT 프로세서의 구조
Fig. 1. Architecture of 8192-/2048-point FFT/IFFT processor

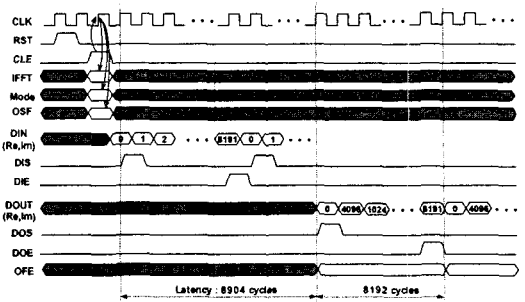
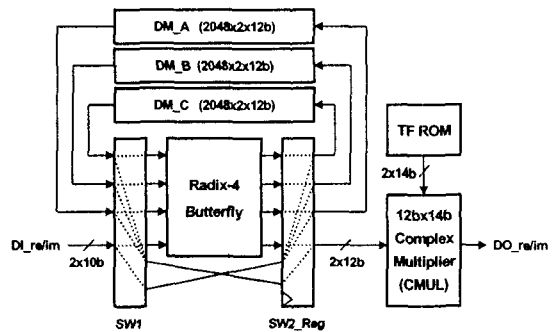


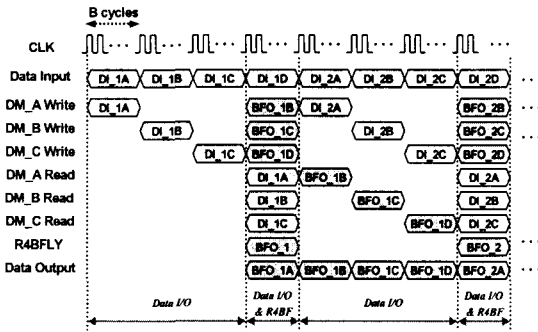
그림 2. CFFT8k2k 코어의 동작 타이밍 도 (8k 모드)
Fig. 2. Timing diagram of CFFT8k2k core (8k mode)

3.2. R4SDF 연산 stage

Stage1은 블록의 크기가 2,048로 가장 크므로 매우 큰 버퍼 메모리를 필요로 하며, CBFP 스케일링을 갖지 않는다. 본 논문에서는 2.2절에서 언급된 바와 같이, R4SDF 구조를 사용함으로써 R4SDC 구조에 비해 약 절반의 메모리로 구현되도록 하였다. R4SDF stage는 그림 3-(a)와 같이 세 개의 지연 메모리 블록, radix-4 나비 연산기, 복소수 곱셈기, 그리고 회전인자 ROM으로 구성된다. 지연 메모리는 radix-4 나비연산에 사용될 입력 데이터의 임시 저장과 함께 나비 연산기의 출력 중 일부를 임시 저장하는 기능을 수행한다. radix-4 나비 연산기는 16개의 가산/감산기를 사용하여 구현되었다.



(a) Block diagram



(b) Timing diagram

그림 3. R4SDF stage의 구조 및 동작 타이밍 도
Fig. 3. Block diagram and timing diagram of R4SDF stage

R4SDF stage의 동작 타이밍 도는 그림 3-(b)와 같으며, 그림에서 B 는 블록의 크기를 나타낸다. 본 논문의 설계에서는 radix-4 FFT를 사용하므로, 8,192점 FFT의 경우 블록 크기는 2,048이고, 2,048점 FFT의 경우에는 512이다. 처음 B 사이클 동안 입력 데이터는 지연 메모리 A (DM_A)에 저장되며, 그 다음 B 사이클 동안은 지연 메모리 B (DM_B)에, 그 다음 B 사이클 동안은 지연 메모리 C (DM_C)에 각각 저장된다. 네 번째 B 사이클 동안 입력되는 데이터는 세 개의 지연 메모리에 저장된 데이터와 짝을 이루어 나비 연산기로 입력되어 radix-4 나비연산이 수행된다. 나비 연산기의 출력 중 하나는 연산 stage2로 출력되고, 나머지 세 개는 지연 메모리에 저장된다. 그 다음 B 사이클 동안에는 지연 메모리 DM_A에 저장되었던 나비연산 결과가 순차적으로 stage2로 출력됨과 동시에 새로운 데이터가 입력되어 DM_A에 저장된다. 동일한 과정이 다음 B 사이클 동안 DM_B에서, 그리고 다음 B 사이클 동안 DM_C에서 이루어진다. 그림 3-(b)의 타이밍 도에서 볼 수 있듯이, 나비 연산기는 전체 기간 중 1/4 동안만 동작하고 나머지 3/4 동안에는 데이터 입·출력 동작만 일어난다.

3.3. CBFP 스케일링을 갖는 R4SDC 연산 stage

그림 1의 전체 아키텍처에서 stage2부터 stage6

까지는 TS_CBFP 스케일링을 갖는 R4SDC이며, 그림 4와 같이 CBFP 예비 스케일러 (Pre-scaler), 스케일링 보정 지연 변환기 (Scaling correction & Delay commutator), radix-4 나비 연산기, 복소수 곱셈기, 회전인자 ROM 등으로 구성된다. CBFP 예비 스케일러와 스케일링 보정 지연 변환기는 이전 stage의 복소수 승산기에서 출력되는 28비트 중간 결과를 데이터 블록내의 가장 큰 데이터를 기준으로 14비트로 스케일링함으로써 연산오차를 최소화하는 기능을 수행한다.

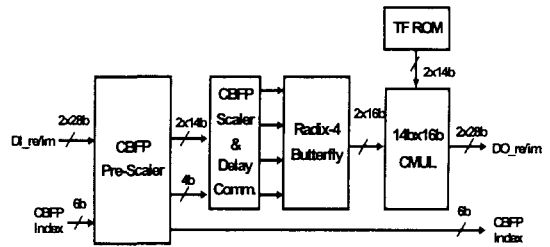


그림 4. TS_CBFP 스케일링을 갖는 R4SDC 연산단계
Fig. 4. R4SDC stage with TS_CBFP scaling

CBFP 스케일링은 고정점 연산을 사용하는 파이프라인 FFT 프로세서의 연산 정밀도 향상을 위해 사용되며, 데이터 블록내의 가장 큰 값을 기준으로 데이터를 스케일링한다. 따라서, 연산 stage의 블록 크기에 비례하는 버퍼 메모리가 필요하며, 8192점 FFT와 같이 블록 크기가 큰 경우에는 버퍼 메모리에 의한 칩 면적의 증가가 매우 크다. 본 논문에서는 CBFP 스케일링을 위해 별도의 버퍼 메모리를 사용하지 않는 TS_CBFP 스케일링 방법은 고안하여 적용함으로써 종래의 CBFP 방식에 비해 메모리 용량을 크게 감소시켰다.

그림 5는 CBFP 예비 스케일링 처리부의 상세도이며, 이전 연산 stage에서 입력되는 28비트의 데이터로부터 NLB를 찾은 후 해당 데이터의 PSI를 결정하는 CNT_CMP 블록, PSI를 이용하여 28비트의 데이터를 14비트로 예비 스케일링하는 Pre-scaler, 그리고 데이터 및 BSI 레지스터와 CBFP 계수 누적기 등으로 구성된다. 그림에서 보는 바와 같이 별도의 버퍼 메모리 없이 CBFP 스케일링을 처리한다는 장점을 갖는다.

TS_CBFP 스케일링 방법의 기본 원리는 다음

과 같다. CBFP 예비 스케일러에 입력되는 28비트 데이터의 실수부와 허수부에서 부호비트와 동일하면서 연속된 '0' 또는 '1'의 개수 즉, NLB (Number of Leading Bits)를 찾아 이를 PSI (Pre-Scaling Index) 레지스터에 저장된 값과 비교하여 작은 값으로 레지스터를 갱신한다. 한편, 각 데이터의 실수부와 허수부는 PSI에 의해 12비트로 예비 스케일링된 후 해당 PSI 값과 함께 지연 변환기에 저장한다. 데이터 블록내의 모든 데이터에 대해 이와 같은 예비 스케일링이 완료되면 해당 데이터 블록의 BSI (Block Scaling Index) 값이 결정되고, 지연 변환기 메모리에 저장된 데이터는 해당 PSI 값과 BSI 값의 차이만큼 스케일링 보정된 후, 나비 연산기로 입력된다.

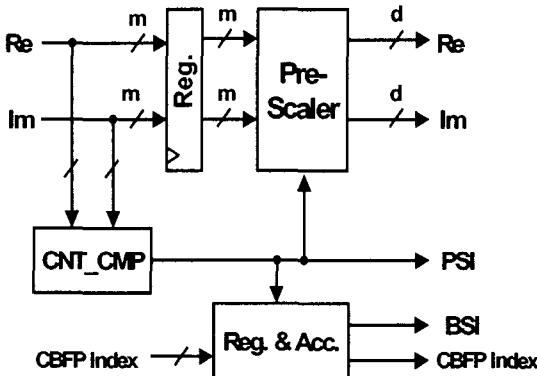


그림 5. CBFP 예비 스케일러
Fig. 5. CBFP Pre-scaler

Stage1~stage6에서 데이터와 회전인자의 곱셈을 연산하는 복소수 승산기는 연산시간, 칩 면적, 전력소모 등의 측면에서 전체 성능에 큰 영향을 미치는 부분이다. 설계된 FFT 코어에는 6개의 복소수 승산기가 사용되며, 16비트 데이터와 14비트의 회전인자를 곱셈하여 28비트의 결과를 출력한다. 사용된 복소수 승산기는 4개의 실수 승산기를 사용하는 고전적인 방법 대신에 RB (Redundant Binary) 수치계와 Booth 알고리즘을 혼합한 방식과 개선된 Booth 인코딩/디코딩 방식을 적용함으로써 기존의 방식에 비해 고속/고집적/저전력의 특성을 갖는다. 14비트×16비트 복소수 승산기는 8,565개의 게이트로 구현되었다. 회전인자 값은

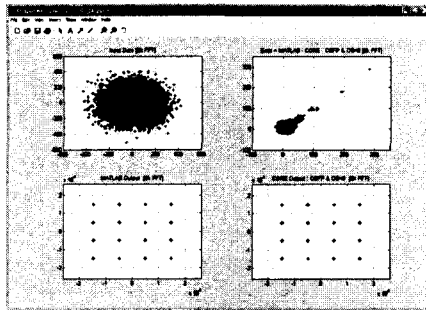
sine 파형과 cosine 파형의 1/8 주기만을 ROM에 저장한 후, ROM의 읽기 주소를 제어하여 각 연산단계에서 필요한 회전인자 값이 생성되도록 하였다.

IV. 설계검증 및 성능분석

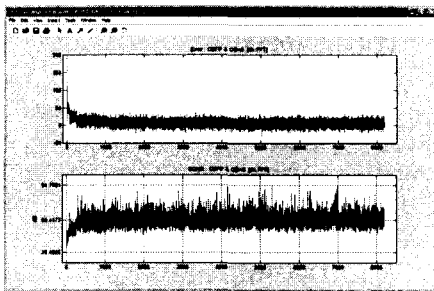
설계된 CFFT8k2k 코어는 Verilog-HDL로 모델링 되었으며, ModelSim과 Matlab을 사용하여 논리검증과 성능평가를 수행하였다. 시뮬레이션을 위한 입력 데이터는 이진 랜덤 신호를 생성하고 이를 16-QAM 변조한 후, 부동소수점 연산을 갖는 ideal IFFT와 이득 조절을 거쳐 10비트로 양자화 하여 생성하였다.

그림 6-(a)는 8k FFT 모드의 시뮬레이션 결과 (출력이득이 8 인 경우) 이다. 시뮬레이션에 사용된 입력 데이터는 좌측 상단의 성상도와 같으며, 좌측 하단의 성상도는 MATLAB에서 얻어진 이상적 FFT 출력 (즉, 부동소수점 FFT 연산 결과) 이고, 우측 하단의 성상도는 설계된 CFFT8k2k 코어에서 얻어진 FFT 출력이다. MATLAB의 부동소수점 연산 결과와 CFFT8k2k 코어의 고정소수점 연산 결과 사이의 오차는 우측 상단의 성상도와 같이 매우 작은 범위이며, 따라서 설계된 CFFT8k2k 코어의 연산 정확도가 매우 우수함을 볼 수 있다. FFT 프로세서의 연산 정확도는 SQNR 분석을 통해서도 확인할 수 있으며, 그림 6-(b)는 FFT 출력의 연산오차와 SQNR 특성을 부반송파 주파수 별로 보인 것이다. 8,192점 FFT의 평균 SQNR은 약 60-dB로 분석되었으며, 전체 주파수 영역에서 우수한 SQNR 특성을 나타내고 있어 다수의 부반송파에 데이터를 실어 전송하는 OFDM 시스템에 매우 적합한 것으로 평가된다.

CFFT8k2k 코어는 출력의 이득을 조절할 수 있도록 설계되었으며, 그림 7은 출력이득에 따른 FFT 연산오차의 성상도로 나타낸 것이다. 출력이득을 증가시킬수록 연산오차가 작아짐을 볼 수 있으며, 이는 FFT 출력의 SQNR이 향상되는 효과로 나타난다.



(a) constellations



(b) error and SQNR

그림 6. CFFFT8k2k 코어의 성능 평가

Fig. 6. Performance evaluation of CFFFT8k2k core (8k FFT mode with OS=8)

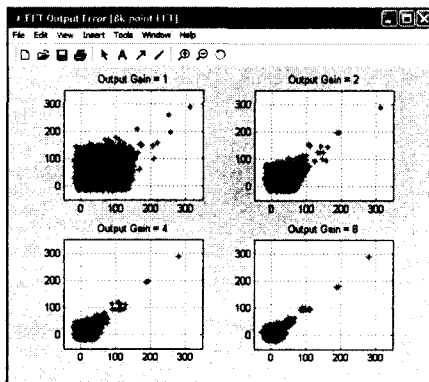


그림 7. 출력이득에 따른 연산오차 감소

Fig. 7 Error reduction due to output gain (8k FFT mode)

그림 8은 CFFFT8k2k 코어의 출력이득에 따른 SQNR 특성을 분석한 결과이다. 출력이득이 1인 경우, 8k 모드에서는 44-dB, 2k 모드에서는 50-dB의 SQNR이 얻어져 CBFP 스케일링을 적용하지 않는 경우의 37.7-dB에 비해 6-dB ~

12-dB의 SQNR 향상이 얻어졌다. 출력이득을 8로 설정하는 경우, 8k와 2k 모드에서 모두 60-dB 이상의 SQNR이 얻어졌다.

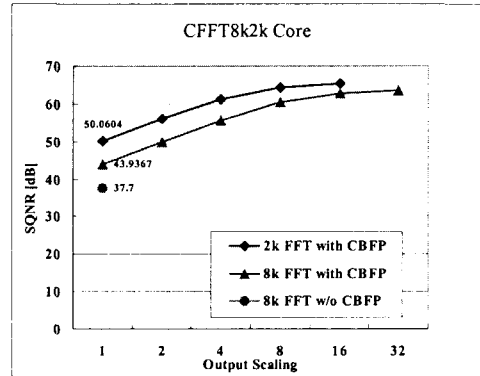


그림 8. 출력이득에 따른 SQNR 특성

Fig. 8. SQNR vs. output scaling characteristics

설계된 CFFFT8k2k 코어를 0.25- μ m CMOS 셀 라이브러리로 합성한 결과, 약 102,000 게이트와 292k 비트의 RAM, 그리고 39k 비트의 ROM으로 구현되었다. R4SDF/R4SDC hybrid 구조와 TS_CBFP 스케일링을 적용하여 설계된 CFFFT 8k2k 프로세서는 R4SDC 단일구조에 CBFP를 구현한 경우에 비해 약 43%의 메모리 감소가 얻어져 칩 면적과 전력소모를 크게 감소시켰다.

0.25- μ m CMOS 라이브러리로 합성된 게이트 레벨 netlist와 SDF를 이용한 타이밍 시뮬레이션 결과, 최대 지연시간은 약 13-ns로 나타났으며, 레이아웃 후의 배선에 의한 지연을 고려하더라도 2.5-V 전원전압에서 50-MHz 클럭으로 안전하게 동작 가능할 것으로 예측되었다. 8,192점 FFT/IFFT 연산에 164- μ s, 2,048점 FFT/IFFT 연산에 41- μ s가 소요되어 유럽형 DVB-T 시스템의 사양을 만족하는 것으로 평가되었다. 설계된 CFFFT8k2k 코어는 8k 모드에서 8,904 cycles, 2k 모드에서 2,244 cycles의 latency를 갖는다.

CFFFT8k2k 코어는 그림 9와 같이 FPGA 보드에 구현하여 모든 기능이 정상 동작함을 확인하였으며, 우수한 SQNR 특성을 나타내어 다수 반송파 변조 시스템의 사양을 충분히 만족하는 것으로 평가되었다.

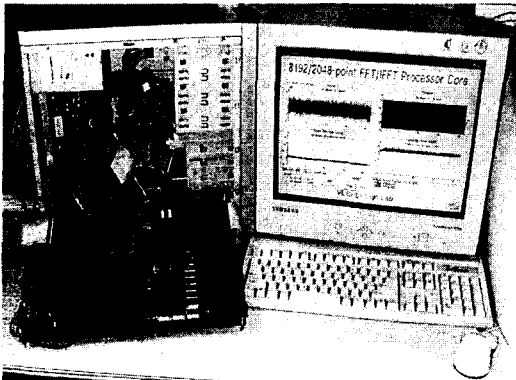


그림 9. FPGA 구현을 통한 CFFT8k2k 코어의 검증
 Fig. 9. Verification of CFFT8k2k core using FPGA implementation

V. 결론

본 논문에서는 DVB-T 수신기의 OFDM 변·복조에 사용될 수 있는 8192점/2048점 FFT/IFFT 프로세서를 설계하였다. DVB-T와 같이 대량의 데이터를 실시간으로 처리해야 하는 응용분야에서는 고성능 전용 하드웨어의 사용이 필수적이며, 연산성능, 연산 정밀도, 칩 면적, 전력소모 등을 종합적으로 고려하여 설계해야 한다. 특히, 8,192 점 FFT와 같이 변환의 길이가 큰 경우에는 매우 큰 용량의 메모리가 필요하므로, 메모리 크기를 최소화할 수 있는 설계 최적화가 필요하다. 메모리 효율적인 구현을 위해 R4SDF/R4SDC hybrid 구조와 TS_CBFP 스케일링 방법을 고안하여 적용하였으며, 이를 통해 기존의 방식에 비해 약 43%의 메모리를 절약하였다. 설계된 CFFT8k2k 코어는 약 102,000 게이트와 292k 비트의 RAM으로 구현되었으며, 8192점 FFT/IFFT가 164- μ s에 연산되며 8192점 FFT의 평균 SQNR은 약 60-dB로 분석되었다. 설계된 FFT/IFFT 코어는 DVB-T 수신기의 SOC (System-On-Chip) 설계에 사용될 수 있을 것이다.

참고 문헌

[1] 조용수, 무선 멀티미디어 통신을 위한 OF-

DM 기초, 대영사, 2001.

[2] T. de Couasnon, R. Monnier, and J.B. Rault, "OFDM for digital TV broadcasting", *Signal Processing*, vol. 39, pp. 1-39, Jan., 1994.

[3] IEEE 802.11a/D7.0, "Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High speed physical layer in the 5GHz band", ISO/IEC 8802-11:1999/Amd 1:2000(E), 1999.

[4] "Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television", ETSI EN 300 744 V1.2.1, 1999.

[5] E. Bidet, C. Joanblanq, and P. Senn, "A fast single chip implementation of 8192 complex points FFT", *IEEE 1994 Custom Integrated Circuits Conference*, pp. 207-210, 1994.

[6] E.O. Brigham, *The Fast Fourier Transform and Its Application*, Prentice Hall, 1998.

[7] P. Duhamel and H. Hollman, "Split radix FFT algorithm", *Electronic Lett.*, vol. 20, no. 1, pp. 14-16, Jan., 1984.

[8] L. Jia, Y. Gao, J. Isoaho and H. Tenhunen, "A new VLSI-oriented FFT algorithm and implementation", *Proceedings of 1998 IEEE International ASIC Conference*, pp. 337-341, 1998.

[9] S. He and M. Torkelson, "Design and implementation of a 1024-point pipelined FFT processor", *IEEE 1998 Custom Integrated Circuits Conference*, pp. 131-134, 1998.

감사의 글

반도체설계교육센터(IDECE)의 CAD Tool 지원에 감사드립니다.

저자 소개



신경욱(Kyung-Wook Shin)

1984년 2월 한국항공대학교 전자
공학과 공학사

1986년 2월 연세대학교 대학원
전자공학과 공학석사

1990년 8월 연세대학교 대학원 전자공학과 공학박사

1990년 9월~1991년 6월 한국전자통신연구소

1995. 8월~1996. 7 Univ. of Illinois at UC 방문연구

2003. 1월~2004. 2 Univ. of California at San Diego
방문연구

1991년 7월~현재 금오공과대학교 전자공학부 교수

※ 관심분야 : 통신 및 신호처리용 SOC 설계, 암호
프로세서 설계, 반도체 IP 설계