

지문인식센서용 회로설계

준회원 남진문*, 정승민*, 정회원 이문기*

A Circuit Design of Fingerprint Authentication Sensor

Jin Moon Nam*, Seung Min Jung* *Associated Members*,
Moon Key Lee* *Regular Member*

요약

반도체 방식의 용량형 지문인식센서의 신호처리를 위한 개선된 회로를 설계하였다. 최 상위 센서플레이트가 지문의 굴곡을 감지한 용량의 변화를 전압의 신호로 전환하기위해서 전하분할 방식의 회로를 적용하였다. 지문센서 감도저하의 가장 큰 원인인 센서플레이트에 존재하는 기생용량을 최소화 하고 융선(ridge)과 계곡(valley) 사이의 전압차를 향상시키기 위하여 기준과는 다른 아날로그비퍼회로를 설계하였다. 센서전압과 기준전압 신호를 비교하기 위해서 비교기를 설계하였다. 제안된 신호처리회로는 0.3um 표준 CMOS 공정으로 레이아웃을 실시하였다.

ABSTRACT

This paper proposes an advanced circuit for fingerprint sensor signal processing. We increased the voltage between ridge and valley by modifying the parasitic capacitance eliminating circuit of sensor plate. The analog comparator was designed for comparing the sensor signal voltage with the reference signal voltage. 1-Pixel Fingerprint sensor circuit was designed and simulated, and the layout was performed.

Key Words : Fingerprint sensor, Capacitive type, Circuit, Parasitic capacitance

1. 서론

용량형의 지문센서의 원리는 센서부분인 최 상위 금속판과 지문의 굴곡인 융선(ridge)와 계곡(valley)가 passivation을 사이에 두고 존재하는 용량 값의 차이를 전압 혹은 전류로 변환하여 기준신호와의 크기를 비교하여 이진화된 신호로 만들어 이미지화한 다음 적절한 지문이미지처리 알고리즘을 거쳐 본인여부를 판별하도록 일련의 처리가 반도체 SoC로 구현된다. 용량형 지문센서는 그림 1에서와 같이 감도저하의 가장 큰 원인인 기생용량을 제거하고 초기 이미지데이터 처리를 위한 회로가 최상위 메탈 플레이트 하부에 구현되어야한다. 따라서 회로의 성능뿐만 아니라 레이아웃 면적을 고려한 회로 설

계가 이루어 져야 한다. 성능만을 고려하여 회로의 규모가 커질 경우 센서 플레이트 면적이 커지게 되면 결국 전체 지문이미지의 해상도가 나빠져 지문센서의 감도에 결정적 영향을 주게 된다. 결국 신호처리회로는 센서 플레이트의 면적을 최소화 하면서도 효율적으로 신호처리가 가능하도록 최적화된 설계가 이루어 져야 한다.

용량형 지문센서에서는 센서플레이트 하부에 존재하는 기생용량을 효과적으로 제거하기 위한 여러 가지 조치가 필요하며 지금까지는 센서의 구조적 변경 및 반도체공정과정, 물질 등을 조절하는 방법을 이용하였으나 이는 여러 가지 면에서 효율적이지 못하다. 표준 CMOS공정을 그대로 이용하면서, 센서의 감도 특성을 그대로 유지하기위해서는 회로

* 연세대학교 전기전자공학과 VLSI & CAD 연구실(namjmc@hanmir.com)
논문번호 : 030335-0804, 접수일자 : 2003년 8월 4일

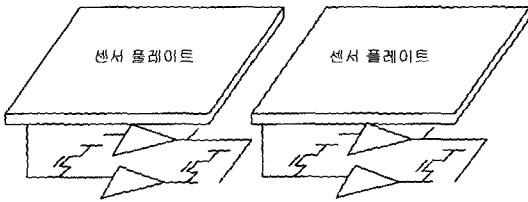


그림 1. 용량형 지문센서의 구조

Fig 1. Capacitive type fingerprint structure

적으로 기생용량의 영향을 제거하는 방법이 효율적이다. 용량형 지문센서에 대한 칩 구현은 여러 차례 이루어져 왔고 기생용량을 제거하고 미약한 센서신호를 처리하기 위한 방식에 있어서도 다양한데, 용량형 지문센서에 대한 미약한 센서신호를 처리하기 위한 방식에 있어서, 피드백 용량 감지 (feedback capacitive sensing) 방식, 샘플-홀드 (sample and hold) 방식, 전하전달(charge transfer) 방식, 전하분할방식 등이 구현된 바 있다 [1][2][3][4]. 본 논문에서는 여러 방식 중에서도 기생용량제거를 위한 효과적인 회로를 적용하기 위해서 charge sharing 방식의 지문센서 신호처리회로를 구현하였다.

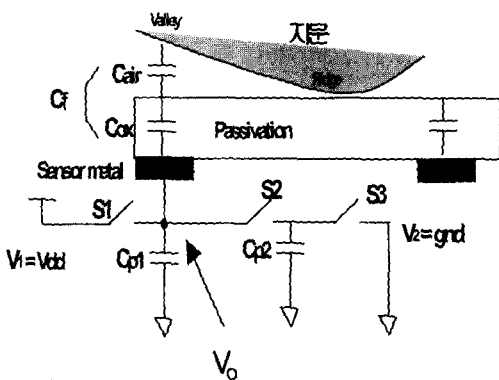


그림 2. 전하분할방식의 용량형의 지문센서구조
Fig. 2. Capacitive type fingerprint sensor of a charge-sharing sensing scheme.

그림 2에서와 같이 전하분할 회로를 적용한 capacitive type의 지문센서 구현에 있어서 센서부분인 최상위 금속판에 존재하는 기생용량 C_{p1} , C_{p2} 는 식 1에서와 같이 용선(ridge)와 계곡(valley) 간의 전압차이를 감소시켜 기준전압의 동작범위에 제한을 주고 전체적으로 지문센서의 감도저하에 결

정적 요인이 된다.[1]. 특히 센서 플레이트 하부에 존재하는 기생용량 C_{p1} 의 영향이 용선(ridge)과 계곡(valley) 간의 전압차이를 감소시키는데 큰 영향을 주고 있음을 식 2를 통하여 알 수 있다. 그림 2에서 센서의 출력 전압

$$V_o = \frac{(C_{p1} + C_f) * V_{dd}}{(C_{p1} + C_{p2} + C_f)} \quad (식 1)$$

와 같고, Evaluation 후 용선과 계곡 간의 전압차,

$$V_{ridge} - V_{valley} = \frac{(C_{p2} * C_{ox}) * V_{dd}}{(C_{p1} + C_{p2})^2 + (C_{p1} + C_{p2}) * C_{ox}} \quad (식 2)$$

(통상적으로, $C_{p1} \gg C_{p2}$)

와 같다.

본 논문에서는, 기존의 charge sharing 방식에 적용된 일부 회로를 변경하여 기생용량을 제거함은 물론 센서신호처리부에서 가장 중요한 요소인 용선(ridge)과 계곡(valley) 간의 전압차이 값을 항상시키고, 아울러 트랜지스터 수를 줄여 layout 면적감소 효과를 얻고자 한다. 또한 기준전압과 용선(ridge)와 계곡(valley) 각 전압을 비교한 뒤 디지털 출력을 만들기 위해서 고성능의 아날로그 comparator를 설계하였다. 최종적으로 0.35마이크론 공정 파라미터와 디자인규칙을 이용하여 지문센서회로의 설계 및 검증을 하였고 레이아웃을 실시하였다.

II. 지문인식센서 신호처리회로 설계

전하분할 방식을 이용한 지문센서의 신호처리에 있어서 기생 용량을 제거하기 위한 기본 개념은 그림 4에서와 같이 아날로그버퍼를 이용하여 C_{p1} 의 양단의 전압차를 0에 근접하게 유지함으로써 센서 플레이트 하부의 기생 용량값, C_{p1} 의 영향을 효과적으로 제거할 수 있도록 한 것이다^[1]. 따라서 evaluation 동작 모드에서 센서 플레이트의 전압의 변화가 C_{p1} 하부의 플레이트에 빠르고 최소의 오차범위로 전달될 수 있도록 하기 위해서는 아날로그 버퍼의 역할이 중요하다. 통상적으로 아날로그 버퍼는 그림 3에서와 같이 연산증폭기의 출력단을 마이너스단자로 피드백시켜 구현한다.

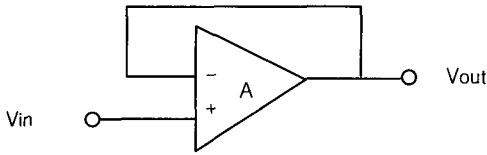


그림 3. 아날로그버퍼
Fig 3. Analog buffer

아날로그버퍼의 출력 전압,

$V_{out} = (A / (1+A)) * V_{in}$ 이므로 그림 3에 의하면 연산증폭기의 직류이득 A가 클수록 입출력 전압 간의 차이가 적어져 이상적이 버퍼로서 동작할 수 있다. 또한 연산증폭기의 슬루레이트(SR)가 커야 입력 전압의 변화를 출력단자에 빠르게 전달할 수 있음을 알 수 있다. 하지만 서론에서 언급한 바와 같이 센서플레이트의 면적을 최소화해야 하므로 통상적인 고성능의 연산증폭기를 적용하는 것은 곤란하다.

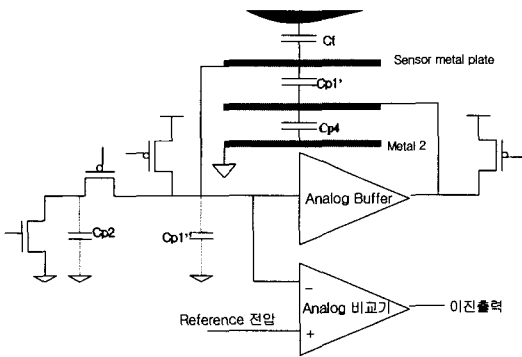


그림 4. 지문인식센서 신호처리회로도
Fig. 4. Fingerprint sensor signal processing circuit.

그림 5에 기존에 적용된 6 트랜지스터 구조의 단위 이득 버퍼를 나타내었다. 이 회로의 특징은 PMOS 입력 단을 사용하고 있으며, 소스플로워(source follower)인 트랜지스터 M6을 추가하여 M3과 M4의 동작을 강 반전 영역으로 이동시킴으로서 precharge 이후의 evaluation-동작모드에서 단위 이득 버퍼 입력 단의 전압강하에 대하여 출력단의 전압을 빠른 속도로 끌어내리는 효과를 얻을 수 있었다.[1] 하지만 M3과 M4는 여전히 포화영역에서 동작하지 못하고 반전(inversion) 영역에서 동작하므로 버퍼의 출력변화를 빠르게 끌어내려 Cp1' 양단의 전위차를 0으로

유지하는데 한계가 있고 결국, 용선과 계곡 사이의 전압차를 증가시키는데 한계가 있다. 따라서 본 논문에서는 그림 6와 같은 5 트랜지스터 구조의 아날로그버퍼를 새롭게 설계하였다.

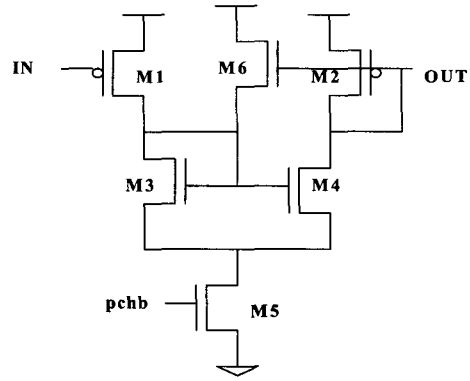


그림 5. 기존 아날로그 버퍼
Fig. 5. Old Analog buffer.

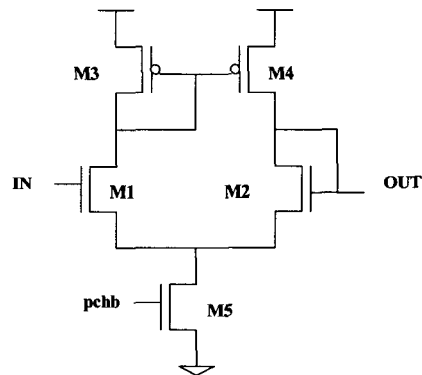


그림 6. 제안된 단위 이득 버퍼
Fig. 6. Proposed unit-gain buffer.

제안된 단위 이득 버퍼는 기존과 달리 NMOS 입력 단을 사용하고 있어 precharge 구간동안 버퍼의 입출력단인 M1과 M2가 포화영역에서 동작을 하므로 별도의 소스플로워(source follower)와 같은 트랜지스터 추가 없이도 기존의 단위 이득 버퍼에서보다 입력단의 전압강하에 대하여 출력 단 전압을 더욱 빠르게 강화시킬 수 있는 것이다.

본 논문에서는 이러한 효과를 확인하기 위하여 우선, 0.35μm 표준 CMOS 공정 디자인 규칙을 이용하여 그림 7 에서와 같이 센서 하나의 픽셀에 대한 최적화된 레이아웃을 실시하여 기생 성분을 추출한 결과 기생 용량인 Cp1'' 과 Cp2 가 4.3fF을, Cp1' 이



그림 7. 센서 1-픽셀 레이아웃(60µm x 60µm in 0.35 µm process)
Fig. 7. Sensor 1-pixel layout.

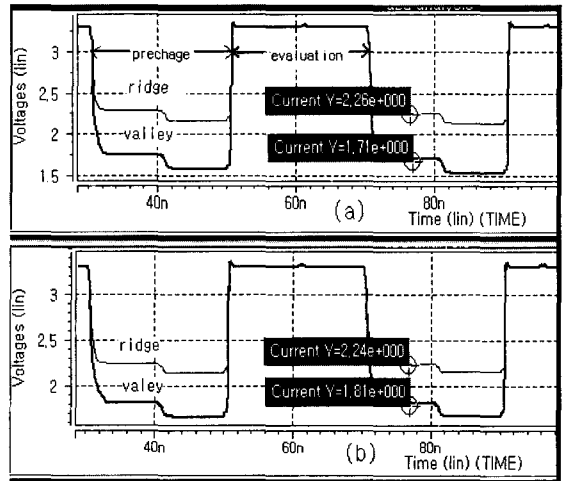
86fF를 각각 얻을 수 있었다. 용선에서의 센서 플레이트와 지문간의 용량은 passivation 용량인 Cox와 동일하므로 센서플레이트 면적과 passivation 두께를 고려한 결과 43fF를, 계곡에서의 센서 플레이트와 지문간의 용량은 0.1fF를 적용하였다. 또한 기존 단위 이득 버퍼와 제안된 아날로그버퍼의 동등한 비교를 위하여 양쪽회로의 NMOS는 2.5µm, PMOS는 5µm를 일괄 적용하여 동작을 시뮬레이션 하였다. 먼저 두 회로에 대한 특성분석 시뮬레이션 결과 표 1의 결과로 나타났으며 예상했던 바와 같이 직류이득(DC gain)과 슬루레이트(slew rate)에서 향상된 결과를 보였다. 따라서 제안된 단위 이득 버퍼회로는 기존에 비하여 입력신호의 전압강하를 출력 쪽에서 빠르게 나타나게 할 수 있음을 예측할 수 있었다.

표 1. 제안된 단위 이득 버퍼와 기존의 단위 이득 버퍼 성능분석표 (0.35µm 공정, typical 조건)
Table 1. Performance comparison of old and proposed unit-gain buffer

	DC Gain	Gain Band Width	Slew Rate	Phase Margin	MOS TR 수
제안된회로	8.24	131M-Hz	440kV/s	96 Deg.	5
기존회로	7	125M-Hz	280kV/s	97 Deg.	6

추출된 파라미터를 적용하여 단위 이득 버퍼를 포함한 센서회로를 구현하여 HSPICE로 시뮬레이션한 결과, 센서 출력인 C_{pl} , C_{pl} 양단 전압 V_o 의 용선

과 계곡간의 전압 차는 그림 8에서와 같이 0.35µm 공정의 3.3V typical 파라미터를 적용한 경우 기존 430mV에서 550mV로 향상되어 약 28% 향상됨을 알 수 있었다. 이는 기존 전압의 동작영역이 향상됨을 의미한다. 레이아웃 측면에서는, 센서 플레이트 하부의 한정된 면적에 신호처리회로를 레이아웃 해야 하므로 센서플레이트 면적감소도 기대된다.



(a) 제안된 버퍼회로결과 (b) 기존 버퍼회로결과
(a) Proposed buffer result (b) Old buffer result

그림 8. 센서출력 (Vo) 비교결과(0.35µm 공정, typical 조건)

Fig. 8. Comparison result of sensor output voltage(V_o).

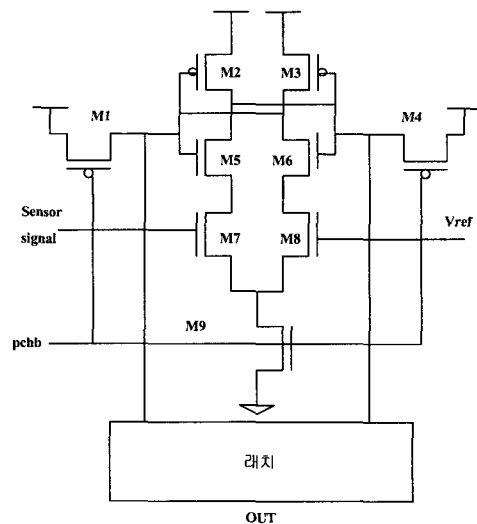


그림 9. 비교기
Fig. 9. Comparator.

기생 용량 제거회로를 거쳐 만들어진 신호는 그림 9에서와 같이 본 논문에서 설계된 아날로그 비교기를 통해 용선과 계곡 사이의 중간 전압인 기준전압과의 비교를 통하여 이진 화 된 신호로 만들어 진다. 그림 10에서는 아날로그버퍼와 비교기를 포함한 지문센서 1-픽셀의 신호처리결과를 나타내었다. 160x192 픽셀 어레이에 대한 critical path 회로를 0.35 μ m 공정을 이용하여 모델링 한 뒤 시뮬레이션을 실시하였다. 본 논문에서 제안된 새로운 회로를 적용함으로써 더욱 넓어진 용선과 계곡 간의 전압 사이에 기준전압을 설정할 수 있게 되었다. 처리결과 용선에서는 logic "1"의 결과가 계곡에서는 logic "0"의 결과가 정확히 나타나고 있다.

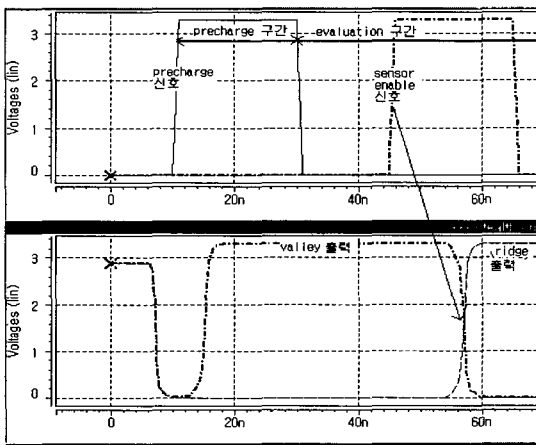


그림 10. 160x192 픽셀 어레이 센서 output(0.35 μ m typical condition)

Fig. 10. 160x192 pixel array sensor output simulation result.

III. 결 론

용량형 지문센서는 감도저하의 가장 큰 원인인 기생용량을 제거하고 초기 이미지데이터 처리를 위한 신호처리 회로가 최 상위 메탈 플레이트 하부에 구현되어야한다. 따라서 회로의 성능뿐만 아니라 레이아웃 면적을 고려한 회로 설계가 이루어 져야 한다. 성능만을 고려하여 회로의 규모가 커질 경우 센서 플레이트 면적이 커지게 되면 결국 전체 지문 이미지의 해상도가 나빠져 지문센서의 감도에 결정적 영향을 주게 된다. 결국 신호처리회로는 센서 플레이트의 면적을 최소화 하면서도 효율적으로 신호처

리가 가능하도록 최적화된 설계가 이루어 져야 한다.

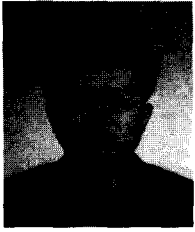
본 논문에서는 용량 형 반도체 지문센서 감도저하의 결정적 요인인 기생 용량을 제거하기위한 개선된 회로를 설계하였다. 기생 용량 제거를 위해서 전하분할 방식을 적용하였으며 기존의 6-트랜지스터 버퍼를 5-트랜지스터 버퍼로 적용함으로써 용선과 계곡사이의 전압 차이를 28% 향상 시켜 기준 전압의 동작범위를 향상 시킬 수 있었다. 센서의 신호는 본 논문에서 설계된 비교기를 통하여 이진 화 이미지 데이터로 출력된다. 설계된 회로는 0.35 μ m 표준 CMOS 공정을 적용하여 레이아웃 하였다. 설계된 회로는 32비트 RISC CPU 내장형 스마트 지문인식 칩으로 확장 개발이 진행 중 이다.

참 고 문 헌

- [1] J. W. Lee, D. J. Min, J. Y. Kim, and W. C. Kim, "A 600-dpi Capacitive Fingerprint 센서 Chip and Image-Synthesis Technique", IEEE J. of Solid- state circuits, vol. 34, No.4, pp469-475, April, 1999.
- [2] H. Morimura, S. Shigematsu and K. Machida, "A High-Resolution Capacitive Fingerprint Sensing Scheme with Charge-Transfer Technique and Automatic Contrast Emphasis", 1999 Symposium on VLSI Circuits Digest of Technical Papers, Feb. 1999. pp157-160.
- [3] D. Inglis et al. "A Robust 1.8V 250usW Direct-Contact 500dpi Fingerprint 센서", ISSCC Digest of Technical Papers, Feb. 1998. pp284-285.
- [4] M. Tartagni and R. Guerrieri, "A Fingerprint 센서 Based on the Feedback Capacitive Sensing Scheme", IEEE J. of Solid-state circuits, vol. 33, pp133-142, Jan. 1998.

남 진 문(Jin Moon Nam)

준회원



1987년 2월 : 경북대학교
전자공학과 공학사
2002년 8월 : 연세대학교
공학대학원 전자계산학과
공학석사
2002년 8월 : 연세대학교
대학원 전자공학과 박사과정
1988년 1월~1995년 3월 :

(주)금성사 선임연구원

2000년 3월~현재 : 용인송담대학 정보통신과
겸임교수.

<주관심분야> 디지털신호처리, Computer
Architecture, ASIC, 반도체센서, 통신시스템 설계

정 승 민(Seung Min Jung)

준회원



1990년 2월 : 연세대학교
전자공학과 공학사
1992년 2월 : 연세대학교
대학원 전자공학과 공학석사
1999년 3월 : 연세대학교
대학원 전자공학과 박사과정
1992년 2월~1997년 8월 :

(주)삼성전자 전임연구원

1997년 9월~1998년 2월 : 에스엠디코리아 선임연
구원

1998년 3월~현재 : 용인송담대학 정보통신과 조교
수.

<주관심분야> 디지털신호처리, VLSI 및 CAD,
ASIC, 반도체센서, 통신시스템 설계>

이 문 기(Moon Key Lee)

정회원

한국통신학회논문지 96-5 Vol. 21 No.5 참고