

개방루프를 이용한 고속 저전력 2스텝 ADC 설계 기법

정희원 박 선 재*, 구 자 현*, 윤 재 윤*, 임 신 일**, 강 성 모***, 김 석 기*

A High-speed & Low power Design Technique for Open Loop 2-step ADC

Sunjae Park*, Jahyun Koo*, Jaeyoun Youn*, Shin-Il Lim**, Sung-Mo Kang***, Suki Kim* *Regular Members*

요 약

본 논문에서는 통신 시스템의 저전력, 고속 동작에 적합한 2단 8비트 500Msamples/s ADC 설계 기법을 제안하였다. 이를 위하여 기존의 2단 변환기에서 사용하는 폐쇄형 구조 대신 개방형 구조를 사용하였고 리셋 스위치를 사용하여 mux-array를 이용한 개방형 구조에서 문제가 되는 기생 캐패시턴스에 의한 정착 시간 지연 문제를 해결하여 고속 동작에 적합하도록 하였다. 또한 아날로그 래치를 제안하여 기존의 정적 동작 대신 동적 동작을 통하여 전력 소모를 줄였다. 위에서 제안한 설계 기법을 이용하여 설계된 ADC는 모의실험 결과 103MHz 입력 신호를 500MHz로 샘플링 할 때 7.6비트의 ENOB을 가지며 1.8V 단일 전원에서 203mW의 전력을 소모한다. 레이아웃은 1-poly 6-metal 0.18um CMOS 공정을 이용하였으며 면적은 760um*800um이다.

Key Words : ADC, Open-Loop Architecture, Analog Latch, Reset switch

ABSTRACT

This paper describes high speed and low power design techniques for an 8-bit 500MSamples/s CMOS 2-step ADC. Instead of the conventional closed-loop architecture, the newly proposed ADC adopts open-loop architecture and uses a reset-switch to reduce loading time in an environment of big parasitic-capacitances of mux-array. An analog-latch is also used to reduce power consumption. Simulation result shows that the ADC has the SNDR of 46.91dB with a input frequency of 103MHz at 500Msamples/s and consumes 203mW with a 1.8V single power supply. The chip is designed with a 0.18um 1-poly 6-metal CMOS technology and occupies active area of 760um*800um.

1. 서 론

ADC는 의료장비 및 디지털 오디오, 디지털 TV, 통신 등의 분야에서 광범위하게 이용되고 있다. 이에 따라 고속, 저전력, 저전압의 ADC 설계가 더욱 중요해 지고 있다. 이러한 시대적 요구에 부응하기 위해서

본 논문에서는 고속 통신 시스템에 적합한 고속의 저전력 8-비트 ADC설계 기법을 제시하였다. 기존의 OP-amp를 이용한 폐쇄형 구조의 2단 ADC는 OP-amp의 동작 주파수 제한 및 capacitor-array의 정착시간 지연 문제 등으로 인해 고속 동작에 제한 요소를 가지고 있다^[4]. 따라서 본 논문에서는 저전

* 고려대학교 전자컴퓨터공학과 ULSI 연구실(sjhingis@hanmail.net)

** 서경대학교 컴퓨터공학과

*** Dept. of Electrical Eng., UCSC

논문번호 : 030557-1215, 접수일자 : 2003년 12월 16일

※ 이 논문은 2002년도 학술진흥재단의 지원에 의하여 연구되었음. (KRF-2002-042-D00103)

력, 고속동작을 위하여 동작 속도를 제한하는 폐쇄형 구조 대신 개방형 구조를 선택하였다. 그리고 mux를 이용한 개방형 구조에서 문제가 되는 mux-array의 parasitic capacitance 성분에 의한 정착 시간 문제^[5]를 reset-switch를 제안하여 고속 동작에 적합하도록 해결하였다. 또한 2단의 증폭기와 mos-capacitor로 구성된 아날로그 래치를 제안하여 아날로그 래치의 두 번째 증폭기를 17개 열 중 MSB에 따른 1/N code를 이용하여 2개만 선택적으로 동작시킴으로써 저전력을 구현하였고 두 증폭기의 부하 저항을 공유함으로써 면적을 줄였다. 마지막으로 비교기의 meta-stability로 인한 버블 에러 보정과 별도의 logic없이 coarse ADC의 thermometer code에서 1/N code변환을 동시에 수행함으로써 하드웨어 부담을 줄이면서 에러보정을 효율적으로 수행하였다.

본 논문의 구성은 2장에서 저전력 고속 동작을 위해 제안한 변환기의 구조와 사용된 아날로그 래치, reset-switch, 버블 에러 보정 등 설계된 변환기의 세부 회로에 대해서 설명하고 있으며 3장은 설계된 ADC의 모의 실험 결과 및 레이아웃 결과로 구성되어 있다. 마지막으로 4장에서는 본 논문에서 제안한 ADC를 요약 정리하며 마무리하고 있다.

II. 제안된 개방형 2-Step ADC

1. 개방형 2-Step ADC의 기본구조

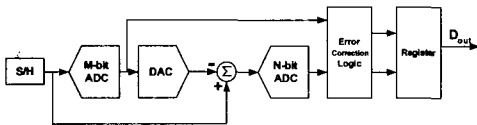


그림 1. 기존의 2단 고속 ADC

기존의 2단 ADC는 그림 1과 같이 OP-amp를 이용한 폐쇄형 구조를 가지고 있다. 그러나 이러한 구조는 고속 동작 시 소모 전력이 커지거나 주파수 특성으로 인한 정착 시간 지연 등의 문제점을 안고 있다. 또한 DAC을 이루고 있는 capacitor-array의 정착 시간 지연을 고려하면 저전력 구현이 매우 어려워진다. 따라서 본 논문에서는 그림 2와 같이 개방형 구조를 이용하여 이러한 고속 동작의 제한 요소들을 해결하였다. 그림 2의 개방형 구조에서는 부귀환이 없는 증폭기를 사용하고 Coarse ADC에서 MSB를 결정한 후 이 정보를 이용하여 신호가 존재하는 근방의 신호들을 몇 개만 선택한다. 이 후

선택된 신호는 다음 단으로 보내어져 인터폴레이션 등을 수행하고 크로싱정보등을 이용하여 LSB 등을 결정하게 된다^{[5][8]}.

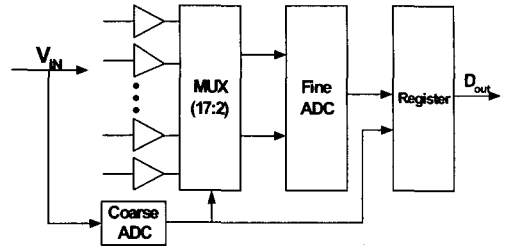


그림 2. 개방형 2-단 ADC

따라서 기존의 폐쇄형 구조처럼 정확한 이득을 갖는 증폭기에 의해 다음 단에서 새로운 아날로그 신호를 만들어 낼 필요가 없으므로 증폭기의 이득이 정확해야 될 필요가 없고 단지 크로싱 정보가 정확하게 전달되도록 선형성만 보장되면 된다. 그리고 입력이 들어온 부분에 해당하는 증폭기의 출력만이 크로싱 정보를 가지고 있으므로 나머지 증폭기들의 출력은 사실상 필요하지 않다. 그림 3은 제안한 ADC의 구체적인 Block diagram을 보여주고 있다. 제안된 변환기는 coarse 와 fine ADC의 개방형 2단 ADC구조를 가지고 있으며 첫 번째 단은 고전적인 4비트 플래쉬 변환기 개념을 사용하였고 두 번째 단에서는 증폭기를 이용한 인터폴레이션을 사용하였다.

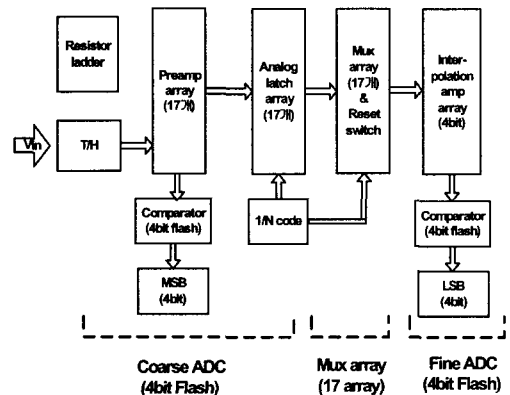


그림 3. 제안된 2단 ADC의 Block diagram

전체 동작 원리는 다음과 같다. 두 단으로 구성된 ADC는 CLK이 High 일 때 coarse-ADC에 의해 MSB 4비트가 결정되고, 결정된 MSB에 1/N code가 발생하게 된다. 그리고 발생한 1/N code를 이용하여 17개의 아날로그 래치 출력 중 실제 정보

가 있는 2개 부분을 mux-array를 통하여 선택적으로 fine ADC에 전달하게 된다. 이와 동시에 비교기의 meta-stability로 인한 버블 에러는 첫 단의 온도계 코드가 1/N code로 변환되면서 보정 되게 된다. 또한 mux-array의 출력들을 reset-switch를 통하여 전달되는 값들의 평균값으로 pre-setting 시킴으로써 CLK이 Low일 때 아날로그 래치가 필요로 하는 mux의 로딩시간을 줄여 주는 동작을 수행한다. 반면 CLK이 Low 일 때는 MSB 4 비트에 의해 발생된 1/N code에 의해 2단으로 구성된 아날로그 래치의 두 번째 증폭기가 실제 정보가 있는 2개의 증폭기만 선택적으로 동작하게 되고 fine ADC에서 앰프를 이용한 인터플레이션을 통해 LSB 4비트를 결정하게 된다. 이 때 각 단에서 정확한 이득을 요구하는 기존의 폐쇄형 구조와는 달리 개방형 구조는 각 단의 이득에 관계없이 신호가 있는 범위를 선택하여 fine ADC에 넘겨주게 된다. 그리고 기존의 정적 동작과는 달리 1/N code를 이용한 동적 컨트롤을 통하여 아날로그 래치의 두 번째 증폭기를 17개 중 2개만 선택적으로 동작시킴으로써 전력 소모를 감소시켰다. 본 논문에서는 이와 같은 설계 기법들을 이용하여 각 단에서 변환된 4비트씩을 더하여 저전력 8-비트 500Msamples/s ADC를 구현하였다.

2. 아날로그 래치

본 논문에서는 그림 4와 같이 2단의 증폭기와 mos-capacitor로 구성된 회로를 제안하였는데 반주기 동안 아날로그 값을 저장한 후 다음 반주기에 저장된 값을 증폭하는 동작 원리에 착안하여 아날로그 래치라 명명하였다. 실제적으로 고속으로 동작하는 개방형 2단 ADC를 구성하기 위해서는 coarse ADC와 fine ADC 사이에 T/H(track and holder)가 필요하게 된다. 이때 coarse단에서 T/H에 값을 전달해 주는 앰프와 fine단에서 T/H의 값을 받아 증폭하는 증폭기가 존재하게 되는데 본 논문에서는 이 기능을 2단의 증폭기와 T/H를 하나의 회로로 집적하여 그림4와 같이 제안하였으며 동작 원리는 다음과 같다. CLK이 High일 때는 첫 단의 모든 증폭기가 동작하면서 증폭된 출력 값을 mos-capacitor에 저장하게 된다. 반면 CLK이 Low일 때는 mos-capacitor에 저장된 값을 가지고 1/N code에 따른 selection 신호에 의해 17개로 이루어진 아날로그 래치의 두 번째 증폭기 열 중 실제 정보를 가지고 있는 두 개만 동작하게 된다.

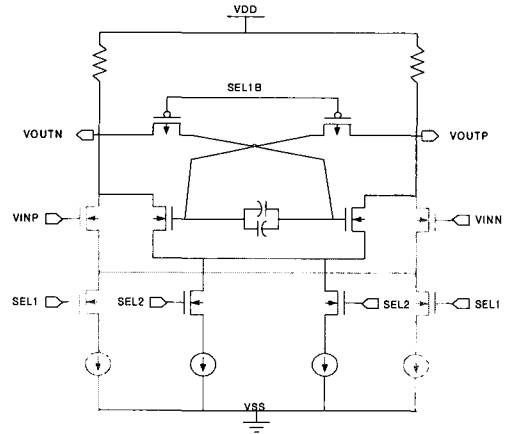


그림 4. 제안된 아날로그 래치

그림 5는 CLK에 따른 아날로그 래치의 amplification & hold phase와 선택된 2개의 증폭기에 의한 amplification only phase의 세부 동작을 나타내고 있는데 본 논문에서는 이러한 1/N code를 통한 동적 동작을 통하여 정적 동작 시 보다 한 주기 당 동작하는 증폭기의 개수를 17개에서 평균 9.5 개(CLK=>High:17개, CLK=>Low:2개)로 줄임으로써 전력 소모를 줄였다. 또한 2단의 증폭기에서 부하 저항을 공유시키고 mos-capacitor를 이용한 T/H를 구현한 후 2개의 증폭기와 T/H를 하나의 회로로 집적함으로써 집적전과 비교했을 때 약30%의 면적을 감소시킬 수 있었다.

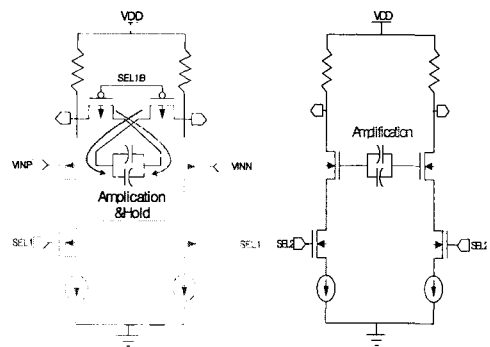


그림 5. 아날로그 래치의 세부 동작
(a) Amplification & Hold phase
(b) 선택된 2개의 Amplification only phase

3. 제안된 reset-switch 사용

Mux를 이용한 개방형 구조에서는 mux-array에 의한 parasitic capacitance의 로딩시간 문제가 고속 동작의 문제점으로 작용하게 된다. 그림 6.은 이를

해결하기 위하여 본 논문에서 사용한 reset-switch를 보여주고 있다.

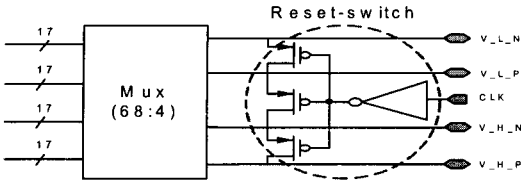


그림 6. 고속동작을 위한 제안된 reset-switch

그림 6에서 볼 수 있듯이 mux-array는 차동으로 진행된 17개 아날로그 래치 신호 중에서 실제 정보가 있는 4개 신호(실제 차동출력을 갖는 17개의 증폭기 중 2개의 증폭기만 선택되므로 4개의 신호가 됨)를 다음 단계 전달하게 된다. 이를 토대로 4개 신호 중 1개의 신호를 전달하는 mux-array를 switch의 저항과 parasitic capacitance를 고려하여 모델링하면 그림 7과 같다.

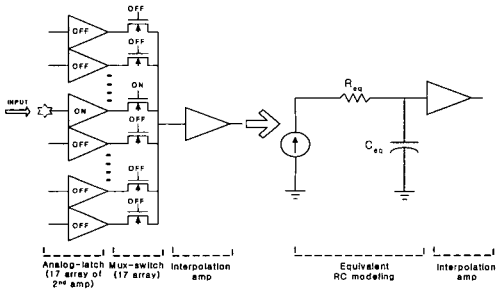


그림 7. Mux-array의 RC modeling

여기에서 모델링을 통한 RC network에서 전달되는 값은 식(1)을 따르게 된다.

$$\Delta V = I / C_{eq} * \Delta t \tag{1}$$

여기서 I는 아날로그 래치의 구동 전류, ΔV 는 인터플레이션 증폭기에 전달되는 전압, Δt 는 전압을 전달하는데 필요한 시간, 그리고 C_{eq} 는 전체 캐패시터 값을 의미한다. 식 (1)에서 보듯이 원하는 전압 값을 전달하기 위해서는 전류를 늘리거나 충분한 전달 시간을 주면 된다. 그러나 이러한 접근 방법은 저전력, 고속 동작을 동시에 만족하는 구현이 불가능하다. 따라서 본 논문에서는 이러한 접근 방법 대신 reset-switch를 사용하였다. 제안된 ADC는 MSB 4비트에 따른 1/N code에 의해 2개의 차동 증폭기를 선택하게 되므로 모두 4개 신호를 선택해 가게 된다. 이 때 1/N code가 바뀔 때마다 4개 신호의 상대적인 위치가 반전되면서 정착될

때까지는 그림 8 (a)와 같이 많은 전달 지연 시간을 요구한다. 따라서 이 문제를 해결하기 위하여 mux-array가 T/H의 track mode(CLK=>High)일 때만 아날로그 래치의 출력을 인터플레이션 증폭기에 전달한다는 점에 착안하여 CLK이 Low일 때 reset-switch를 사용하여 4개 신호를 평균값으로 pre-setting 함으로써 해결하였다. 즉 CLK에 따라 mux-array의 동작을 evaluation mode와 reset mode로 설정함으로써 mux-array가 전달하는 출력 전압 변화를 실제 전달하는 값의 1/2이하로 줄였다. 본 논문에서는 이러한 reset-switch를 이용하여 동일한 시간 동안 mux-array의 최대 전압 변화량을 줄임으로써 필요한 로딩시간을 감소시켜 저전력, 고속 동작에 적합하도록 하였다.

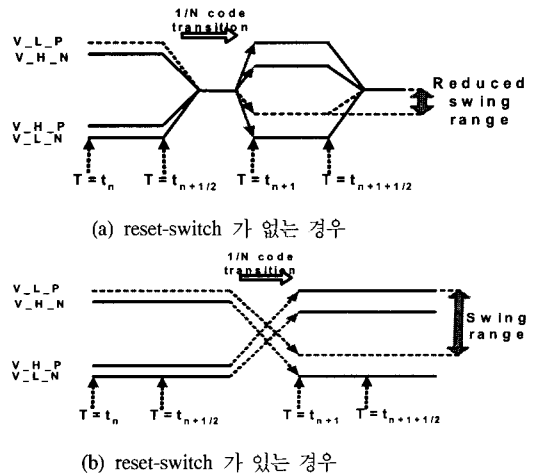


그림 8. 신호 전달의 개념적 흐름도

그림 8은 reset-switch 유무에 따른 신호 전달의 개념적 흐름도를 보여주었고, 그림 9는 reset-switch를 이용한 실제 mux-array의 모의 실험 출력 파형을 보여주었고 있다. 그림 9에서 CLK에 따라 mux-array의 출력이 evaluation mode와 reset mode를 가지면서 필요로 하는 전압 변화량이 실제 전달 값에 비해 감소된 것을 알 수 있다.

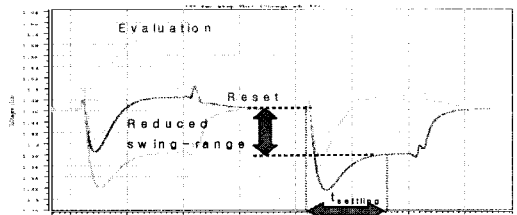
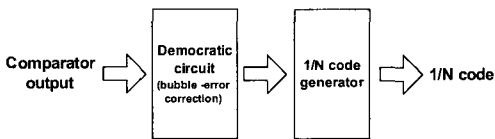


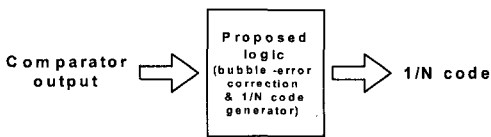
그림 9. Reset-switch를 통한 출력 파형

4. 버블에러 보정

버블에러는 비교기의 meta-stability와 증폭기와 비교기의 랜덤 오프셋, 신호 크기에 따른 진행 지연 시간차에 의해 발생되게 되는데 이러한 버블에러를 보정하기 위하여 기존에는 democratic 회로 또는 butterfly 회로를 사용하였다³⁾. 그러나 본 논문에서는 이러한 별도의 버블에러 보정 회로 없이 thermometer code에서 1/N code로 변환과 동시에 버블 에러 보정을 수행하여 부가적인 회로를 줄이고 단순화하여 지연 시간을 단축시킴으로써 고속 동작에 적합하도록 하였다. 이를 위하여 본 논문에서는 다음과 같은 알고리즘을 사용하였다. 온도계 코드를 밑에서부터 순차적으로 4코드씩 선택하고, 선택된 4코드의 순서가 1000일 때만 그 1의 값을 유지하고 그렇지 않을 경우는 1을 0으로 변환시킨다. 이러한 알고리즘을 사용함으로써 본 논문에서는 thermometer code에서 1/N code로 변환시킴과 동시에 버블 에러 보정을 수행하였다. 그림 10은 기존 기법과 제안한 보정 기법의 개념도를 나타내고 있으며 그림 11은 실제 모의 실험을 통해 제안한 보정 기법이 기존 방식에 비해 125ps 적은 지연 시간을 가짐을 보여주고 있다.



(a) 기존 기법을 이용한 1/N code encoder



(b) 제안된 1/N code encoder
 그림 10. 에러보정 및 1/N code 발생

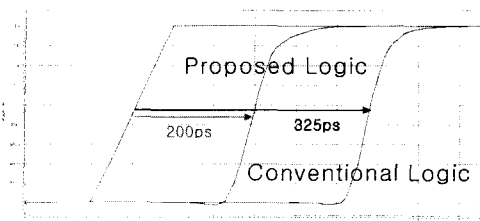


그림 11. 모의 실험을 통한 지연시간 비교

그림 12는 제안한 알고리즘에 의해 thermometer code가 1/N code로 변환됨과 동시에 에러 보정이 되는 것을 보여주고 있으며 그림 13은 실제 사용한 버블에러 보정 회로를 나타내고 있다.

0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	1	0	0	0	1	0
1	1	1	0	1	0	1
0	0	0	0	0	0	0
1	0	1	0	0	0	0
1	1	0	0	0	0	0
1	1	1	0	0	0	0
1	1	1	0	0	0	0

그림 12. Bubble-error Correction

그림 13의 제안된 에러 보정은 4개의 코드가 0001의 순서를 갖을 때만 해당 출력을 1로 되도록 구현하였다.

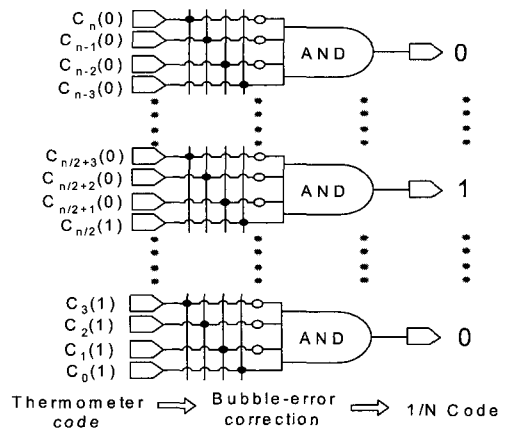


그림 13. 버블 에러 보정 회로

III. 모의실험 & Layout 결과

본 논문에서는 제안한 개방형 구조와 아날로그 래치, reset-switch를 이용하여 고속, 저전력의 8-비트 500Msamples/s ADC를 설계하였으며, 모의 실험 결과는 다음과 같다. 그림14.는 제안한 ADC가 missing code없이 full-code를 발생시키는 것을 보여주고 있다. 그림 15는 구현한 ADC의 입력 주파수 103MHz에서 FFT결과로 7.53비트의 ENOB를 얻을 수 있음을 보여주고 있으며 제안된 ADC는 모의 실험 결과 203mW의 전력을 소모한다.

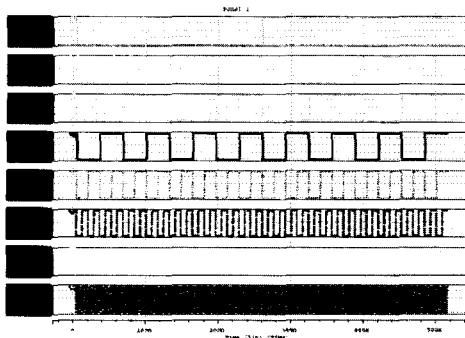


그림 14. Full-code generation

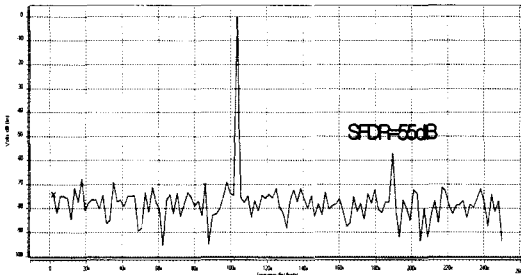


그림 15. FFT 결과(Fin=103MHz, Fs=500MHz)

그림 16은 입력 주파수에 따른 SFDR, SNDR 변화를 나타내고 있으며 표 1은 설계한 ADC의 성능을 나타내고 있다.

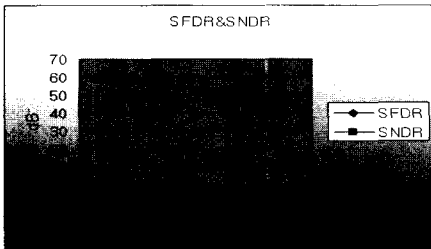


그림 16. 입력 주파수에 따른 SFDR, SNDR 변화

표 1. 설계사양

Resolution	8 bits
Sampling Freq.	500MSPS
Input Range	1.2Vpp
Process & Supply Voltage	0.18 μ m CMOS 1.8v
SNDR @ Fin = 3Mhz	48.60dB
120Mhz	46.91dB
Power	203mW

레이아웃은 Hynix 1-poly 6-metal 0.18 μ m 1.8V 공정을 이용하였으며 순수 core 면적은 800 μ m*760 μ m 이고, 그림 17는 실제 chip의 layout을 보여주고 있다.

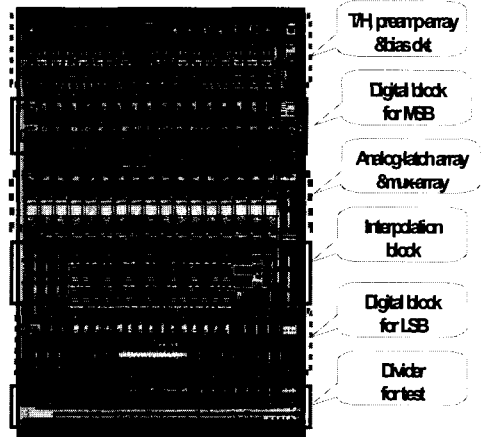


그림 17. Layout

표 2 은 본 논문에서 제안한 ADC와 다른 ADC를 비교 한 것이다. CMOS로 구현된 8-비트 500MS/s의 발표된 ADC가 아직 존재하지 않으므로 직접 비교할 수 없지만, 전력 소모는 10비트 160M 패쇄형 2단 ADC 와 비슷하며, 면적소모는 이것보다 성능이 열악한 다른 ADC 와 비교할 때 가장 적은 것을 알 수 있다. 따라서 본 논문에서 제안한 설계 기법들을 이용하면 비슷한 사양을 갖는 ADC와 비교하여 저전력, 고속 동작 ADC를 설계 하게 됨을 알 수 있다.

표 2. Bench Mark

Author	Journal	Spec.	Architecture	Process	Area (mm ²)	Supply Voltage	Power (mW)
Yun wang	JSSC 2000	8bit 150M	Open Loop Pipeline	0.35 μ m	1.2*1.5	3.3v	395
M.J. Choe	JSSC 2001	8bit 100M	F&I	0.5 μ m	1.4*1.2	5v	165
Martin Clar	CICC 2002	10bit 160M	2Step	0.18 μ m	1.0*1.0	1.8v	190
Koen	JSSC 2003	8bit 200M	Flash	0.35 μ m	1.4*2.4	3.3v	655
This Work	-	8bit 500M	Open Loop 2Step	0.18 μ m	0.8*0.76	1.8v	203

IV. 결 론

본 논문에서는 고속 통신 시스템에 적합한 고속의 저전력 8-비트 ADC 설계 방법을 제안하였다. 고속 동작을 위해서 기존의 M-DAC을 이용한 폐쇄 구조 대신 2-step 개방 구조를 사용하였으며 mux-array의 출력 단에 reset-switch를 이용하여 parasitic capacitance의 로딩에 필요한 시간을 줄임으로써 고속 동작에 적합하도록 하였다. 저전력 구현을 위해서는 아날로그 래치를 제안하여 모든 애플을 동작시키는 대신 선택적인 동작 기법을 사용하여 저전력 ADC를 구현하였다. 최종 모의 실험 결과는 500M 샘플링 주파수에서 103MHz 신호 입력 시 7.53 비트의 ENOB와 203mW의 전력을 소모한다. 공정은 0.18um를 이용하였고 core size는 800um*760um의 적은 면적을 차지한다.

참 고 문 헌

[1] David Johns Ken Martin, "Analog Integrated Circuit Design", *John Wiley & Sons, Inc.*, 1997

[2] Rudy van de Plassche, "Integrated Analog-to-Digital And Digital-to-Analog Converters", *Kluwer Academic Publishers*, 1994

[3] Yuko Tamba, "A CMOS 6bit 500MSample/s ADC for a Hard Disk Drive Read channel", *IEEE JOURNAL OF SOLID- STATE CIRCUITS*, VOL. 34, JUNE 1999

[4] Hendrik van der Ploeg, " A 3.3-V, 10-b 25-MSample/s Two-Step ADC in 0.35- m CMOS" , *IEEE JOURNAL OF SOLID- STATE CIRCUITS*, VOL. 34, DECEMBER 1999

[5] Yun-Ti Wang and Behzad Razavi. "An 8-Bit 150-MHz CMOS A/D Converter", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL.35, MARCH 2000

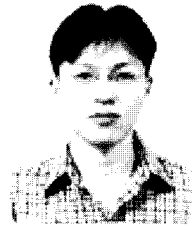
[6] Choi. M., Abidi A.A. "A 6-b 1.3Gsamples/s A/D converter in 0.35um CMOS", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 36, DECEMBER 2001

[7] Myung-Jun Choe, "An 8-b 100-MSample/s CMOS Pipelined Folding ADC", *IEEE*

JOURNAL OF SOLID-STATE CIRCUITS, VOL. 36, FEBRUARY 2001

[8] Koen, "Design Techniques and Implementation of an 8-bit 200-MS/ sInterpolating/Averaging CMOS A/DConverter", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 38, MARCH 2003

박 선 재 (朴 善 在, Sun-jae Park) 정회원



2002 고려대학교 전자공학과 졸업
2004 고려대학교 전자컴퓨터공학 석사
2004~현재 삼성전자 System LSI 연구원

<주 관심 분야> 아날로그 IC설계, 혼성회로 칩설계, ADC/DAC 설계

구 자 현 (具 滋 賢, Ja-hyun Koo) 정회원



2003 고려대학교 전자공학과 졸업
2003~현재 고려대학교 전자컴퓨터공학 석사과정

<주 관심 분야> 아날로그 IC설계, 혼성회로 칩설계, ADC/DAC 설계

윤 재 윤 (尹 載 允, Jae-young Youn) 정회원



1996 성균관대학교 물리학과 졸업
1996~2002 삼성전자 DRAM 설계 연구원
2002~2004 고려대학교 전자컴퓨터공학과 석사

2004~현재 삼성전자 DRAM 설계 책임연구원

<주 관심 분야> Data Converter, High Speed I/O

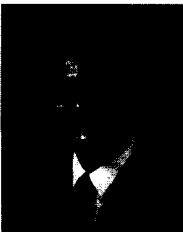
임 신 일 (林 信 一, Shin-II Lim) 정회원



1980 서강대학교
전자공학과졸업(공학사)
1983 서강대학교 대학원
전자공학과 석사
1995 서강대학교 대학원
전자공학과 박사

1982~1991 한국 전자통신 연구원
(ETRI) 선임 연구원
1991~1995 전자부품 연구원(KETI)
선임 연구원
1995~현재 서경대학교 전자통신컴퓨터공학부
부교수
<주 관심 분야> 아날로그 IC설계, 혼성회로
칩설계, ADC/DAC 설계,
통신용 IC설계

강 성 모 (Steve Kang) 정회원



1975 (미) UC Berkeley
전기공학 박사
1975~1985 AT&T Bell
1985~2001 UIUC
전기컴퓨터공학 정교수
2001~현재 UCSC 정교수

<주 관심 분야> Low power VLSI design,
High Speed optoelectric

김 석 기 (金 錫 基, Suki Kim) 정회원



1973 고려대학교 전기공학과
졸업(공학사)
1979 (미) Minesota 대학
전기공학 석사
1980 (미) Minesota 대학
전기공학 박사

1974~1975 KIST 반도체 공정개발 연구원
1980~1984 (미) AT&T Bell Lab, 설계 연구원
(Mixed Mode IC 설계)
1984~1988 (미) Honeywell사 LSI 개발 Manager
(산업용, 군수용 System IC 설계)
1988~1990 (미) Hughes사 LSI 개발 Manager
(군수용 Mixed Mode IC 설계)
1990~1995 삼성전자 비메모리 개발 담당
상무이사
1995~현재 고려대 전자과 정교수
<주 관심 분야> 아날로그 IC설계, 혼성회로
칩설계, ADC/DAC 설계,
통신용 IC설계