

논문 2004-41SD-4-9

마크 밀도 변화에 강한 버스트 모드 자동 전력 제어 회로

(A Burst-mode Automatic Power Control Circuit Robust to Mark Density Variations)

기 현 철*

(Hyeon-Cheol Ki)

요 약

기존의 버스트 모드 자동전력제어 회로는 데이터율이 증가함에 따라 마크밀도 변화 영향을 심하게 받아 에러를 야기하였다. 이 문제를 해결하기 위해 높은 데이터율에서도 마크밀도의 영향을 배제시킬 수 있는 새로운 구조의 침두 비교기를 고안하고 이를 자동전력제어 회로에 적용하여 마크밀도 변화에 강한 버스트 모드 자동전력제어 회로를 제안하였다. 제안한 자동전력제어 회로 내의 침두 비교기는 높은 데이터율에서 뿐만 아니라 광범위한 기준전류 및 차 전류 변화에서도 미소한 마크밀도 변화 영향만을 보여 마크밀도 변화에 매우 강한 특성을 확인 할 수 있었다.

Abstract

As data rate was increased, the conventional burst-mode automatic power control circuit caused errors due to the effect of the mark density variation. To solve this problem we invented a new structured peak-comparator which could eliminate the effect of the mark density variation even in high data rate, and revised the conventional one using it. We proposed a burst-mode automatic power control circuit robust to mark density variations. We found that the peak-comparator in the proposed automatic power control circuit was very robust to mark density variations because it affected very little by the mark density variation in high data rate and in the wide variation range of the reference current and the difference current.

Keywords : Burst-mode, APC, Mark density, PON, LD Driver, Peak detector

I. 서 론

최근 광 액세스 네트워크 (optical access network)는 기존의 점 대 점 링크(point-to-point link)에서 PON(Passive Optical Network)기술을 이용한 광 다중접속(optical multiple access)으로 전환되고 있다. 이러한 PON 시스템에서는 다수의 가입자가 하나의 동일 광섬유 선을 시분할 다중접속 (time division multiple access) 방식으로 공유하게 되므로 ONU(Optical Network Unit) 내의 광 송신기는 버스트 모드(burst-mode)로 동작하여야 한다. 따라서 버스트 모드 광 송신기는 PON 시스템에서 주요 핵심 부품으로서, 저 전력소모, 넓은

온도 범위 내에서의 안정성유지, 출력 광 세기의 안정적인 제어 및 저렴한 단가 등의 특성이 요구된다. 특히 광 송신기는 각 가입자 마다 한 대씩 요구되므로 매우 많은 수량이 필요하고 따라서 광 송신기의 낮은 단가는 전체 PON 시스템의 설치비를 낮추어 주어 가격 경쟁력을 강화 시키는 주요 요소가 될 수 있다.

그림 1은 기존의 버스트 모드 자동전력제어(APC: Automatic Power Control) 회로로서 레이저 다이오드(LD: Laser Diode) 출력 광의 세기가 모니터 광 검출기(MPD: monitor Photo Detector)에서 검출되어 전압 V_x 가 야기되고 비교기(comparator)에서 기준전압 VR 과 비교함으로써 구동기(driver)의 변조전류 증감을 판단한다. 이 판단에 따라 업/다운 카운터(up/down counter)가 업/다운 동작을 함으로써 레이저 다이오드 출력 광의 세기가 제어된다. 레이저 다이오드 구동기(laser

* 정희원, 경원대학교 전자공학과
(Dept. of Electronics Engineering, Kyungwon Univ.)
접수일자 : 2003년10월9일, 수정완료일: 2004년3월15일

driver) 내에는 D/A (Digital to Analog) 변환기가 있어 카운터의 값을 아날로그(analog) 전류 값으로 바꾸어 줌으로써 변조 전류(modulation current)가 디지털적으로 제어될 수 있도록 하여준다.^[1-4] 변조 전류가 디지털적으로 제어됨으로써 홀더(holder) 역할을 할 큰 값의 용량기가 불필요하여 단일 칩화에 유리한 구조로 된다. 또한, 업/다운 카운터와 비교기를 포함하는 자동전력제어회로도 거의 디지털적으로 작동하도록 함으로써 단일 칩화가 상대적으로 용이한 구조가 되어 단일 칩화에 의한 저 단가 실현에 적합한 구조로 이루어져있다.

한편, 광 송신기 기능 상 가장 중요한 특성 중 하나인 출력 광 세기의 안정적 제어를 담당하는 자동전력제어회로는 특별히 버스트 모드 신호에서 출력 광의 세기를 측정하는 데에 있어 큰 어려움을 겪게 된다. 기존의 연속 모드(continuous-mode) 신호의 경우 신호는 매우 긴 시간 동안 연속적이고 크기변화는 데이터(data) 속도에 비해 매우 느리므로 긴 시간 동안의 광 신호 크기의 평균을 구하여 출력 광의 세기를 어렵지 않게 측정할 수 있었다. 그러나 버스트 모드(burst-mode) 신호의 경우 한 버스트(burst)에서 다른 버스트로 전환될 때 갑작스럽게 신호크기가 변화하고 한 버스트의 길이도 짧을 뿐만 아니라 그 길이도 일정하지 않다. 따라서 신호의 평균값으로 크기를 측정할 경우 마크 밀도(mark density)에 크게 영향을 받게 되어 출력 광 세기의 안정적 제어가 어려워 지게 된다. 따라서 그림 1의 버스트 모드 전력제어회로에서는 신호의 첨두 값(peak value)만을 기준전압과 비교함으로써 마크 밀도 영향을 배제하고자 시도하였다.

본 논문에서는 그림 1의 기존 방식에 대해 데이터 율(data rate)이 변화함에 따른 첨두 값 측정에 미치는 마크 밀도의 영향을 분석하였다. 그 결과 매우 낮은 데이

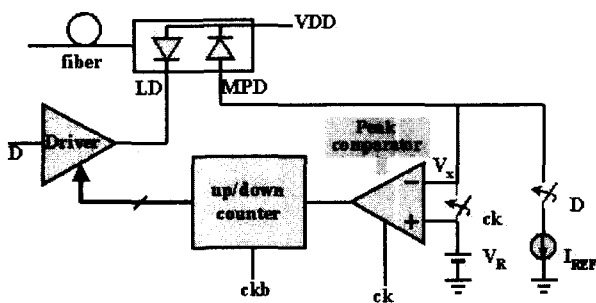


그림 1. 기존의 버스트 모드 자동 전력제어 회로의 구조
Fig. 1. The structure of the conventional burst-mode APC circuit.

터 율(data rate)에서 미소하여 무시할 수 있을 정도였던 마크 밀도 영향이 데이터 율이 증가함에 따라 크게 증가하여 마크 밀도 영향에 의해 자동 전력제어 동작이 심하게 교란될 수 있음을 확인 할 수 있었다. 따라서 마크 밀도 변화에 강한 새로운 구조의 버스트 모드 자동 전력 제어 회로를 제시하고 그 특성을 기존 방식과 비교하여 분석하고자 한다.

II. 기존 버스트 모드 자동이득제어 회로의 분석

그림1에 보인 기존의 버스트 모드 자동 전력제어 회로는 첨두 비교기가 카운터의 업/다운을 올바르게 판단해 주는 한 나머지 동작은 거의 디지털적으로 수행되므로 충분한 잡음여유를 갖고 안정적으로 동작할 수 있다. 따라서 자동 전력제어 회로의 핵심 동작은 첨두 비교기(peak-comparator)에서 이루어 지며 그림2는 기존의 버스트 모드 자동 전력제어 회로에 사용된 첨두 비교기의 구조를 보여주고 있다.

MOS 트랜지스터 M2는 M1과 전류 미러(current mirror) 회로를 이루어 외부 바이어스전압 VREF로 설정되는 기준전류 IREF와 같은 크기의 전류원이 된다. 모니터 광검출기(MPD)는 전류원 Ipd와 기생용량 Cpd로 등가 모델화 하였다. 따라서 전압 Vx는 기준전류 IREF와 광검출기의 전류 Ipd가 같을 때 기준전압 VR과 같아지고 Ipd가 IREF보다 커지면 Vx가 VR보다 커지게 된다. 따라서 비교기(comparator)는 이 두 전압을 비교함으로써 카운터의 업/다운을 판단해 준다. 한

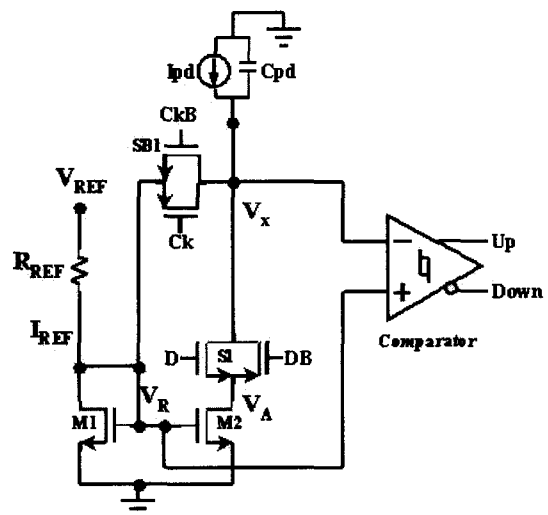


그림 2. 기존의 첨두 비교기의 구조
Fig. 2. The structure of the conventional peak-comparator.

편 CMOS스위치 S1은 데이터가 '1'일 때는 턴온(turn-on)되어 전류원 I_{pd} 와 기준전류 I_{REF} 와의 비교가 이루어 지도록 하고 데이터가 '0'일 때는 턴오프(turn-off)되어 전압 V_x 가 유지되도록 하여줌으로써 데이터율(data rate) 변화에 의한 영향을 배제하도록 의도 되었다. CMOS스위치 SB1은 매 버스트(burst)마다 턴온과 턴오프를 반복하여, 칩두 비교기가 한 버스트에서는 비교작업을 수행하고 다음 버스트에서는 리셋(reset)되도록 되어있다.

리셋 이후 한 버스트 구간에서 전압 V_x 의 변화 성분을 수식적으로 구하기 위해 한 비트(bit)의 시간을 t_b 라고 하고 하고 광검출기의 기생용량 C_{pd} 와 이와 병렬 연결된 다른 소자에 의한 기생용량을 모두 합하여 C_L 이라고 표현하기로 하면, V_x 전압의 변동 성분 V_x 는 다음 수식으로 표현 될 수 있다.

$$\Delta V_x = \frac{1}{C_L} \int_{burst} [I_{pd}(t) - I_{REF}(t)] dt = \frac{t_b b_{tot}}{C_L} (I_{pd} - I_{REF}) \quad (1)$$

여기서 b_{tot} 는 한 버스트 내에 '1'인 비트의 수이다. 식(1)로부터 $I_{pd} > I_{REF}$ 인 경우 전압 변동 성분 $V_x > 0$ 이므로 전압 V_x 는 버스트 내에서 시간이 지남에 따라 계속 증가하는 단조함수가 된다. 반면에 $I_{pd} < I_{REF}$ 인 경우 전압 변동 성분 $V_x < 0$ 이므로 전압 V_x 는 버스트 내에서 계속 감소하는 단조함수가 된다. 따라서 버스트 길이가 충분히 길 경우 전압 V_x 는 기준전압 보다 충분히 크거나 작아지게 되어 업/다운 판정이 용이할 수 있다.

그러나 식(1)은 그림2에서의 CMOS스위치 S1에 의한 전하주입(charge injection)성분을 무시하고 있다. 따라서 전하주입 성분을 구하기 위해 nMOS의 문턱전압 V_{TN} 이 pMOS의 문턱전압 V_{TP} 와 크기가 같고 $V_{TN} < V_{DD}/2$ 라고 가정하면 CMOS스위치 S1이 오프일 때 $V_A = 0V$ 가 되므로 CMOS스위치 S1 내의 nMOS가 턴온되기 위한 게이트 전압($V_{G,n}$) 조건은 아래 식으로 표현 된다.

$$V_{G,n} > V_{TN} \quad (2)$$

또한, pMOS가 턴온되기 위한 게이트 전압($V_{G,p}$) 조건은 아래 식으로 표현된다.

$$V_{G,p} < V_x - |V_{TP}| \quad (3)$$

CMOS스위치 S1의 두 입력 단자에 인가되는 신호는 상보(complementary)관계 신호이므로 다음의 수식을 얻을 수 있다.

$$V_{G,n} = V_{DD} - V_{G,p} \quad (4)$$

식(3)과 식(4)로부터 pMOS가 턴온되기 위한 조건을 아래 식으로 표현 할 수 있다.

$$V_{G,n} > V_{DD} + V_{TN} - V_x \quad (5)$$

$V_x < V_{DD}$ 라고 가정하면 식(2)와 식(5)로부터 pMOS의 턴온/턴오프의 경계는 항상 nMOS의 턴온 영역 내에 존재함을 알 수 있다. 따라서 CMOS스위치 S1에서의 전하주입은 nMOS에 의한 전하주입 성분 만 남게 되므로 전하주입에 의한 전압 변동 성분(V_q)는 다음 수식으로 표현된다^[5,6].

$$\Delta V_q = -\frac{C_{ox}WL(V_{GS} - V_{TN})}{2C_L} \quad (6)$$

식(1)과 식(6)으로부터 전압 V_x 의 실제 변동성분 $V_{x,tot}$ 는 다음 수식으로 표현된다.

$$\Delta V_{x,tot} = \Delta V_x + \Delta V_q = \frac{b_{tot}}{2C_L} [2t_b(I_{pd} - I_{REF}) - C_{ox}WL(V_{GS} - V_{TN})] \quad (7)$$

식(7)은 $I_{pd} > I_{REF}$ 인 경우에도 전압 변동 성분 $V_{x,tot} < 0$ 가 되어 에러가 발생할 수도 있음을 의미한다. 위의 해석 결과를 확인하기위해 오스트리아 AMS사의 0.8um CMOS 상용 파운드리를 이용하여 그림2의 칩두 비교기를 설계하고 시뮬레이션(simulation)을 통해 특성을 검증하였다. 레이저 다이오드는 최대 모니터 전류가 2mA이고 기생용량이 10pF인 15mW급 미쓰비시사의 제품을 모델화하여 사용하였다. 그림 3은 500 Mbps 데이터 율로 동작 할 때의 칩두 비교기의 특성을 보여 주고있다. I_{pd} 는 540 uAp-p로 인가하되 마크밀도(MD: mark density)를 1과 0.5로 변화 시켜 줌으로써 마크밀도 변화에 의한 영향을 확인할 수 있도록 하였다. 이 때 I_{REF} 는 520 uA로 설정하였으므로 전압 V_x 는 버스트 구간 내에서 계속 증가하여야 한다. 그러나 그림 3의 특성에서 볼 수 있듯이 마크밀도가 1인 구간에서는 정상적으로 증가하고 있으나 마크밀도가 0.5인 구간에서는 오히려 감소하고 있어서 식(7)로부터 예견

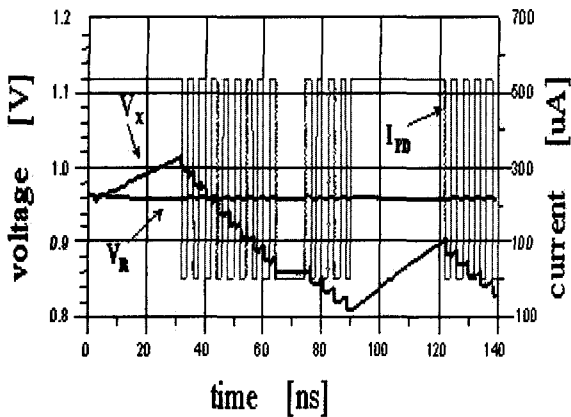


그림 3. 기존의 침두 비교기 특성.
Fig. 3. The characteristics of the conventional peak-comparator.

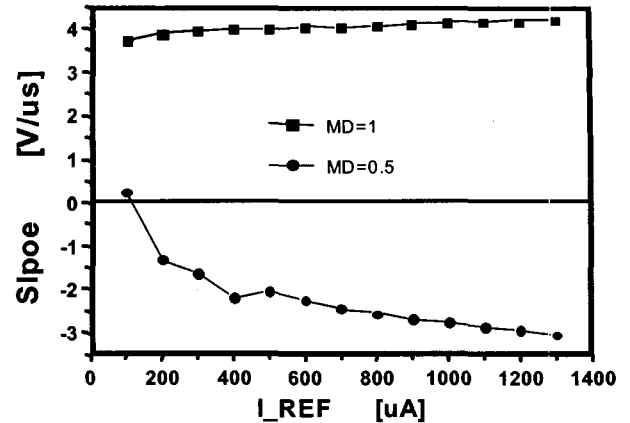


그림 5. I_REF 변화에 따른 침두 비교기 특성
Fig. 5. The characteristics of the peak-comparator depend on the variations of I_REF.

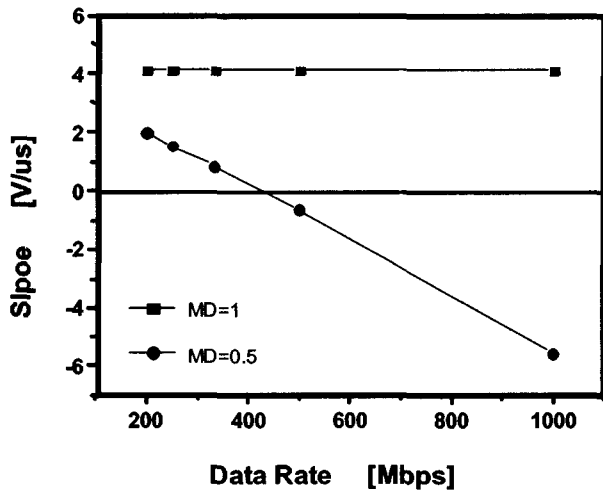


그림 4. 데이터율 변화에 따른 침두 비교기 특성
Fig. 4. The characteristics of the peak-comparator depend on the variations of data rate.

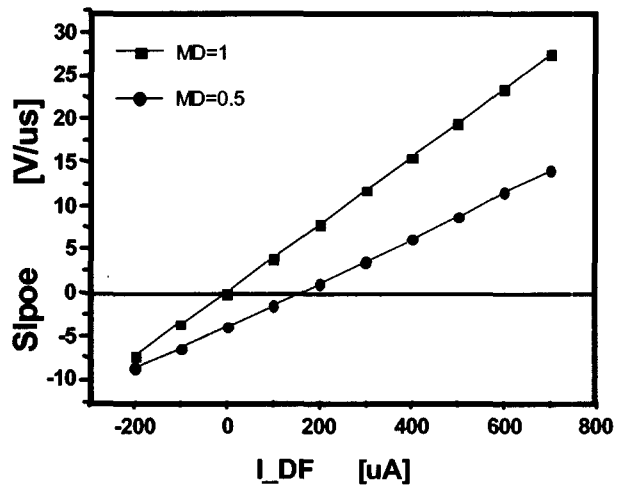


그림 6. I_DF 변화에 따른 침두 비교기 특성
Fig. 6. The characteristics of the peak-comparator depend on the variations of I_DF.

되었던 에러 가능성이 실제로 나타나고 있음을 볼 수 있다.

그림 4는 마크밀도가 1인 구간과 0.5인 구간에서의 전압 V_x 변화의 기울기가 데이터 율에 따라 변화하는 특성을 시뮬레이션을 통해 구해 낸 결과이다. 네모로 표시된 그래프는 마크밀도가 1인 구간에서의 기울기에 0.5를 곱해준 값이므로 동그라미로 표시된 마크밀도가 0.5인 구간에서의 기울기와 같아야 한다. 매우 낮은 데이터 율에서는 두 값이 비교적 근접하여 마크밀도의 영향으로부터 비교적 자유로움을 알 수 있다. 그러나 데이터 율이 증가함에 따른 두 값은 현격한 차를 보이고 있어 마크밀도의 영향을 심하게 받고 있음을 알 수 있다. 특히, 450 Mbps 이상에서는 기울기의 부호가 반전되고 있어 마크밀도의 영향으로 인해 판단 에러가 발생함을 보여주고 있다.

그림 5는 기준전류 IREF 변화에 따른 마크밀도 영향을 보여주고 있다. 모니터 전류 I_{pd} 에서 기준전류 IREF를 뺀 차 전류를 I_DF라고 할 때, I_DF가 100uA를 유지하도록 하고 500Mbps의 데이터 율에서 시뮬레이션을 수행한 결과로부터 얻어진 그래프이다. 동그라미로 표시된 마크밀도가 0.5인 구간에서의 기울기는 네모로 표시된 그래프는 마크밀도가 1인 구간에서의 기울기와 현격한 차를 보여주고 있으며 기준전류가 증가 할수록 그 차가 증가하는 특성을 보이고 있다. 또한, I_DF가 100uA이므로 기울기와 부호가 양수이어야 함에도 불구하고 마크밀도가 0.5일 때 기울기가 거의 전 구간에서 음수로 나타나고 있어 마크밀도의 영향에 의한 에러가 발생하고 있음을 알 수 있다.

그림 6은 모니터 전류에서 기준전류를 뺀 차 전류인 I_DF를 -200uA에서부터 700uA까지 변화시켰을 때 마

크밀도 영향을 500Mbps의 데이터 율에서의 시뮬레이션 을 통해 얻어진 결과이다. 이 경우도 마크밀도가 0.5인 구간에서의 기울기는 마크밀도가 1인 구간에서의 기울 기와 큰 차를 보여주고 있다. 특히, $I_{DF}=0$ 인 때에 전 압 V_x 변화의 기울기도 0이어야 하며 마크밀도가 1인 구간에서의 기울기는 정확히 0이 되고있다. 그러나, 마 크밀도가 0.5인 경우의 기울기는 3.5 V/us로서 큰 차를 보이고 있으며 $I_{DF}=170\mu A$ 가 되기까지 기울기가 음의 값을 보이고 있어 마크밀도 영향에 의한 에러가 발생하 고 있음을 볼 수 있다.

이상의 결과로 부터 기준전류의 크기나 차 전류의 크 기에 따라서 다소간의 차이가 있을지라도 기존의 침두 비교기는 데이터 율이 높아 짐에 따라 마크밀도 영향에 의한 에러발생을 피할 수 없고 따라서 자동 전력제어 회로도 정상적인 동작을 할 수 없음을 알 수 있다.

III. 제안된 자동 전력제어 회로

1. 제안된 자동 전력제어 회로 구조

본 논문에서는 데이터 율이 높아 짐에 따라 마크밀도 의 영향을 받아 에러가 발생하는 문제를 해소할 수 있는 새로운 구조의 침두 비교기 제시함으로써 마크밀도 변화에 강한 버스트 모드 자동 전력 제어 회로를 제안 하고자 한다.

그림 7은 제안된 침두 비교기의 구조로서 스위칭 동 작 때 CMOS스위치 S_1 의 전하주입에 의해 감소한 전압 감소분을 자동 보상할 수 있도록 개선하였다. 데이터가 '1'일 때 CMOS스위치 S_2 는 턴온되어 용량기 C_x 를 충 전시켜 $V_{pd}=V_x$ 가 되도록 하여준다. 데이터가 '0'

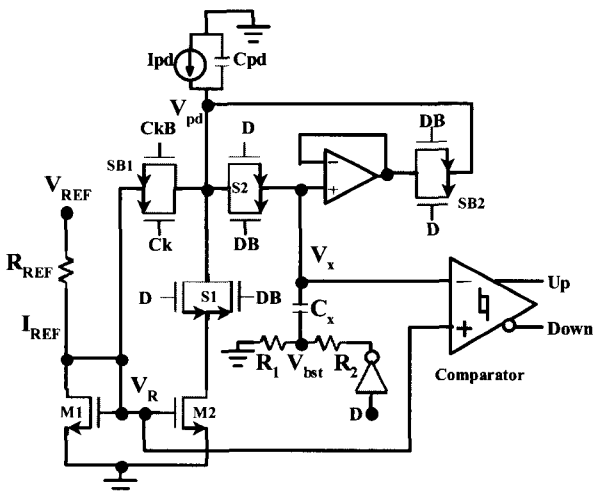


그림 7. 제안된 침두 비교기 구조
Fig. 7. The structure of the proposed peak-comparat

으로 바뀌면 S_2 는 턴오프되고, CMOS스위치 SB_2 는 턴 온되어 용량기 C_{pd} 를 전압 V_x 로 충전하여 또 다시 $V_{pd}=V_x$ 가 되도록 하여준다. 그러나 이 때 저항 R_2 에 연결된 인버터 출력도 저(low)에서 고(high)로 바뀌르 로 전압 V_{bst} 가 $V_{DDR1}/(R_1+R_2)$ 만큼 증가하여 용량기 C_x 를 부스트(boost)시켜 주게 되며 부스트된 만큼의 전 압이 V_x 에 더해 지게 되므로 V_{pd} 는 부스트된 만큼 증 가하게 된다. 이 작용은 매 스위칭 마다 한번씩 이루어 지므로 스위칭 시 발생하는 전하주입에 의한 전압 V_x 의 감소분을 부스트된 전압으로써 효과적으로 상쇄시킬 수 있게 된다.

위의 결과를 확인하고 그 특성을 분석하기위해 그림7 의 제안된 침두 비교기를 설계하고 시뮬레이션(simula -tion)을 통해 특성을 추출하였다. 제안된 침두 비교기 설계 시 $R_1=40$, $R_2=5K$ 으로 설정하였고 레이저 다이오 드는 기존 침두 비교기 설계에서 사용한 모델을 사용하 였다. 그림 8은 500 Mbps 데이터 율로 동작 할 때의 제 안된 침두 비교기의 동작 특성을 보여 주고있다. IREF 는 520 uA로, Ipd는 540uA_{p-p}로 인가함으로써 V_x 는 계속 증가하여야 하도록 설정하였다. 기존의 침두 비교 기에서 V_x 가 마크밀도가 1인 구간에서 증가하나 0.5인 구간에서는 거꾸로 감소하여 큰 차를 보이고 있어 마크 밀도 영향을 심하게 받고 있는데 반해, 제안된 침두 비 교기의 경우 마크밀도가 1인 구간과 0.5인 구간 모두 에서 V_x 가 증가하는 정상적인 동작 특성을 보이고 있 어 마크밀도 변화에 별 영향을 받지 않고 안정된 동작 을 하고 있음을 볼 수 있다. 다시 말해 그림8은 제안된 침두 비교기의 개선된 특성에 의해 기존에 발생하던 비 교기 에러가 교정되고 있는 한 예를 보여 주고 있다.

그림 9는 데이터 율 변화에 따른 침두 비교기 간의 특성을 비교하기위해 마크밀도가 1인 구간과 0.5인 구

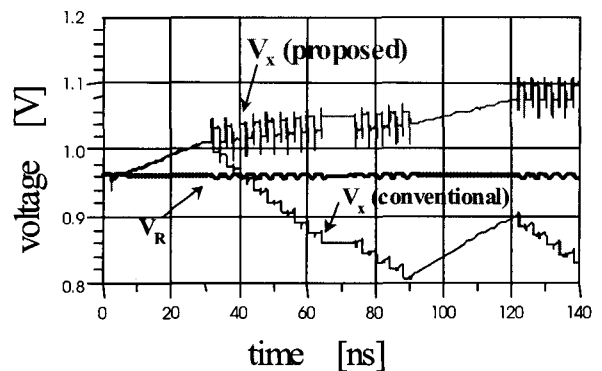


그림 8. 제안된 침두 비교기 특성
Fig. 8. The characteristics of the proposed peak -comparator.

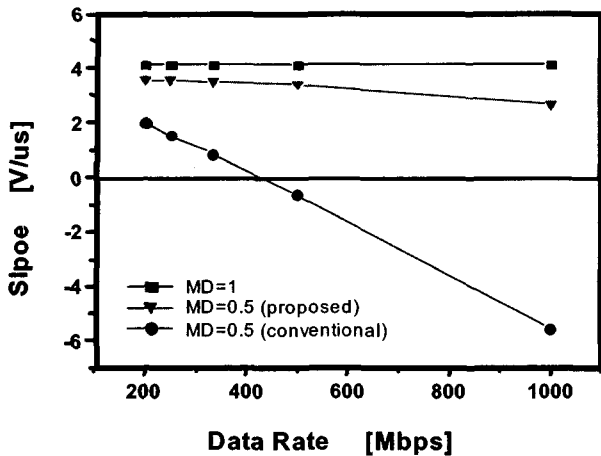


그림 9. 데이터율 변화에 따른 첨두 비교기 특성 비교
 Fig. 9. Comparisons of the peak-comparator characteristics depend on the variations of data rate.

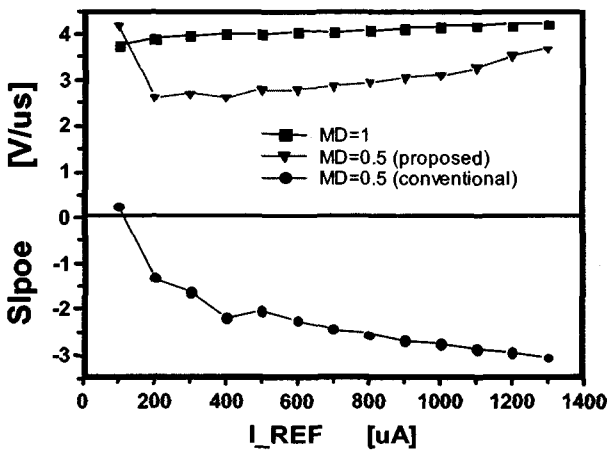


그림 10. I_REF 변화에 따른 첨두 비교기 특성 비교
 Fig. 10. Comparisons of the peak-comparator characteristics depend on the variations of I_REF.

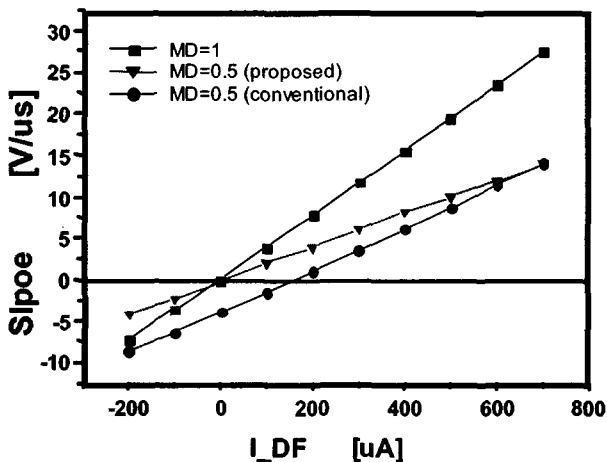


그림 11. I_DF 변화에 따른 첨두 비교기 특성 비교
 Fig. 11. Comparisons of the peak-comparator characteristics depend on the variations of I_DF.

간에서의 전압 V_x 변화의 기울기가 데이터 율에 따라 변화하는 특성을 시뮬레이션을 통해 구해 낸 결과이다. 기존의 첨두 비교기 특성이 마크밀도에 심하게 영향을 받아 데이터 율이 450Mbps 이상에서는 에러가 발생하고 있는데 반해, 제안된 첨두 비교기의 특성은 데이터 율이 증가해도 마크밀도가 1인 경우와 유사한 특성을 보이고 있다. 따라서 제안된 첨두 비교기는 높은 데이터 율에서도 마크밀도 변화의 영향이 미소하여 기존 첨두 비교기에 비해 높은 데이터 율에서도 마크밀도 변화에 월등히 강한 특성을 보여주고 있다.

그림 10은 기준전류 IREF 변화에 따른 첨두 비교기 간의 특성을 비교하기 위해 모니터 전류에서 기준전류를 뺀 차 전류가 100uA를 유지하도록 하고 500Mbps의 데이터 율에서 시뮬레이션을 수행한 결과로부터 얻어진 그래프이다. 기존 구조의 경우 마크밀도가 0.5인 구간에서의 기울기는 1인 구간에서의 기울기와 부호조차 바뀌는 큰 차를 보이며 기준전류 변화 구간 거의 전영역에서 에러가 발생하고 있는 반면에 제안된 구조의 경우 1인 구간에서의 기울기와 부호는 물론 크기에 있어서도 미소한 차를 보여 기존 구조에서 발생하던 비교기 에러가 교정됨을 볼 수 있다. 따라서 제안된 첨두 비교기는 기준전류의 광범위한 변화에서도 마크밀도 변화에 강한 특성을 그대로 보여주고 있음을 알 수 있다.

그림 11은 차 전류 I_DF 변화에 따른 첨두 비교기 간의 특성을 비교하기 위해 I_DF를 -200uA에서부터 700uA까지 변화를 주고 500Mbps의 데이터 율에서 시뮬레이션을 수행한 결과로부터 얻어진 그래프이다. 기존 구조의 경우 I_DF가 0 ~ 170uA인 구간에서 V_x 변화의 기울기가 음수로 됨으로써 에러가 발생하고 있는데 반해, 제안된 구조의 경우 I_DF가 0uA일 때 V_x 변화의 기울기도 정확히 0가 되고 그 이후는 양수가 됨으로써 에러 없이 정상하고 있음을 볼 수 있다. 따라서 제안된 첨두 비교기는 차 전류 I_DF의 광범위한 변화에서도 마크밀도 변화에 강한 특성을 그대로 유지하고 있음을 볼 수 있다.

IV. 결론

본 논문에서는 기존의 버스트 모드(burst-mode) 자동전력제어 회로가 데이터 율(data rate)이 증가함에 따라 마크밀도(mark density)의 영향을 심하게 받아 큰 오차를 야기할 수 있음을 시뮬레이션을 통해 보였고 그 원인을 해석적으로 분석하였다.

자동전력제어 회로가 마크밀도 변화에 영향을 받는 것은 전적으로 침두 비교기의 특성에서 기인되고 있었다. 따라서 높은 데이터 율에서도 마크밀도의 영향을 배제시킬 수 있는 새로운 구조의 침두 비교기를 고안하고 이를 자동전력제어 회로에 적용하여 마크밀도 변화에 강한 버스트 모드 자동전력제어 회로를 제안하였다.

설계된 회로의 특성을 분석한 결과 기존 침두 비교기가 데이터 율이 증가함에 따라 마크밀도의 영향을 심하게 받아 큰 오차를 야기하는 데 반해, 제안한 침두 비교기는 높은 데이터 율에서도 받는 마크밀도의 영향이 미소하여 마크밀도 변화에 매우 강한 특성을 보였다. 이러한 특성은 데이터 율 변화에서 뿐만 아니라 광범위한 기준전류 및 차 전류 변화에서도 그대로 유지되고 있었다.

따라서 제안한 버스트 모드 자동전력제어회로는 기존의 심각한 마크밀도 영향 문제를 해결하는 새로운 방안이 될 수 있으리라 사료된다.

참 고 문 헌

- [1] C. Sackinger, Y. Ota, T. J. Gabara, and W. C. Fischer, A 15-mW, 155-Mb/s CMOS Burst-Mode Laser Driver with Automatic Power Control and End-of-Life Detection, IEEE Journal on Solid-State Circuits, Vol.35, No.2, February pp.269-275, 2000.
- [2] C. Sackinger, Y. Ota, T. J. Gabara, and W. C. Fischer, A 15-mW, 155-Mb/s CMOS Burst-Mode Laser Driver with Automatic Power Control and End-of-Life Detection, IEEE Internation Solid-State Circuits Conference, 0-7803-5129-0/99, 1999.
- [3] C. Sackinger, Y. Ota, T. J. Gabara, and W. C. Fischer, Low power CMOS Burst-Mode Laser Driver for Full service Access Network Application, IEEE CLEO Pacific Rim '99, pp.519-520, 1999.
- [4] T. Matsuyama, M. Miki, T. Inoue, and N.Ueno, A 156 Mbps CMOS Laser Driver for Optical Burst-Mode Transmission, Symposium on VLSI Circuits Digest of Technical papers, pp.174-175, 2000.
- [5] T. J. Baker, H. W. Li, and D. E. Boyce, CMOS Circuit Design, Layout, and Simulation, IEEE Press, p.720, 1998.
- [6] P. E. Allen, and D. R. Holberg, CMOS Analog Circuit Design, Oxford University Press, p.118, 2002.

저 자 소 개

기 현 철(정회원)

제40권 SD편 제12호 참조