

논문 2004-41SD-3-13

고성능 용량 형 지문센서 신호처리 회로 설계

(High Performance Circuit Design of a Capacitive Type Fingerprint Sensor Signal Processing)

정 승 민*, 이 문 기*

(Seung-Min Jung and Moon-Key Lee)

요 약

본 논문에서는 반도체 방식의 직접 터치식 용량 형 지문인식센서의 신호처리를 위한 회로를 제안하였다. 센서로부터의 용량의 변화를 전압의 신호로 전환하기위해서 전하분할 방식의 회로를 적용하였다. 지문센서 감도저하의 가장 큰 원인인 센서 플레이트에 존재하는 기생용량을 제거하고 용선과 계곡 사이의 전압차를 향상시키기 위하여 기존과는 다른 아날로그 버퍼회로를 설계 적용하였다. 센서 하부회로와의 isolation 대책을 통하여 ESD 및 노이즈방지를 위한 설계를 실시하였다. 제안된 신호처리회로는 0.35마이크론 표준 CMOS 공정에 의해 레이아웃 되었다.

Abstract

This paper proposes an advanced circuit for the fingerprint sensor signal processing. We increased the voltage between ridge and valley by modifying the parasitic capacitance eliminating circuit of sensor plate. The analog comparator was designed for comparing the sensor signal voltage with the reference signal voltage. We also propose an effective isolation strategy for removing noise and signal coupling of each sensor pixel. The fingerprint sensor circuit was designed and simulated, and the layout was performed.

Keywords : 지문센서, 용량 형, 신호처리회로, 기생 캐패시턴스

I. 서 론

용량 형의 지문센서의 원리는 그림 1에서와 같이 센서부분인 최 상위 금속판과 지문의 굴곡인 용선과 계곡이 passivation을 사이에 두고 존재하는 용량 값의 차이를 전압 혹은 전류로 변환한 뒤, 기준신호와 센서신호와의 크기를 비교하여 이진화신호로 이미지화 한 다음 적절한 지문이미지처리 알고리즘을 거쳐 최종적으로 본인여부를 판별하게 된다.

용량 형 지문센서에 대한 미약한 센서신호를 처리하기 위한 방식에 있어서, 피드백 용량 감지(feedback capacitive sensing) 방식, 샘플-홀드(sample and hold) 방식, 전하전달(charge transfer) 방식, 전하분할방식 등이

구현된 바 있다^{[1][2][3][4]}. 본 논문에서는 그림 1에서와 같이 전하분할방식의 지문센서신호처리회로를 구현하였다.

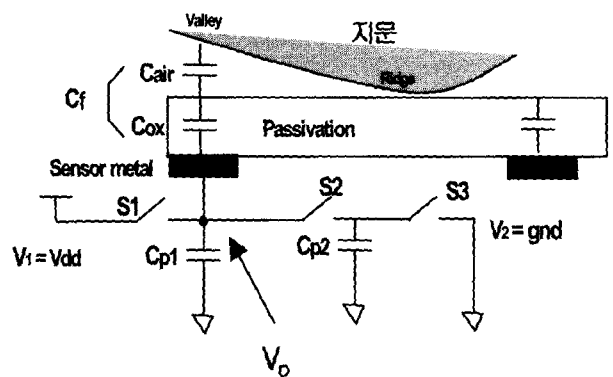


그림 1. 전하분할방식의 용량 형의 지문센서구조
Fig. 1. Capacitive type fingerprint sensor of a charge-sharing sensing scheme.

* 정회원, 연세대학교 전기전자공학과
(Department of Electrical and Electronics Engineering, Graduate School, Yonsei University)
접수일자 : 2003년9월24일, 수정완료일 : 2004년2월26일

그림 1에 나타난 전하분할방식의 용량형의 지문센서에 대한 출력 전압은 다음과 같다.

$C_f = C_{air} // C_{ox}$ (여기서, C_{p1} , C_{p2} : 기생 용량)
 Precharge 동작 모드 : S1, S3 on / S2 off
 Evaluation 동작모드 : S1, S3 off / S2 on
 Evaluation 후 출력 전압,

$$V_O = \frac{(C_{p1} + C_f) * V_{dd}}{(C_{p1} + C_{p2} + C_f)} \quad (\text{식 1})$$

Evaluation 후 융선과 계곡 간의 전압 차는,

$$V_{\text{ridge}} - V_{\text{valley}} = \frac{(C_{p2} * C_{ox}) * V_{dd}}{(C_{p1} + C_{p2})^2 + (C_{p1} + C_{p2}) * C_{ox}} \quad (\text{식 2})$$

(통상적으로, $C_{p1} \gg C_{p2}$)

와 같다.

그림 1에서와 같이 용량형의 지문센서 구현에 있어서 센서부분인 최 상위 금속 판에 존재하는 기생 용량 C_{p1} , C_{p2} 는 융선과 계곡간의 전압차이를 감소시켜 기준 전압의 동작범위에 제한을 주고 전체적으로 지문센서의 감도저하에 결정적 요인이 된다.^[1] 통상적으로 C_{p2} 는 MOS 트랜지스터의 소스 혹은 드레인 용량이므로 수십 마이크로미터 크기의 정방형 센서플레이트 하부에 존재하는 값인 C_{p1} 에 비하여 상대적으로 작은 값이다. 반도체 지문센서와 지문표면에 존재하는 융선과 계곡 용량의 변화량에 비하여 C_{p1} 이 무시할 수 없을 정도로 클 경우 지문센서 감도저하에 큰 영향을 줄 수 있다. 이론적으로 C_{p1} 의 영향이 융선과 계곡간의 전압차이를 감소시키는데 큰 영향을 주고 있음을 식 2를 통하여 알 수 있다. 따라서 회로 적으로 센서플레이트 하부에 존재하는 기생 용량 C_{p1} 을 효과적으로 제거하는 대책이 필요하다.

본 논문에서는 기존의 전하분할방식에 적용된 회로를 새롭게 개선 설계하여 기생 용량을 효과적으로 제거하고 센서신호처리부에서 가장 중요한 요소인 융선과 계곡간의 전압차이 값을 향상 시키고자 한다. 기준전압과 센서전압을 비교하여 이진화된 신호를 만들기 위한 고성능 아날로그 비교기를 설계하였다. 설계된 신호처리 회로는 1-픽셀의 정방형 센서플레이트 하부에 배치되었다. 레이아웃 측면에서는, 가장 중요한 문제점인 ESD 제거와 센서 금속 판하부에 아날로그회로를 배치하는데

있어서 발생할 수 있는 센서 픽셀 어레이의 결합잡음(coupling noise) 영향을 제거하기 위한 isolation 대책을 제안하였다. 최종적으로 0.35마이크론 공정 파라미터와 디자인규칙을 이용하여 지문센서회로를 설계 및 검증을 하였고 레이아웃을 실시하였다.

II. 지문인식센서 신호처리회로 설계

전하분할 방식을 이용한 지문센서의 신호처리에 있어서 기생 용량을 제거하기 위한 기본 개념은 그림2에서와 같이 아날로그버퍼를 이용하여 C_{p1} 의 양단의 전압차를 0에 근접하게 유지함으로써 센서 플레이트 하부의 기생 용량값, C_{p1} 의 영향을 효과적으로 제거할 수 있도록 한 것이다^[1]. 따라서 evaluation 동작 모드에서 센서 플레이트의 전압의 변화가 C_{p1} 하부의 플레이트에 빠르고 최소의 오차범위로 전달될 수 있도록 하기 위해서는 아날로그버퍼의 역할이 중요하다. 그림 3에 기존에 적용된 6 트랜지스터 구조의 단위 이득 버퍼를 나타내었다. 이 회로의 특징은 PMOS 입력 단을 사용하고 있으며, 소스플로워(source follower)인 트랜지스터 M6을 추가하여 M3과 M4의 동작을 강 반전(strong 반전(inversion) 영역으로 이동시킴으로서 precharge 이후의 evaluation 동작모드에서 단위 이득 버퍼 입력단의 전압 강하에 대하여 출력단의 전압을 빠른 속도로 끌어내리는 효과를 얻을 수 있었다.^[1] 하지만 M3과 M4는 여전히 포화영역에서 동작하지 못하고 반전(inversion) 영역에서 동작하므로 버퍼의 출력변화를 빠르게 끌어내려 C_{p1} 양단의 전위차를 0으로 유지하는데 한계가 있고 결국, 융선과 계곡 사이의 전압차를 증가시키는데 한계가 있다. 따라서 본 논문에서는 그림 4와 같은 5 트랜지스터 구조의 아날로그버퍼를 새롭게 설계하였다.

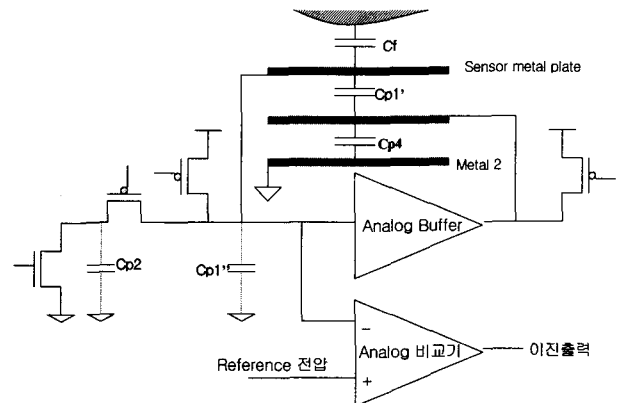


그림 2. 지문인식센서 신호처리회로도
 Fig. 2. Fingerprint sensor signal processing circuit.

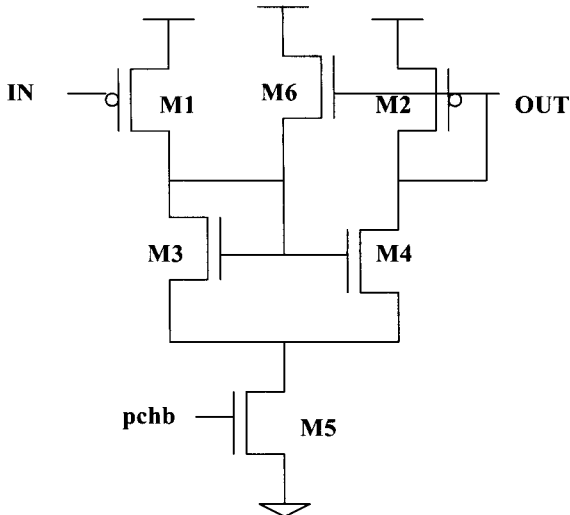


그림 3. 기존 단위 이득 버퍼
Fig. 3. Old unit-gain buffer.

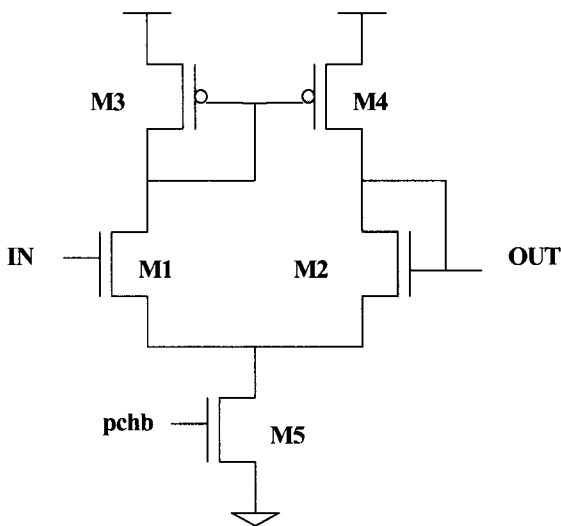


그림 4. 제안된 단위 이득 버퍼
Fig. 4. Proposed unit-gain buffer.

제안된 단위 이득 버퍼는 기존과 달리 NMOS 입력 단을 사용하고 있어 precharge 구간동안 버퍼의 입출력 단인 M1과 M2가 포화영역에서 동작을 하므로 별도의 소스플로워(source follower)와 같은 트랜지스터 추가 없이도 기존의 단위 이득 버퍼에서보다 입력단의 전압 강하에 대하여 출력 단 전압을 더욱 빠르게 강하시킬 수 있는 것이다.

본 논문에서는 이러한 효과를 확인하기 위하여 우선, 0.35 μ m 표준 CMOS 공정 디자인 규칙을 이용하여 그림 5 에서와 같이 센서 하나의 픽셀에 대한 최적화된 레이아웃을 실시하여 기생 성분을 추출한 결과 기생 용량인 C_{p1} 과 C_{p2} 가 4.3fF을, C_{p1} 이 86fF를 각각 얻을 수 있었다.

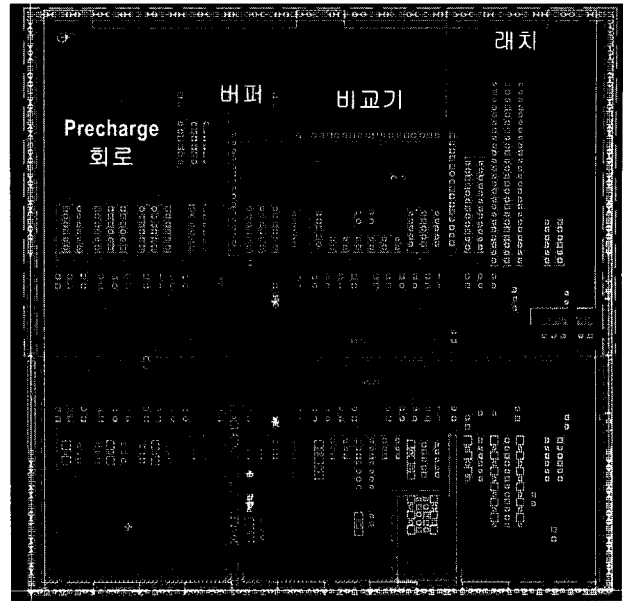


그림 5. 센서 1-픽셀 레이아웃(60 μ m x 60 μ m in 0.35 μ m process)
Fig. 5. Sensor 1-pixel layout.

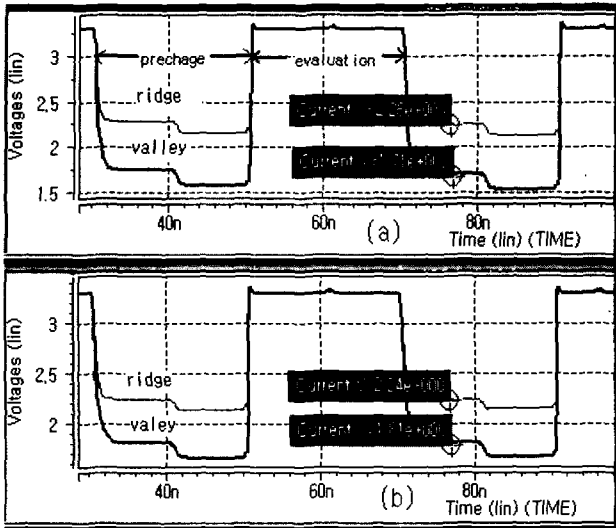
용선에서의 센서 플레이트와 지문간의 용량은 passivation 용량인 C_{ox} 와 동일하므로 센서플레이트 면적과 passivation 두께를 고려한 결과 43fF를, 계곡에서의 센서 플레이트와 지문간의 용량은 0.1fF를 적용하였다. 또한 기존 단위 이득 버퍼와 제안된 아날로그버퍼의 동등한 비교를 위하여 양쪽회로의 NMOS는 2.5 μ m, PMOS는 5 μ m를 일괄 적용하여 동작을 시뮬레이션 하였다. 먼저 두 회로에 대한 특성분석 시뮬레이션 결과 표 1의 결과로 나타났으며 예상했던 바와 같이 직류이득(DC gain)과 슬루레이트(slew rate)에서 향상된 결과를 보였다. 따라서 제안된 단위 이득 버퍼회로는 기존에 비하여 입력신호의 전압강하를 출력 쪽에서 빠르게 나타내게 할 수 있음을 예측할 수 있었다.

표 1. 제안된 단위 이득 버퍼와 기존의 단위 이득 버퍼 성능분석표 (0.35 μ m 공정, typical 조건)
Table 1. Performance comparison of old and proposed unit-gain buffer.

| | DC Gain | Gain Band Width | Slew Rate | Phase Margin | MOS TR 수 |
|-------|---------|-----------------|-----------|--------------|----------|
| 제안된회로 | 8.24 | 131MHz | 440kV/s | 96 Deg. | 5 |
| 기존회로 | 7 | 125MHz | 280kV/s | 97 Deg. | 6 |

추출된 파라미터를 적용하여 단위 이득 버퍼를 포함한 센서회로를 구현하여 HSPICE로 시뮬레이션한 결과, 센서 출력인 C_{p1} , C_{p1} 양단 전압 V_o 의 용선과 계곡간의 전압 차는 그림 6에서와 같이 0.35 μ m공정의 3.3V

typical 파라미터를 적용한 경우 기존 430mV에서 550mV로 향상되어 약 28% 향상됨을 알 수 있었다. 이는 기준 전압의 동작영역이 향상됨을 의미한다. 레이아웃 측면에서는, 센서 플레이트 하부의 한정된 면적에 신호처리회로를 레이아웃 해야 하므로 미약하긴 하나 센서플레이트 면적감소도 기대된다.



(a) 제안된 버퍼회로결과 (b) 기존 버퍼회로결과
 (a) Proposed buffer result (b) Old buffer result

그림 6. 센서출력 (Vo) 비교결과(0.35 μ m 공정, typical 조건)

Fig. 6. Comparison result of sensor output voltage(Vo).

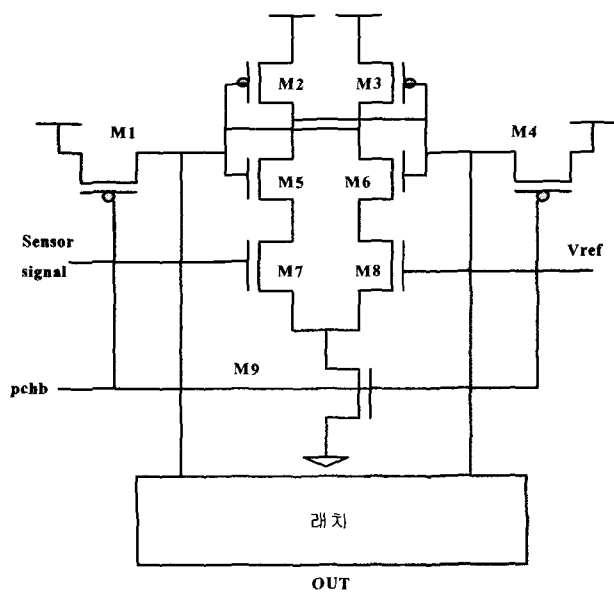


그림 7. 비교기
 Fig. 7. Comparator.

기생 용량 제거회로를 거쳐 만들어진 신호는 그림 7에서와 같이 본 논문에서 설계된 아날로그 비교기를 통해 용선과 계곡 사이의 중간 전압인 기준전압과의 비교를 통하여 이진화된 신호로 만들어진다. 그림 8에서는 아날로그버퍼와 비교기를 포함한 지문센서 1-픽셀의 신호처리결과를 나타내었다. 160x192 픽셀 어레이에 대한 critical path 회로를 0.35 μ m 공정을 이용하여 모델링한 뒤 시뮬레이션을 실시하였다. 본 논문에서 제안된 새로운 회로를 적용함으로써 더욱 넓어진 용선과 계곡 간의 전압사이에 기준전압을 설정할 수 있게 되었다. 처리결과 용선에서는 logic "1"의 결과가 계곡에서는 logic "0"의 결과가 정확히 나타나고 있다.

반도체 지문센서의 가장 중요한 문제점인 ESD 현상을 해결하기 위한 연구들이 진행되어왔다^{[6][7]}. 하지만, 이러한 구조들은 표준 CMOS공정 이외에 별도의 센서공정을 추가해야만 구현이 가능한 형태이다. 이는 공정기간의 증가뿐만 아니라 칩 제작 단가의 상승을 가져와 경제성이 떨어질 수밖에 없다. 본 논문에서는 표준 CMOS공정만을 적용하면서도 동일한 ESD제거 효과 및 각 셀 어레이 간의 수평노이즈도 막을 수 있도록 하는 새로운 센서 구조를 제안하고 있다. 먼저 ESD제거를 위하여 그림 9와 같이 금속2 플레이트를 추가하여 접지신호와 연결하고 차폐 금속 판으로 적용하였다. 또한, 수평간의 노이즈로부터 센서의 동작을 보호할 수 있도록 스택 via 우물(side wall)을 만들고 역시 접지신호와 연결하여 픽셀 어레이간 측면 노이즈를 차단하였다. 따라서 본 논문에서는 지문센서의 수평과 수직방향의 모든 노이즈로부터 센서의 동작을 보호할 수 있도록 조치하였다.

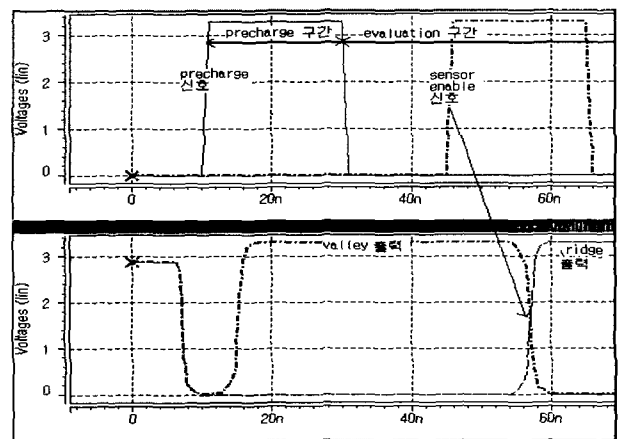
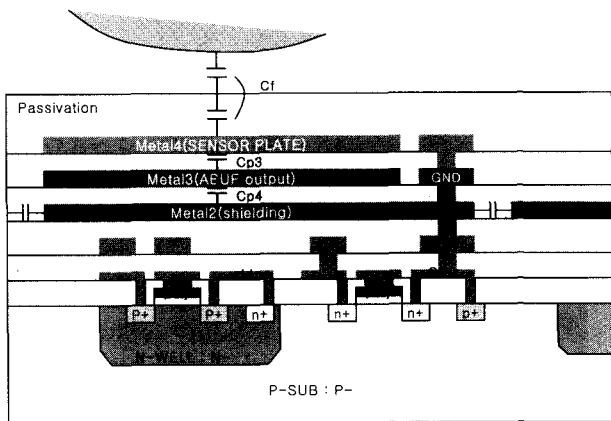


그림 8. 160x192 픽셀 어레이 센서 output(0.35 μ m typical condition)

Fig. 8. 160x192 pixel array sensor output simulation result.



1. Metal 1, poly : routing
2. Metal 2 : always GND, shielding metal
3. Metal 3 : analog buffer output
4. Metal 4 : sensor plate metal
5. Ground wall : pixel 간 shielding 효과

그림 9. 수평, 수직간 Isolation 대책
 Fig. 9. Horizontal and vertical isolation strategy.

본 논문에서 설계된 지문센서 신호처리회로는 자체개발한 32비트 RISC CPU 및 메모리를 하나로 내장한 스마트 지문인식 SoC로 확장 개발이 진행 중이다.

III. 결 론

본 논문에서는 용량형 반도체 지문센서 감도저하의 결정적 요인인 기생 용량을 제거하기 위한 개선된 회로를 설계하였고, 센서 픽셀 간 isolation을 통하여 ESD와 노이즈 제거를 통한 감도 향상 기법도 아울러 제안하였다. 기생 용량 제거를 위해서 전하분할 방식을 적용하였으며 기존의 6-트랜지스터 버퍼를 5-트랜지스터 버퍼로 적용함으로써 용선과 게폭사이의 전압 차이를 28% 향상 시켜 기존 전압의 동작범위를 향상시킬 수 있었다. 센서의 신호는 본 논문에서 설계된 비교기를 통하여 이진화 이미지 데이터로 출력된다. 픽셀 어레이 방식의 지문센서는 센서 금속판 하부에 신호처리 아날로그 회로가 배치되며 이에 따른 ESD문제 및 노이즈가 발생할 수 있다. 본 논문에서는 수평과 수직으로 접지 차폐 금속을 적용함으로써 센서 노이즈 제거는 물론 ESD영향에도 효과적으로 대처할 수 있는 isolation 대책을 제안하였다. 개선된 회로 및 알고리즘을 적용하여 160x192 픽셀 규모의 critical path 회로를 구현하여 동작 및 특성을 확인하였으며 0.35µm 표준 CMOS 공정을 적용하여 레이아웃 하였다. 설계된 회로는 32비트 RISC CPU 내장형 스마트 지문인식 칩으로 확장 개발이 진행 중이다.

참 고 문 헌

- [1] J. W. Lee, D. J. Min, J. Y. Kim, and W. C. Kim, "A 600-dpi Capacitive Fingerprint Sensor Chip and Image-Synthesis Technique", IEEE J. of Solid-state circuits, vol. 34, No.4, pp469-475, April, 1999.
- [2] H. Morimura, S. Shigematsu and K. Machida, "A High-Resolution Capacitive Fingerprint Sensing Scheme with Charge-Transfer Technique and Automatic Contrast Emphasis", 1999 Symposium on VLSI Circuits Digest of Technical Papers, Feb. 1999. pp157-160.
- [3] D. Inglis et al., "A Robust 1.8V 250usW Direct-Contact 500dpi Fingerprint Sensor", ISSCC Digest of Technical Papers, Feb. 1998. pp284-285.
- [4] M. Tartagni and R. Guerrieri, "A Fingerprint Sensor Based on the Feedback Capacitive Sensing Scheme", IEEE J. of Solid-state circuits, vol. 33, pp133-142, Jan. 1998.
- [5] H. Morimura, S. Shigematsu and K. Machida, "A Novel Sensor Cell Architecture and Sensing Circuit Scheme for Capacitive Fingerprint Sensors", IEEE J. of Solid-state circuits, vol. 35, pp724-731, May. 2000.
- [6] K. Machida, S. Shigematsu, H. Morimura, N. Shimoyama, Y. Tanabe, T. Kumazaki, K. Kudou, M. Yano and H. Kyuragi, "A New Sensor Structure and Fabrication Process for a Single-Chip Fingerprint Sensor/Identifier LSI", Tech. Digest of IEEE International Electron Devices Meeting(IEDM'99), pp.887-890.
- [7] K. Machida, H. Morimura, Y. Tanabe, N. Sato, N. Shimoyama, T. Kumazaki, K. Kudou, M. Yano and H. Kyuragi, "A Novel Semiconductor Capacitive Sensor for a Single-Chip Fingerprint Sensor/Identifier LSI", IEEE Transactions on Electron Devices, Vol. 48, No. 10, pp2273-2277, Oct 2001.

저 자 소 개



정 승 민(정회원)

1990년 2월 연세대학교 전자공학과 공
학사

1992년 2월 연세대학교 대학원 전자공
학과 공학석사

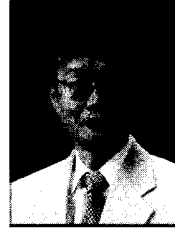
1999년 3월 연세대학교 대학원 전자공
학과 박사과정

1992년 2월~1997년 8월 (주)삼성전자 전임연구원

1997년 9월~1998년 2월 에스엠디코리아 선임연구원

1998년 3월~현재 용인송담대학 정보통신과 조교수.

<주관심분야 : 디지털신호처리, VLSI 및 CAD, ASIC, 반
도체센서, 통신시스템 설계>



이 문 기(정회원)

1965년 2월 연세대학교 전기공학 공학사

1967년 2월 연세대학교 대학원 전기공
학 공학석사

1973년 2월 연세대학교 전기공학과 Ph.D

1980년 8월 Univ. of Oklahoma Ph.D

1989년 4월~2000년 8월 연세대학교부설 아식설계공동
연구소 소장

1999년 8월~2000년 8월 Asian-Pacific ASIC 국제학술
대회 대회장

1982년 8월~현재 연세대학교 전기전자공학과 교수.

<주관심분야 : 고성능 마이크로프로세서 및 IP, VLSI &
CAD design, Embeded system design, Smart sensor &
system>