

논문 2004-41SD-3-10

# 오류 정정기능이 내장된 6-비트 70MHz 새로운 Interpolation-2 Flash ADC 설계

(A 6-bit, 70MHz Modified Interpolation-2 Flash ADC  
with an Error Correction Circuit)

박 정 주\*, 조 경 록\*

(Jeong Joo Park and Kyoung Rok Cho)

## 요 약

본 논문에서는 새로운 interpolation-2 방식의 비교기 구조를 제안하여 칩 면적과 전력 소모를 줄이며 오류정정 회로를 내장하는 6-비트 70MHz ADC를 설계 하였다. Interpolation 비교기를 적용하지 않은 flash ADC의 경우  $2n$ 개의 저항과  $2n-1$ 개의 비교기가 사용되며 이는 저항의 수와 비교기의 수에 비례하여 많은 전력과 큰 면적을 필요로 하고 있다. 또한, interpolation-4 비교기를 적용한 flash ADC는 면적은 작으나 단조도, SNR, INL, DNL 특성이 떨어진다는 단점이 있었다. 본 논문에서 설계한 interpolation-2 방식의 ADC는 저항, 비교기, 앰프, 래치, 오류정정 회로, 온도계코드 디텍터와 인코더로 구성되며, 32개의 저항과 31개의 비교기를 사용하였다. 제안된 회로는 0.18um CMOS 공정으로 제작되어 3.3V에서 40mW의 전력소모로 interpolation 비교기를 적용하지 않은 flash ADC에 비해 50% 개선되었으며, 칩 면적도 20% 감소되었다. 또한 노이즈에 강한 오류정정 회로가 사용되어 interpolation-4 비교기를 적용한 flash ADC 에 비해 SNR이 75% 개선된 결과를 얻었다.

## Abstract

In this thesis, a modified interpolation-2 6-bit 70MHz ADC is proposed minimizing chip area and power consumption, which includes an error correction circuit. The conventional flash ADC without interpolation comparators suffers from large chip area and more power consumption due to  $2n$  resistors and  $2n-1$  comparators. Although the flash ADC with interpolation-4 comparators has small area, SNR, INL and DNL are degraded by comparison with the interpolation-2 comparator. We fabricated the proposed 6-bit ADC with interpolation-2 comparators using 0.18um CMOS process. The ADC is composed of 32-resistors, 31 comparators, amplifiers, latches, error correction circuit, thermometer code detector and encoder. As the results, power consumption is reduced to 40mW at 3.3V which is saving about 50% than a flash ADC without interpolation comparators, and area is reduced by 20%. SNR is increased by 75% in comparison with that of a flash ADC with interpolation-4 comparators.

**Keywords** : flash ADC, interpolation, error correction

## I. 서 론

통신 시스템과 광 저장 장치 등에서는 아날로그 신호를 디지털 신호로 변환할 수 있는 ADC가 필요하며, 시스템의 동작 주파수가 빨라지면서 고속의 아날로그 블록이 요구되고 있다. 일반적으로, 고속의 ADC를 필요

로 하는 시스템에서는 flash나 folding 방식의 ADC를 사용하게 되는데<sup>[1][2][3][4]</sup>, 6-비트 이하의 저해상도만을 필요로 하게 되는 시스템에서는 flash type의 ADC가 주로 사용된다. Flash type의 ADC는 동작 속도가 빠른 ADC로서, 아날로그 신호를 디지털 신호로 변환하는데 단 하나의 클럭 주기만이 사용된다는 장점이 있다. 그러나 해상도를 결정하는 비트 수가 늘어날수록 칩 면적이 기하급수적으로 늘어나는 단점으로 인해 8-비트 이상으로 구현하기는 어려우며, 다른 종류의 ADC에 비해 전력 소모가 많다는 단점 때문에 여러 가지 방식의 in-

\* 정희원, 충북대학교 정보통신공학과  
(School of Information and Communications Engineering, Chungbuk National University)  
접수일자 : 2003년10월21일, 수정완료일 : 2004년2월27일

terpolation 기법이 사용되었다<sup>[5][6]</sup>.

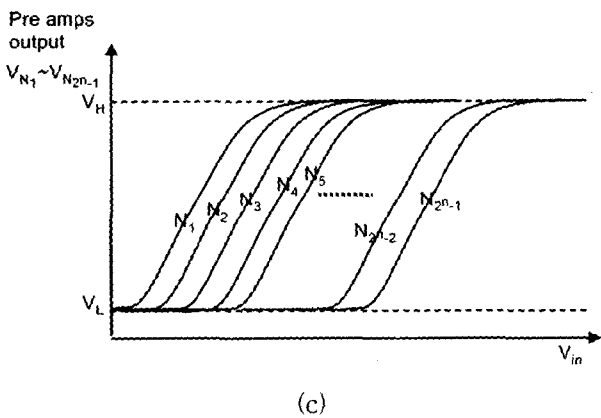
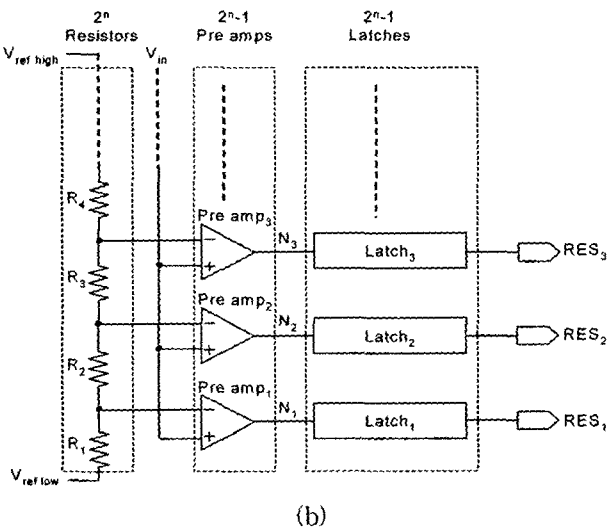
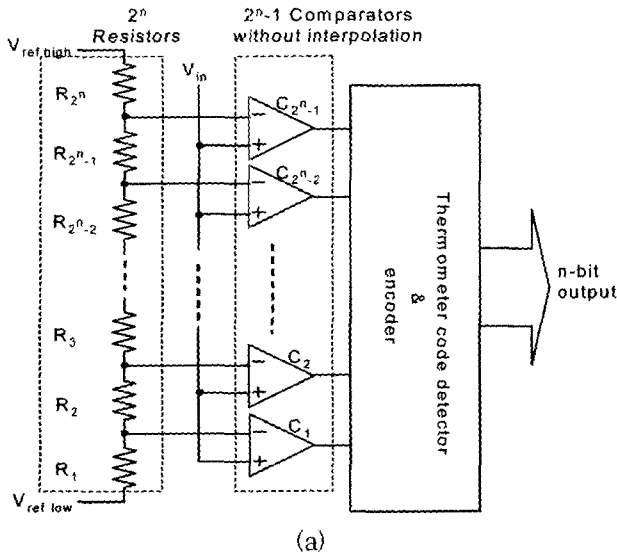


그림 1. Interpolation이 없는 flash ADC : (a)블록도; (b)비교기의 구조; (c)비교기의 전압 파형  
 Fig. 1. Flash ADC without interpolation : (a)block diagram; (b) structure of comparator; (c) voltage waveform of comparator.

그림 1(a)는 interpolation이 없는 flash type ADC의 블록도를 나타내었는데,  $2^n$ 개의 저항과  $2^n-1$ 개의 비교기와 온도계 코드 디텍터와 인코더로 구성된다. 그림 1(b)에 비교기의 구조를 나타내었는데 프리앰프와 래치로 이루어져 있다. 프리앰프는  $V_{in}$ 의 전압이 증가함에 따라 그림 1(c)에서 보는 바와 같이 프리앰프 출력 low( $V_L$ )에서 high( $V_H$ )로의 온도계 코드를 출력한다.

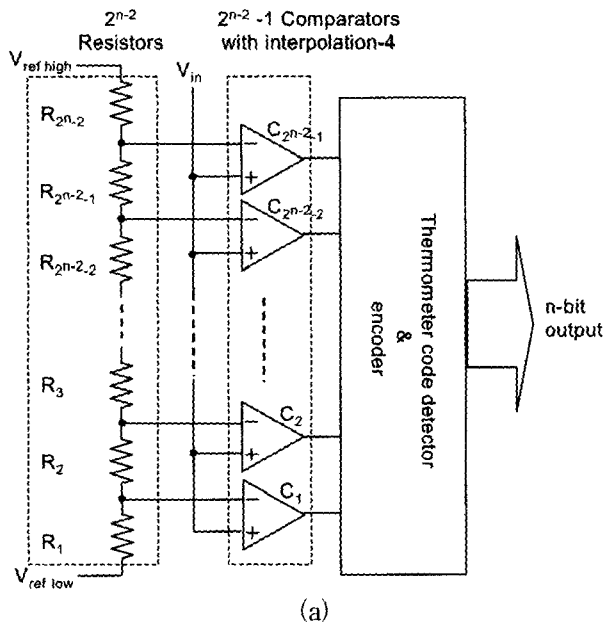
Interpolation이 없는 flash ADC는 고속 동작이라는 장점에 비해, 입력이 모든 프리앰프에 연결되기 때문에 큰 입력 커패시턴스와 큰 전력 소모, 비트 수에 따라 기하급수적으로 넓은 칩 면적을 차지한다는 단점이 있다.

그림2(a)는 interpolation-4 방식의 비교기를 사용한 flash ADC의 블록도로,  $2^{n-2}$ 개의 저항과  $2^{n-2}-1$ 개의 비교기만이 사용되어 칩 면적을 줄이고 전력 소모가 개선된다<sup>[7][8][9]</sup>. 사용된 비교기의 아날로그 입력인  $V_{in}$ 의 변화에 따라 그림 2(b)의 Pre amp<sub>1</sub>과 Pre amp<sub>2</sub>가 비교기로 동작하게 되어 출력은 그림2(c)에서 보는 바와 같이 저항비에 따라 노드  $N_2, N_3, N_4$ 도 변화하게 된다. 즉 Pre amp<sub>1</sub>과 Pre amp<sub>2</sub>의 출력으로 2-비트의 추가 해상도를 얻을 수 있는 방식이다. 일반적으로 flash ADC의 속도는 비교기의 속도에 결정되는데, 그림 2(b)에서  $R_{11}, R_{12}, R_{13}$ 과 같은 출력단의 저항 성분이 래치의 입력 커패시턴스와 신호 경로에서 시간상수를 형성하여 비교기의 주파수 특성이 떨어진다. 입력 신호에 대한 전체 지연은 다음 식(1)과 같이 나타난다.

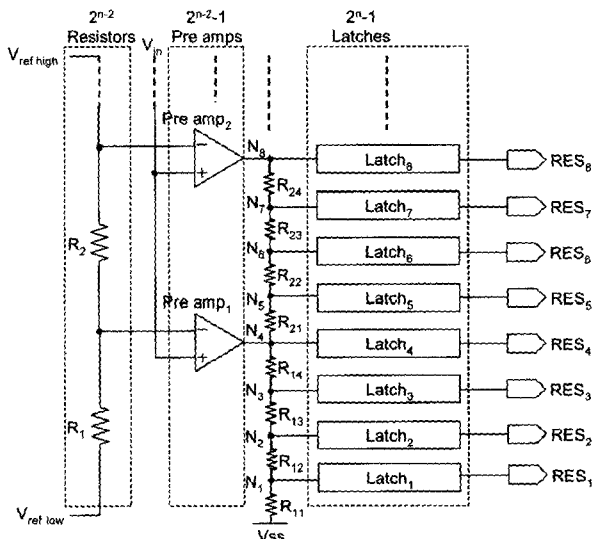
$$D_{total} = D_P + D_R \tag{1}$$

여기서,  $D_P$ 는 비교기의 기생 커패시턴스와 저항에 의한 신호지연 시간이며,  $D_R$ 은 출력단의 저항과 래치의 입력 커패시턴스에 의한 신호지연 시간이다. 그리고 저항의 공정 변화에 따라 Pre amp<sub>1</sub>과 Pre amp<sub>2</sub> 사이의 저항 값 변화에 따른 DNL 특성과 INL 특성도 저하되는 단점을 가지고 있다.

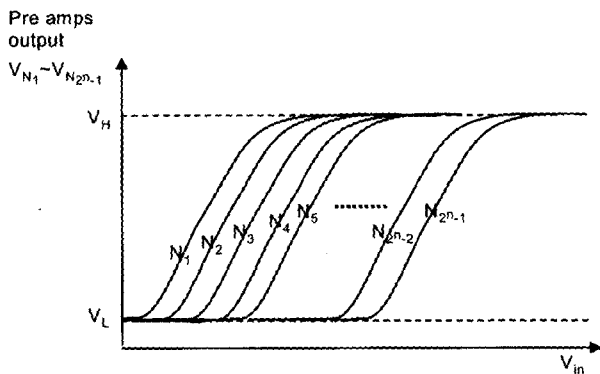
본 논문에서는 interpolation-2 비교기를 적용하는 개선된 구조로 비교기의 수를 줄여 저전력과 작은 칩 면적을 구현하였으며 오류정정 회로도 제안 하였다. 제안된 구조는 그림 1(a)의 interpolation이 없는 flash ADC의 전력소모가 많고 면적이 크다는 단점과 그림 2(a)의 interpolation-4 flash ADC의 SNR, 단조도, DNL, INL 특성이 떨어지는 단점을 개선하였다. 또한 0.18um CMOS 공정을 이용하여 70MHz로 3.3V의 낮은 전원에서 동작 가능하다.



(a)



(b)



(c)

그림 2. Interpolation-4 flash ADC : (a)블록도; (b)비교기의 구조; (c)비교기의 전압 파형

Fig. 2. Flash ADC with interpolation-4 : (a)block diagram; (b) structure of comparator; (c) voltage waveform of comparator.

제 II 장에서는 본 논문에 적용된 interpolation-2 방식의 비교기와 래치, 오류정정 회로, 온도계 코드 디텍터와 인코더에 대해 기술하고, 제 III장에서는 제안된 회로에 대한 회로 시뮬레이션 결과와 이를 적용하여 제작한 칩의 측정 결과를 제시한다. 마지막으로 제IV장에서는 본 논문의 결론을 언급하고자 한다.

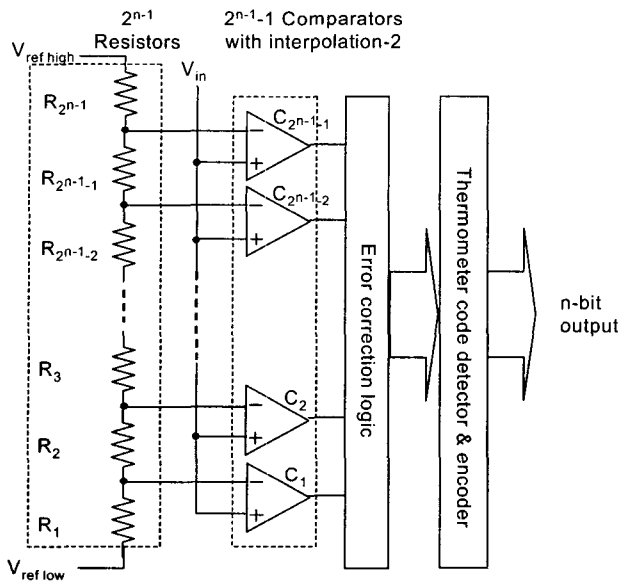
## II. 6-비트 ADC의 주요 회로설계

### 1. 6-비트 interpolation-2 ADC 회로 블록 설계

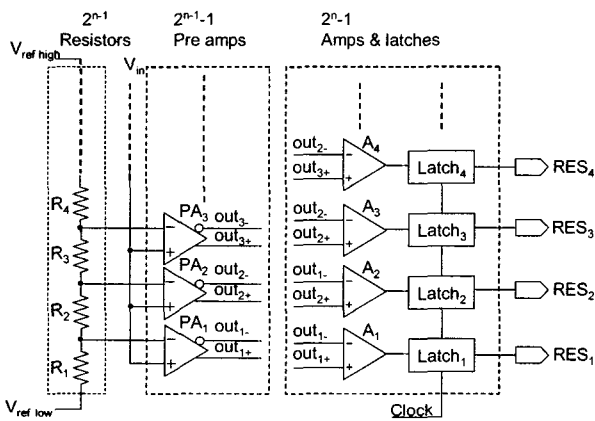
그림 3(a)는 저 전력 및 칩 면적을 최소화하기 위해 interpolation-2 방식의 비교기로 구성된 6-비트 flash ADC의 블록도이다. 제안된 회로의 구성은  $V_{ref\ high}$ 와  $V_{ref\ low}$  사이의 기준전압을 생성하는 직렬로 연결된  $2^{n-1}(=32)$ 개의 저항과 interpolation-2 방식의 비교기, 단조도를 개선하기 위한 오류정정 회로 및 온도계코드 디텍터와 인코더로 구성된다. 여기서 저항에 의해 생성된 기준전압은 interpolation-2 flash ADC에서는 저항 하나에 2 LSB의 해상도를 가지는데, 여기서 사용된 저항으로는 NMOS 액티브 저항보다는 전원전압의 변화에 따라 저항값이 변화하지 않는 폴리 저항을 주로 사용한다.

### 2. Interpolation-2 비교기

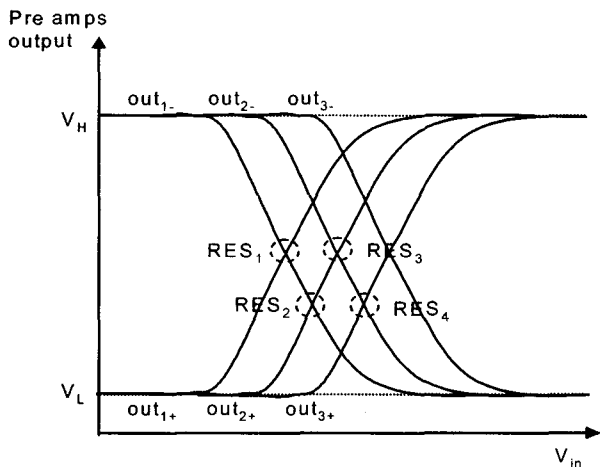
그림 3(b), (c)는 interpolation-2 방식의 비교기의 구조와 전압파형을 나타낸다. 6-비트의 해상도를 가지는 ADC에서는 아날로그 입력신호( $V_m$ )와 기준 전압을 비교하여 증폭하는  $2^{n-1}-1(=31)$ 개의 프리앰프, 출력을 비교하여 기억하는 63개의 앰프와 래치 회로로 구성된다. 그림 3(b)는 전원전압이 3.3V일 경우, 2.3V의  $V_{ref\ high}$ 와 0.8V의  $V_{ref\ low}$ 가 직렬로 연결된 32개의 저항 양단에 인가되고 아날로그 입력 신호( $V_m$ )가 0.7V부터 2.4V로 입력된다. 이때 그림 3(b)의 프리앰프 PA<sub>1</sub>의 out<sub>1</sub> 출력은 그림 3(c)의  $V_H$ 에서  $V_L$ 로의 파형을 출력하고, out<sub>1</sub> 출력은  $V_L$ 에서  $V_H$ 로의 파형을 출력한다. 그리고 프리앰프 PA<sub>2</sub>, PA<sub>3</sub>도 동일하게 그림 3(c)의 out<sub>2</sub>, out<sub>2</sub>, out<sub>3</sub>, out<sub>3</sub>의 파형을 출력한다. 제안된 회로가 그림 1(a)의 interpolation이 없는 flash ADC와의 차이점은 31개의 프리앰프의 출력이 62개의 출력을 만들고, 앰프와 래치 회로에서는 이를 다시 비교하여 RES<sub>1</sub>, RES<sub>3</sub> 외에도 RES<sub>2</sub>와 RES<sub>4</sub>라는 2배의 비교 점을 가진다는 점이다. 즉, 최종적으로는 63개의 비교기와 동일한 역할을 수행한다.



(a)



(b)



(c)

그림 3. 제안된 interpolation-2 flash ADC : (a)블록도;

(b)비교기의 구조; (c)비교기의 전압 파형

Fig. 3. Proposed flash ADC with interpolation-2 :

(a)block diagram; (b) structure of comparator;

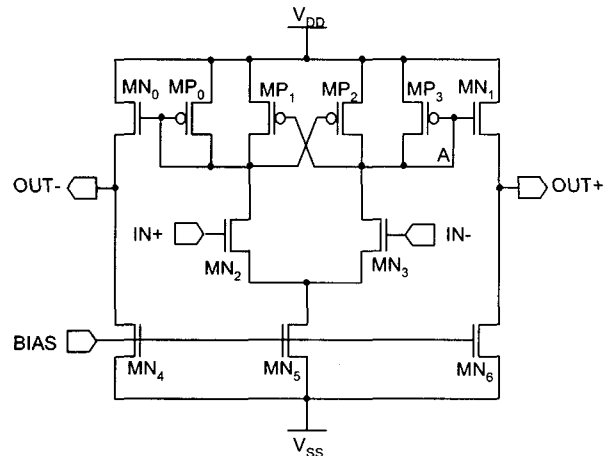
(c) voltage waveform of comparator.

가. 프리앰프 회로

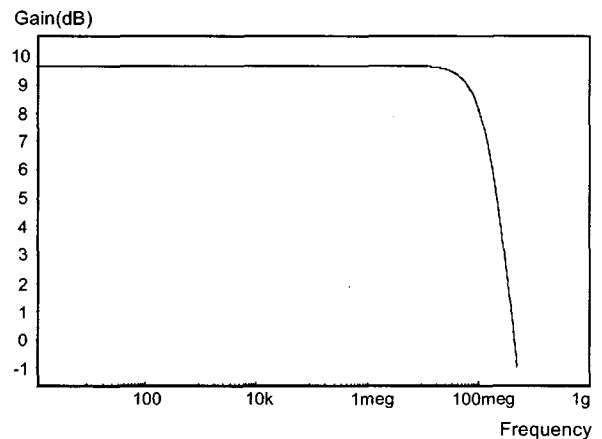
그림 4(a), (b)는 프리앰프의 회로도와 이득 특성을 나타낸다. 프리앰프는 ADC의 특성을 향상시키기 위해 앰프와 래치 앞단에서 기준전압과 아날로그 입력신호와의 차이에 대한 출력을 증폭시키는 역할을 한다. 프리앰프는 그림 4(a)의 MN<sub>2</sub>와 MN<sub>3</sub>의 차동 증폭단에 의해 입력 신호를 받아서 식(2)과 같은 이득으로 증폭되어 출력에 나타난다.

$$A = \frac{(V_{OUT+}) - (V_{OUT-})}{(V_{IN+}) - (V_{IN-})} = \frac{gm_{MN2}}{gm_{MP3} - gm_{MP2}} \quad (2)$$

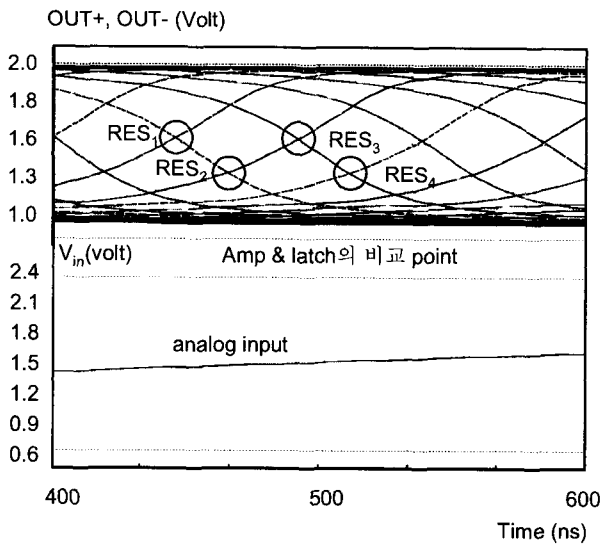
여기서 사용된 프리앰프의 이득은 전원전압이 3.3V 일 때 9.65dB이며, -3dB의 주파수는 160MHz 이다. 이는 본 논문에서 목표로 하였던 70MHz의 클럭 주파수를 만족하기에는 충분한 여유를 가지고 있음을 알 수 있다.



(a)



(b)



(c)

그림 4. 프리앰프 : (a)회로도; (b)이득 특성; (c)아날로그 입력에 따른 프리앰프의 출력파형  
Fig. 4. Pre amp : (a)circuit; (b)gain characteristic; (c) pre amp waveform with analog input.

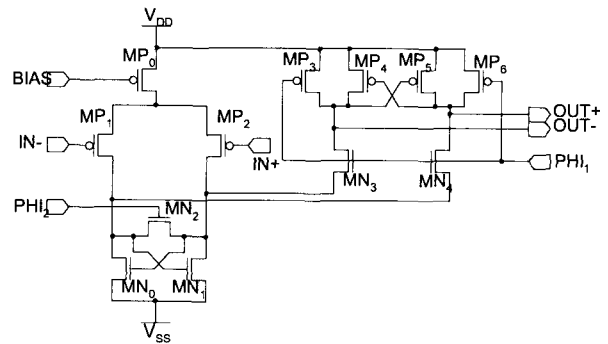
그림 4(c)는 전원 전압이 3.3V이고, V<sub>ref high</sub>가 2.3V, V<sub>ref low</sub>가 0.8V 일 때의 직렬 저항의 기준전압을 사용하여 아날로그 입력 전압을 0.7V에서 2.4V까지 V<sub>in</sub>으로 입력 하였을 때 프리앰프의 출력 파형을 나타낸다. 프리앰프의 출력 OUT<sub>+</sub>, OUT<sub>-</sub>가 RES<sub>1</sub>, RES<sub>3</sub>은 1.53V에서 교차하였고, RES<sub>2</sub>, RES<sub>4</sub>는 1.32V에서 교차하였다. 그림 3(c)의 비교기의 전압 파형과 같이 RES<sub>1</sub>과 RES<sub>3</sub> 외에도 RES<sub>2</sub>, RES<sub>4</sub>의 비교점이 나타남을 알 수 있다.

나. 앰프와 래치회로

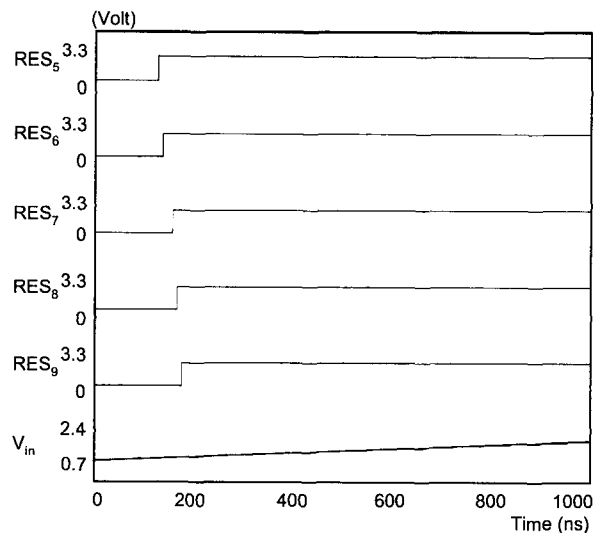
그림 5(a), (b)는 앰프와 래치 회로의 회로도 및 비교기 전체 블록의 시뮬레이션 결과를 나타내었다. 그림 5(a)에서 앰프회로는 MP<sub>0</sub>, MP<sub>1</sub>, MP<sub>2</sub>, MN<sub>0</sub>, MN<sub>1</sub>로 구성된 부분이며, MP<sub>3</sub>, MP<sub>4</sub>, MP<sub>5</sub>, MP<sub>6</sub>, MN<sub>3</sub>, MN<sub>4</sub>는 래치 회로에 해당된다.

여기서 사용되는 PHI<sub>1</sub>과 PHI<sub>2</sub>는 180도 역 위상을 가지는 70MHz 클럭이며 PHI<sub>1</sub>이 "0"이고 PHI<sub>2</sub>가 "1"일 때, 그림 4(a) 프리앰프의 출력 OUT<sub>+</sub>와 OUT<sub>-</sub>가 그림 5(a)의 앰프 IN<sub>+</sub>와 IN<sub>-</sub>로 입력된다. 이때, PHI<sub>2</sub>가 "1"이므로 MN<sub>2</sub> 양단의 노드 전압은 0.72V로 유지되고, PHI<sub>1</sub>이 "0"이므로 MN<sub>3</sub>, MN<sub>4</sub>는 오프 상태를 유지하여 앰프와 래치회로를 격리 시키는 역할을 한다. 아울러 PHI<sub>1</sub>은 MP<sub>3</sub>와 MP<sub>5</sub>를 온 시켜서 OUT<sub>+</sub>와 OUT<sub>-</sub>를 전원 전압으로 프리차이지 시킨다. 즉, OUT<sub>+</sub>, OUT<sub>-</sub>의 출력은 "1"이 되는 것이다. PHI<sub>1</sub>이 "1"이고 PHI<sub>2</sub>가 "0"일 때,

MN<sub>2</sub>가 오프 상태이므로 프리앰프의 출력에 의해 결정된 입력 IN<sub>+</sub>, IN<sub>-</sub>에 의해서 MN<sub>2</sub> 양단의 전압이 차동 증폭 된다. 그리고 PHI<sub>2</sub>가 "1"의 상태이므로 MP<sub>3</sub>, MP<sub>5</sub>는 오프가 되고, MN<sub>3</sub>, MN<sub>4</sub>가 온 상태가 되므로, 앰프에서 차동 증폭된 출력이 MN<sub>3</sub>, MN<sub>4</sub>를 통해서 MP<sub>4</sub>, MP<sub>6</sub>에 기억 된다. 그림 5(b)는 전원 전압 3.3V에서 아날로그 입력(V<sub>in</sub>)을 0.7V에서 2.4V로 가변 하였을 때, 앰프와 래치회로 128개의 출력 OUT<sub>+[63:1]</sub>, OUT<sub>-[63:1]</sub>의 신호를 63개의 NAND type의 RS 래치회로에 연결하여 63개의 온도계 코드를 생성한 것이다. 편의상 비트5 ~ 비트9만을 나타내었다. 이 출력은 다음 단의 오류정정 인코더 회로에서 사용된다.



(a)



(b)

그림 5. 앰프와 래치회로 : (a)회로도; (b)시뮬레이션 결과  
Fig. 5. Amp and latch : (a)circuit; (b)simulation result.

다. 바이어스 회로

그림 6 은 비교기를 구성하고 있는 프리앰프와 앰프와 래치회로에 바이어스 전원을 공급하는 회로이다. 여

기서 사용된 Amp0은 전원 전압 3.3V에서 약 75dB 이득을 가지는데, MP<sub>0</sub>을 통해서 네거티브 피드백을 형성하였다. 출력단자 OUT-로 프리앰프에 0.9V의 바이어스 전원을 공급하며, OUT+의 출력단자를 통해 앰프와 래치회로에 2.5V의 바이어스 전원을 공급한다.

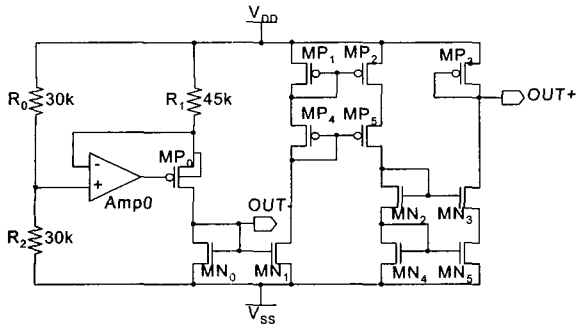


그림 6. 바이어스 회로도  
Fig. 6. Bias circuit.

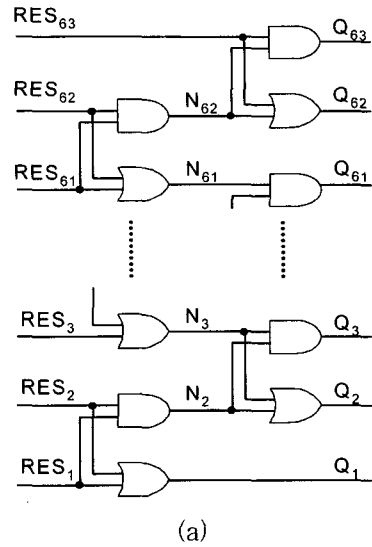
3. 오류정정 회로

그림 7(a)는 오류정정 회로도로서, RES<sub>[63:1]</sub>은 프리앰프의 출력이며 Q<sub>[63:1]</sub>은 오류정정 회로의 출력을 나타낸다. RES<sub>[3:1]</sub>에 "101"의 노이즈성 신호가 인가되면 노드 N<sub>3</sub>, N<sub>2</sub>, Q<sub>1</sub>은 "101"로 되고, Q<sub>[3:1]</sub>은 "011"의 값을 출력한다. 2<sup>n-1</sup>-1(=31)개의 프리앰프의 출력은 앰프와 래치회로에서 다시 63개의 온도계 코드로 출력되는데, 63개의 코드에는 전원전압의 노이즈나 내부 디지털 회로의 스위칭시 발생하는 간섭신호 등에 의해서 그림 7(b)의 binary "011"의 경우와 같이 "0010111"의 AD변환 값이 발생할 수 있다. 이러한 경우 ADC의 단조도가 저하되는데, 이를 개선하기 위해서 노이즈가 발생하지 않았을 경우의 다음과 같은 AD변환 값 "0000111", "0001111", "0011111" 세 가지의 값을 예측할 수 있다.

ADC의 특성에서 단조도는 중요한 요소이므로 본 논문에서는 "0001111"로 수정되도록 오류정정 회로를 설계하였다. 즉, RES<sub>n-1</sub>이 0이고, R<sub>n</sub>이 1인 버블이 발생한 부위에 대해 아래와 같은 식(3)과 같이 오류 정정이 가능하다.

$$Q_n \leq RES_{n-1}, Q_{n-1} \leq RES_n \quad (3)$$

이렇게 오류가 정정된 63-비트의 AD 변환 값은 6-비트로 변환된다. 본 논문에서 사용된 오류정정 회로의 장점은 AD 변환 값의 단조도에 개선된 특성을 나타낸다. 2-비트 이상의 오류 정정 기능을 가지게 하기 위해서는 본 회로에서 AND, OR로 구성된 배열을 3단 이상 추가함으로써 개선된 노이즈 특성을 얻을 수 있다.



(a)

Binary	Thermometer code	Thermometer code (error code)	Thermometer code (error correction)
000	0000000	0000000	0000000
001	0000001	0000001	0000001
010	0000011	0000011	0000011
011	0000111	0010111	0001111
100	0001111	0001111	0001111
101	0011111	0011111	0011111
110	0111111	0111111	0111111
111	1111111	1111111	1111111

(b)

그림 7. 오류정정 : (a)회로도; (b)온도계 코드와 오류정정 (3-비트)  
Fig. 7. Error correction : (a)circuit; (b)thermometer code and error correction.

4. 온도계 코드 디텍터와 인코더

그림 8은 오류정정 회로 및 인코더의 블록도이다. 63-비트의 비교기 출력이 오류정정회로에 의해 단조도가 개선되고 63-비트의 온도계 코드가 출력되면 인코더 블록을 통해서 6-비트로 변환된다. 인코더는 단지 온도계 코드 63-비트를 6-비트로 변환하는 회로로 구성되어 있다.

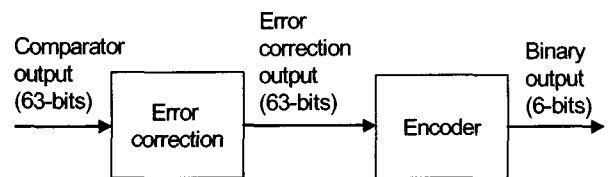


그림 8. 오류정정 회로와 인코더 블록도  
Fig. 8. Block diagram of error correction logic and encoder.

일반적으로, ADC의 특성은 SNR로 나타내어지는데, 양자화 오차에 따른 N-비트의 최대 SNR은 다음과 같다<sup>[10]</sup>.

$$SNR_{MAX} = 6.02N + 1.76 (dB) \quad (4)$$

### III. 시뮬레이션 및 측정결과

#### 1. 회로 시뮬레이션 결과

그림 9는 0.18um CMOS SPICE 모델을 사용하여 전원 전압 3.3V, 온도 25°C일 때의 제안된 interpolation-2 flash ADC의 시뮬레이션 결과를 나타낸다. 시뮬레이션 조건은  $V_{ref\ high}$  는 2.3V,  $V_{ref\ low}$  는 0.8V를 인가하고, 아날로그 입력( $V_{in}$ )은 0.7V에서 2.4V로 1us 동안 변화시켰다. 입력 클럭은 비교기의 앵프와 래치회로 PHI<sub>1</sub>, PHI<sub>2</sub>에 사용되는데 70MHz를 사용하였다.  $V_{in}$ 에 따라 순차적인 값을 가지는 AD 변환 값  $D_{[6:1]}$ 의 출력 파형을 확인할 수 있었다.

#### 2. 측정결과

본 논문에서 적용된 interpolation-2 방식과 오류정정 기능이 내장된 6-비트 70MHz의 ADC는 0.18um 1 Poly 4 Metal의 CMOS ASIC 공정을 이용하여 제작하였다. 그림 10에 1MHz, 2MHz, 4MHz의 사인파를 입력하였을 때의 오류정정 기능이 없는 interpolation-4 방식의 ADC와 본 논문에서 제안된 오류 정정 기능이 있는 interpolation-2 방식의 SNR 특성이다. 클럭 주파수가 70MHz이고 입력이 1MHz 일 때 34.7dB, 2MHz일 때 33.3dB, 4MHz일 때 32.4dB로 제안된 방식이 기존과 비교하면 SNR이 75% 정도로 개선되었음을 알 수 있다.

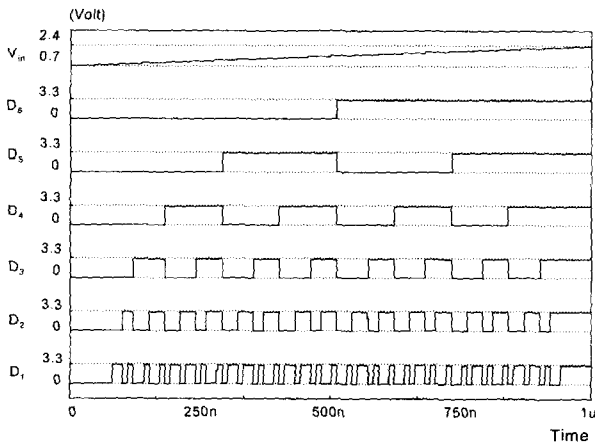


그림 9. 6-비트 interpolation-2 flash ADC의 시뮬레이션 결과(70MHz)

Fig. 9. Simulation results of 6-bit interpolation-2 flash ADC(70MHz).

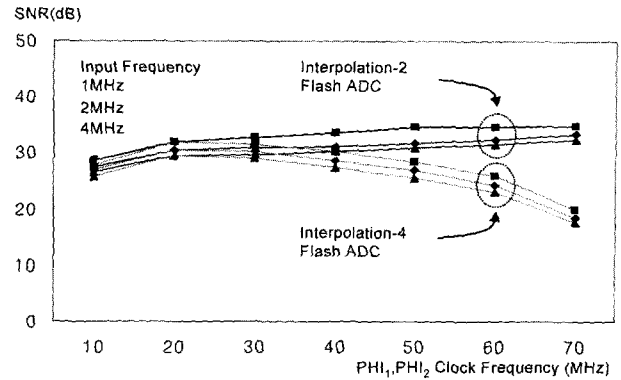


그림 10. 오류정정 기능이 없는 interpolation-4 ADC와 오류정정 기능이 있는 interpolation-2 ADC의 SNR(dB) 특성

Fig. 10. SNR(dB) characteristic of interpolation-4 ADC without error correction and interpolation-2 ADC with error correction.

이는 제안된 회로가 식(4)의  $SNR_{MAX}$  값에 근접해 있고 단조 특성의 오류 정정에 강함을 나타낸다.

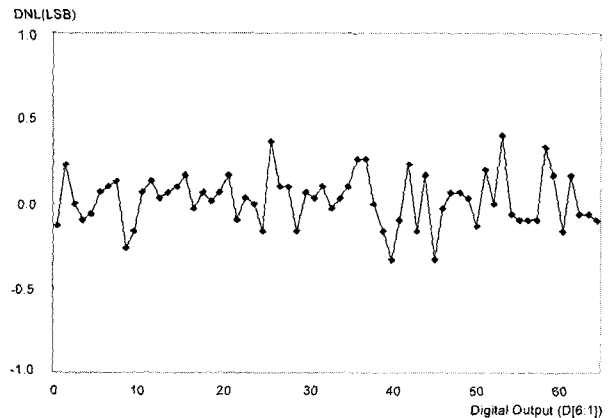


그림 11. Differential nonlinearity (DNL) 특성

Fig. 11. Measured differential nonlinearity (DNL) characteristic.

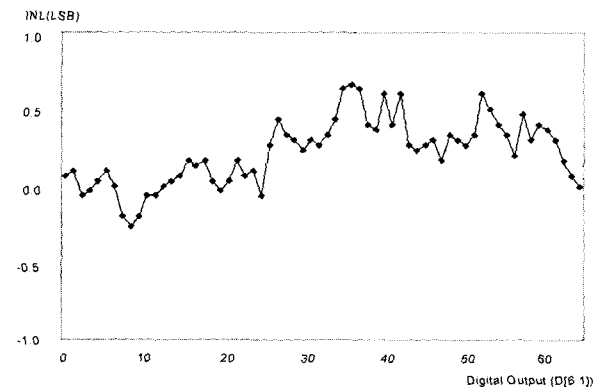


그림 12. Integral nonlinearity (INL) 특성

Fig. 12. Measured integral nonlinearity (INL) characteristic.

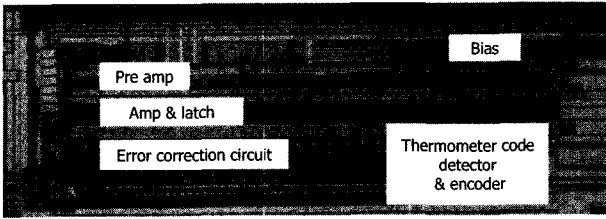


그림 13. 6-비트 flash ADC 내장 DSP servo 칩 사진  
Fig. 13. Photography of 6-bit flash ADC in DSP servo.

본 논문의 interpolation-2 flash ADC가 interpolation-4 flash ADC에 비해 SNR이 개선되는 것은 비교기의 구조를 저항을 사용하지 않는 구조로 바꿈으로써, 식(1)에서  $D_R$ 을 제거하였기 때문이다. 즉, 입력신호 지연이 작아짐으로써 높은 주파수의 입력에 대한 AD 변환이 가능하다.

그림 11과 그림 12는 본 논문에서 제안된 ADC의 differential nonlinearity (DNL) 특성과 integral nonlinearity (INL) 특성이다. 측정된 결과는 DNL 0.4LSB, INL 0.7LSB로 우수한 특성을 보인다.

본 논문의 6-비트 flash ADC를 평가하기 위해 DSP servo 칩에 내장하였으며 0.18um CMOS ASIC 공정으로 제작된 6-비트 flash ADC의 면적은 1236um x 422um이고, 그림 13의 칩 사진과 성능을 표1에 정리하였다.

표 1. 측정된 ADC 특성  
Table 1. Measurement results of ADC.

Technology	1 poly 4 metal 0.18um CMOS
Resolution	6-bits
Conversion rate	70MHz
Supply voltage	3.3V
Power consumption	40mW
Differential nonlinearity error	<   0.4LSB
Integral nonlinearity error	<   0.7LSB
SNR(1MHz input) 70MHz	< 34.7dB
Input voltage range	0.8V ~ 2.3V
Reference ladder resistance	12.8k ohm
ADC area	1236um x 422um

#### IV. 결 론

본 논문에서는 interpolation이 없는 flash ADC와 interpolation-4 flash ADC에 대한 분석 및 특성 평가를 실시하여 오류정정기능이 내장된 새로운 방식의 inter-

polation-2 flash ADC를 제안하였다. 제안된 회로를 적용하여 칩을 제작하였으며, 실측하여 분석한 결과 기존의 회로가 가지는 문제점을 개선하였음을 검증하였다.

Interpolation을 사용하지 않은 flash ADC에서는 비트수가 늘어날수록 칩 면적과 전력 소모가 기하급수적으로 늘어난다는 단점과, interpolation-4 flash ADC에서는 프리앰프의 출력단에 저항을 사용하여 출력단의 저항이 래치의 입력 커패시턴스와 신호 경로에서 시간 상수를 형성하여 고속의 아날로그 입력에 대해 SNR이 떨어지고 공정 변화에 따라 DNL, INL의 특성이 저하된다는 단점이 문제시 되어 왔다.

본 논문에서는 이러한 문제를 해결하기 위하여 interpolation-2라는 비교기를 적용하여 프리앰프의 수를 줄여 입력 커패시턴스를 줄였으며 저항을 사용하지 않는 비교기를 사용하여 높은 주파수 영역에서의 SNR, INL, DNL, 단조도의 특성을 개선하는 회로를 제안하였다. 제안된 interpolation-2 방식과 오류정정 기능이 내장된 6-비트 0.18um CMOS ASIC 공정으로 제작하였으며 70MHz에서 SNR이 34.7dB로 기존의 interpolation-4 flash ADC 보다 75% 개선되었다. 또한 interpolation을 사용하지 않은 flash ADC보다 비교기의 회로가 간단해져 전력소모는 40mW로 50%로 감소되었으며, 면적도 20% 감소하여 실용적 가치가 높은 결과를 얻었다.

#### 참 고 문 헌

- [1] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger, "A 250-mW, 8-b, 52-M sample/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers," *IEEE J. Solid-State Circuits*, vol. 32, pp. 312-320, Mar. 1997.
- [2] R. Roovers and M. S. J. Steyaert, "A 175M s/s, 6 b, 160mW, 3.3V CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. 31, pp. 938-944, July 1996.
- [3] M. P. Flynn and D. J. Allstor, "CMOS Folding Converters with Current-mode Interpolation," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1248-1257, Sept. 1996.
- [4] S. Tsukamoto et al., "A CMOS 6-b, 200M Sample/s, 3V-Supply A/D Converter for a



- PRML Read Channel LSI," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1831-1836, Nov. 1996.
- [5] R. E. J. van de Grift, I. W. J. Rutten, and M. van de Veen, "An 8-b video ADC Incorporating Folding and Interpolation Techniques," *IEEE J. Solid-State Circuits*, vol. 22, pp. 944-953, Dec. 1987.
- [6] B. Nauta, and A. and G. W. Venes, "A 70-MS/s 110mW 8-b CMOS Folding and Interpolation A/D Converter," *IEEE J. Solid-State Circuits*, vol. 30, pp. 1302-1308, Dec. 1995.
- [7] M. Steyaert, R. Roovers, and J. Craninckx, "A 100 MHz 8-bit CMOS Interpolating A/D Converter," *IEEE Custom Integrated Circuits Conference*, pp. 28.1.1-28.1.4, May 1993.
- [8] J. Lin and B. Haroun, "An Embedded 0.8 V/480 uW 6B/22 MHz Flash ADC in 0.13-um Digital CMOS Process Using a Nonlinear Double Interpolation Technique," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1610-1617, Dec. 2002.
- [9] S. Limotyarakis, K. Y. Nam, and B. A. Wooley, "Analysis and Simulation of Distortion in Folding and Interpolating A/D Converters," *IEEE Transactions on Circuits and Systems-I I: Analog and Digital Signal Processing*, vol. 49, No. 3, pp. 161-169, March 2002.
- [10] P. Pereira, J. R. Fernandes and M. M. Silva, "Wallace Tree Encoding in Folding and Interpolation ADCs," *IEEE International Symposium on Circuits and Systems*, vol. 1, pp. I-509-I-512, May 2002.

---

 저 자 소 개
 

---



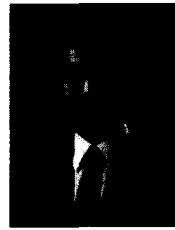
## 박 정 주(정회원)

1995년 동아대학교 전자공학과  
학사.

2002년~현재 충북대학교 정보통신공학과 석사과정.

1995년~2004년 하이닉스 반도체  
System IC MCU  
설계 선임연구원

<주관심분야 : 고속 저전력 마이크로프로세서 설계, ADC 회로설계, LCD Controller/Driver 회로설계, VFD Controller 회로설계>



## 조 경 록(정회원)

1977년 경북대학교 전자공학과 학사.

1989년 동경대학교 전자공학과 석사.

1992년 동경대학교 전자공학과 박사.

1979년~1986년 금성사 TV 연구  
소 선임연구원.

1992년~현재 충북대학교 공과대  
학 정보통신공학과  
교수.

<주관심분야 : VLSI 시스템 설계, 통신시스템용 LSI 개발 및 고속 마이크로프로세서 설계>

