

논문 2004-41TC-3-5

가변 블록 길이 부호어의 연속 복호를 위한 가변형 Reed-Solomon 복호기

(A Versatile Reed-Solomon Decoder for Continuous Decoding of
Variable Block-Length Codewords)

송 문 규*, 공 민 한**

(Moon Kyou Song and Min Han Kong)

요 약

이 논문에서는 임의의 블록 길이 n 과 메시지 길이 k 를 갖는 Reed-Solomon (RS) 부호를 연속적으로 복호하도록 프로그램 될 수 있는 가변형 RS 복호기의 효율적인 구조를 제안한다. 이 복호기는 단축형 RS 부호의 복호를 위해 영을 삽입할 필요가 없도록 하며, 변수 n 과 k , 결과적으로 에러정정 능력 t 의 값들을 매 부호어 블록마다 변화시킬 수 있다. 복호기는 수정 유클리드 알고리즘(modified Euclid's algorithm; MEA)을 기반으로 한 3단계 파이프라인 처리를 수행한다. 각 단계는 분리된 클럭에 의해 구동될 수 있으므로 단계 2 그리고/또는 단계 3에 고속 클럭을 사용함으로써 단지 2단계의 파이프라인 처리로 동작시킬 수 있다. 또한 입출력에서 서로다른 클럭을 사용하는 경우에도 사용할 수 있다. 각 단계는 가변 블록 길이를 갖는 RS 부호를 복호하기에 적합한 구조를 갖도록 설계되었다. 변화하는 t 값을 위해 MEA의 새로운 구조가 설계된다. MEA 블록에서 친이 레지스터들의 동작 길이는 하나 감소되었으며, t 의 서로다른 값에 따라서 변화될 수 있다. 간단한 회로로써 동작 속도를 유지하기 위해 MEA 블록은 재귀적 기법과 고속 클럭킹 기법을 사용한다. 이 복호기는 버스트 모드 뿐 아니라 연속 모드로 수신된 부호어를 복호할 수 있으며, 그 가변성으로 인해 다양한 분야에서 사용될 수 있다. $GF(2^8)$ 상에서 최대 10의 에러정정 능력을 갖는 가변형 RS 복호기를 VHDL로 설계하였으며, FPGA 칩에 성공적으로 합성하였다.

Abstract

In this paper, we present an efficient architecture of a versatile Reed-Solomon (RS) decoder which can be programmed to decode RS codes continuously with any message length k as well as any block length n . This unique feature eliminates the need of inserting zeros for decoding shortened RS codes. Also, the values of the parameters n and k , hence the error-correcting capability t can be altered at every codeword block. The decoder permits 3-step pipelined processing based on the modified Euclid's algorithm (MEA). Since each step can be driven by a separate clock, the decoder can operate just as 2-step pipeline processing by employing the faster clock in step 2 and/or step 3. Also, the decoder can be used even in the case that the input clock is different from the output clock. Each step is designed to have a structure suitable for decoding RS codes with varying block length. A new architecture for the MEA is designed for variable values of the t . The operating length of the shift registers in the MEA block is shortened by one, and it can be varied according to the different values of the t . To maintain the throughput rate with less circuitry, the MEA block uses both the recursive technique and the over-clocking technique. The decoder can decode codeword received not only in a burst mode, but also in a continuous mode. It can be used in a wide range of applications because of its versatility. The adaptive RS decoder over $GF(2^8)$ having the error-correcting capability of upto 10 has been designed in VHDL, and successfully synthesized in an FPGA chip.

Keywords: block codes, error-correcting codes, forward error correction, modified Euclid's algorithm, Reed-Solomon Codes

* 종신회원, 원광대학교 전기전자및정보공학부
(Department of Electrical, Electronic and Information
Engineering, Wonkwang University)

** 학생회원, 원광대학교 제어계측공학과
(Department of Control and Instrumentation

Engineering, Wonkwang University)

※ 본 연구는 정보통신부 대학 IT연구센터 육성, 지원
사업의 연구결과로 수행되었습니다.

접수일자 : 2003년8월28일, 수정완료일 : 2004년3월10일

I. 서론

블록 길이 n 과 메시지 길이 k 가 고정되어 결과적으로 에러정정 능력 t 가 고정된 전통적인 Reed-Solomon (RS) 순방향 에러정정(forward error correction; FEC) 기법은 최악 경우의 채널 환경에서 원하는 평균적 성능을 얻도록 설계된다. 그러나 많은 응용 분야에서 채널이 최악 상태를 유지하는 경우는 시간적으로 매우 작은 부분을 차지하므로, 이러한 설계 원칙은 대역 효율성을 저하시킬 뿐 아니라, 성능의 변화에 대한 요구 조건에 부합할 수 없다^[1-3].

광대역 데이터의 고속 전송을 위하여 보다 더 우수한 대역 효율성으로 에러를 정정할 수 있는 효율적인 FEC 기법이 요구된다. 이는 시변 잡음 레벨과 원하는 성능에 따라서 적응적으로 최적 부호를 선택하는 가변형 FEC (adaptive; AFEC) 기법^[1-10]으로 이를 수 있다. 이는 대역 효율성과 전력 효율성 사이의 유연한 절충을 제공하고, 변화하는 성능에 대한 요구 조건을 수용할 수 있다^{[2],[4-7]}. AFEC는 가변 에러정정 능력 t 를 갖는 가변형 RS 부호에 의해 구현될 수 있다^{[2-6],[8-9]}.

최근 가변형 RS 복호기^[11-13]에 대한 연구가 있어 왔다. 이들은 변수 n 과 k 의 제한적인 조합에 대해서만 동작함으로써 에러정정 능력 t 를 변화시키거나, 또는 블록 길이 n 을 2^m-1 로 고정하고 메시지 길이 k 만을 변화시킴으로써 에러정정 능력 t 를 변화시키는 구조를 갖는다. 여기에서 m 은 비트 단위의 심볼 크기를 나타낸다. 따라서 단축형 RS 부호를 복호하기 위해서 복호하기 전에 블록 길이를 2^m-1 로 만들기 위해 영을 삽입할 필요가 있다^[13].

이 논문에서는 블록 길이 n 과 메시지 길이 k 의 값을 모두 유연하게 변화시킬 수 있는 가변형 RS 복호기의 효율적 구조를 제안한다. 이 고유한 특징으로 인해 단축형 RS 부호를 복호하기 위해서 영을 삽입할 필요가 제거된다. 또한 복호기는 매 부호어 블록마다 채널 상태에 따라서 적응적으로 에러정정 능력을 변화시킬 수 있으며, 버스트 모드와 연속 모드에서 모두 효율적인 복호를 수행한다. 따라서 응답 채널이 유용할 경우 이 복호기는 ARQ 시스템^[9]과 결합될 수 있다.

본 논문의 II장에서는 가변형 RS 복호기의 구조에 대하여 설명한다. 특히 가변형 RS 복호기를 위한 다항식 평

가회로에 주안점을 두어 설명하며, 각 단계의 처리 시간과 파이프라인 동작, 파라미터의 변화에 따른 연속적 복호 동작, 그리고 버퍼 메모리의 동작 등에 대하여 설명한다. III장에서는 회로의 합성과 실험 결과를 보이고, IV장에서 결론을 맺는다.

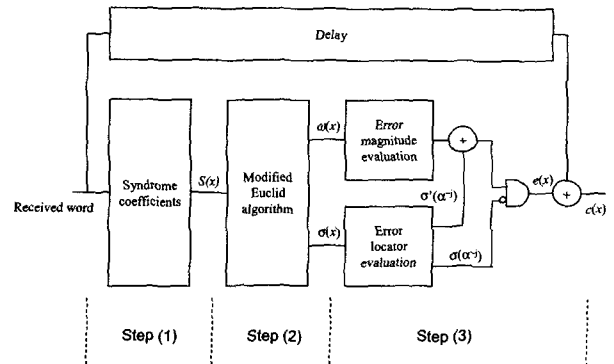


그림 1. 가변형 RS 복호기 구조
Fig. 1. The structure of a versatile RS decoder.

II. 가변형 RS 복호기의 구조

부호어 블록 내에서 최대 t_M 개의 에러를 정정할 수 있는 가변형 RS 복호기의 구조는 그림 1에 보인다. 복호기의 에러정정 능력 t 와 블록 길이 n 은 매 부호 블록마다 $0 \leq t \leq t_M$, 그리고 $1 \leq n \leq 2^m-1$ 의 범위에서 변화될 수 있다. 복호기는 수정 유클리드 알고리즘(modified Euclid's algorithm; MEA)을 기반으로 (1) 신드롬 계산, (2) MEA, (3) 다항식 평가를 통한 에러정정 등의 효율적인 3단계 파이프라인 처리를 수행한다.

각 단계는 분리된 독자적인 클럭을 사용하도록 설계하였으므로, 단계 2 그리고/또는 단계 3에서 고속 클럭을 사용하면 2단계 파이프라인 처리로도 동작할 수 있다. 이러한 특징으로 인해 입출력 클럭이 상이한 경우에도 버퍼를 사용하지 않고서 복호기를 쉽게 적용할 수 있다.

1. 복호기 구조 설계

각 단계는 가변 블록 길이 n 을 갖는 RS 부호를 복호하기 위해 적합한 구조를 갖는다. 단계 (1)에서 $2t$ 개의 신드롬 계수로 구성되는 신드롬 다항식 $S(x)$ 을 얻는다^[14]. 신드롬 다항식 $S(x)$ 는 단계 (2)에 입력되어 MEA를 이용하여 에러 위치자 다항식 $\alpha(x)$ 과 에러 평가자 다항

식 $w(x)$ 를 계산한다.

변화하는 에러정정 능력 t 를 위하여 MEA를 위한 새로운 구조^[14]를 사용한다. MEA 블록에서 천이 레지스터의 동작 길이는 하나 감소되었으며, t 의 서로다른 값에 따라서 변화되도록 하였다. 간단한 회로로서 동작 속도를 유지하기 위해 MEA 블록은 재귀적 기법과 고속 클럭킹 기법을 사용한다. 그러나 문헌 [15]에서 사용한 멀티플렉싱 기법은 복호기에서 복호 지연을 줄이는 것 없이 복호기에서 수용 가능한 최소의 블록 길이만을 감소시킨다. 이는 복잡도와 시간 면에서 모두 비효율적일 수 있다. 따라서 멀티플렉싱 기법을 적용하지 않고 오버클럭킹 기법만을 적용하는 구조로 설계한다. 이로써 연속 모드의 복호에 대해서 보다 더 효율적인 구현이 가능하다. 설계된 복호기는 버스트 모드와 연속 모드에서 모두 복호가 가능하다.

단계 (3)에서 에러를 정정하기 위하여 에러의 위치와 크기를 계산해야 한다. 에러 위치는 Chien의 탐색 기법을 이용하여 구할 수 있으며, 에러의 크기는 Forney의 알고리즘을 이용하여 구할 수 있다. 이를 위해 MEA 블록의 출력인 에러 평가자 다항식 $\alpha(x)$ 와 에러 평가자 다항식 $w(x)$ 를 다항식 평가 블록에 입력하여 각각의 $d_i, i = 0, 1, \dots, n-1$ 에 대해 $\alpha(x), w(x), \sigma'(x)$ 를 평가한다. 여기서 α 는 GF(2^8)의 원시 원(primitive element)이다.

i 번째 심볼 위치에서 $\alpha(x)$ 를 평가한 결과인 $\alpha(d^i) = 0$ 이면, 이는 해당 심볼이 오류임을 나타낸다. 이 과정을 에러위치를 찾는 Chien의 탐색 과정이라 한다. 그러면, 해당 심볼에서 에러 크기 e_i 를 빼줌으로써 이 에러를 정정해야 한다.

해당 에러 크기 e_i 는 Forney의 알고리즘에 의해 각각의 $d^i, i = 0, 1, \dots, n-1$ 에 대해서 $w(x)$ 와 $\sigma'(x)$ 를 평가함으로써 계산할 수 있다. 즉, $\alpha(d^i) = 0$ 의 경우

$$e_i = -\alpha^{-i(b-1)} \frac{w(\alpha^{-i})}{\sigma'(\alpha^{-i})} \quad 0 \leq i \leq n-1 \quad (1)$$

생성자 다항식의 기저(base)가 $b=0$ 인 경우 식 (1)은 다음과 같이 간략화된다.

$$e_i = -\frac{w(\alpha^{-i})}{\sigma_{odd}(\alpha^{-i})} \quad 0 \leq i \leq n-1 \quad (2)$$

식 (2)에는 식(1)에서 역원을 계산하는 과정이 생략되어 있음을 알 수 있다.

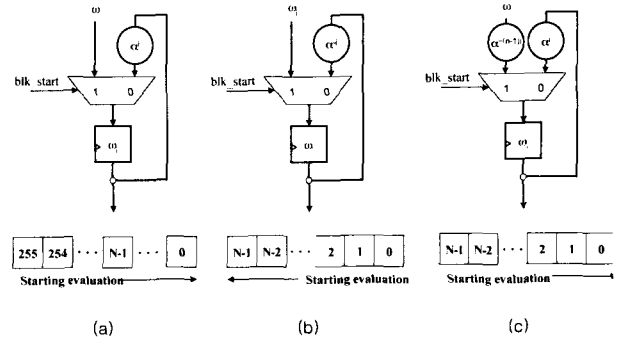


그림 2. 다항식 평가회로를 위한 구조
Fig. 2. A structure for polynomial evaluation.

이미 살펴본 바와 같이 Chien의 탐색과 Forney 알고리즘의 계산을 위해서 에러 평가자 다항식 $\alpha(x)$ 와 에러 평가자 다항식 $w(x)$ 그리고 에러 평가자 다항식의 미분형 $\sigma'(x)$ 등의 3가지 다항식을 평가하여야 한다. 이를 위해 그림 2에 보인 바와 같이 다항식 평가를 위한 3가지 후보 구조가 존재한다.

먼저 기법 (a)는 오직 하나의 상수 곱셈기를 사용하여 평가 출력을 정순으로 출력한다. 이 기법은 RS 복호기에서 가장 널리 사용되는 방법이다. 그러나 이 방법은 항상 길이가 2^m-1 인 부호어를 출력하므로 길이가 $n < 2^m-1$ 인 단축형 부호의 복호를 위해 여분의 시간을 소모하게 된다.

기법 (b)는 블록 길이 n 과 동일한 수의 심볼만을 평가하므로 다항식 평가를 위해 오직 n 심볼 클럭만이 소요된다. 이 기법은 기법 (a)에서처럼 오직 하나의 상수 곱셈기만을 사용하므로 구현이 간단하다. 그러나 이 구조는 연속 모드의 복호를 위해서는 다소 비효율적인 면을 갖는다. 출력이 역순으로 발생되기 때문에 이 순서를 다시 정순으로 복원하기 위한 부가적인 단계를 요구하게 된다. 그 처리 시간은 문헌 [14]에서처럼 복호 실패 여부를 검사하는 과정과 공유할 수 있을지라도 이로 인해 에러정정 이전에 수신된 부호어를 저장하기 위해 추가적인 버퍼 메모리의 용량을 요구하게 된다. 결과적으로 이는 다소의 복잡도 증가와 함께 복호 지연을 증가시킨다. 복호기 실패를 검사하는 기능의 의무적이 아니라면, 이는 비효율성을 야기할 수 있다.

기법 (c)는 기법 (a)에 하나의 가변 곱셈기를 추가하므로써 블록 길이 n 과 동일한 수의 출력을 산출한다. 그 출력은 정순으로 발생된다. 기법 (c)가 다항식 평가

만을 위해서는 가장 복잡한 회로를 야기하지만, 기법 (a)보다 작은 평가 시간을 소모한다. 또한 이 방법은 평가 출력의 순서를 정순으로 하기 위해서 부가적인 단계를 필요로 하지 않으므로 기법 (b)보다 적은 복호 지연 시간을 요구한다. 따라서 기법 (c)를 단축형 부호를 포함하는 가변 블록 길이의 RS 부호를 복호하기 위해 가장 적합한 것으로 선택한다.

그림 3은 $\alpha(x)$ 의 다항식 평가를 위한 시스톨릭 어레이 구조를 보인다. $\omega(x)$ 와 $\sigma(x)$ 의 다항식 평가를 위해서도 동일한 구조를 사용한다.

2. 처리 시간

단계 (1)에서 신드롬을 계산하기 위해 n 심볼 클럭이 소요된다. 단계 (3)에서 다항식 평가를 통해 에러를 정정하기 위해 n 개의 클럭이 소요된다. 그러나 단계 (3)에서는 심볼 클럭과 다른 클럭이 사용될 수 있다.

단계 (2)에서 MEA를 수행하기 위해 요구되는 처리 시간을 고찰한다. 한 번에 하나 이상의 계수가 소거되지 않는 정상적인 경우 우리의 구조에서 MEA 반복 연산을 계산하기 위해서 총 $2t(2t+1)$ 의 클럭이 소요된다.

길이 $2t_M$ 의 천이 레지스터 $R(x)$ 가 $S(x)$ 의 $2t$ 개 신드롬 계수로 초기화된 후 $S(x)$ 의 최고차항 계수는 MEA를 시작하기 전에 가장 오른쪽의 레지스터로 천이된다. 이 과정을 위해서 $(2t_M-2t)$ 의 클럭이 소요된다. 초기화 시 $S(x)$ 의 최고차항 계수를 $R(x)$ 의 가장 오른쪽 레지스터에 매핑하면 이 시간은 소거될 수 있을 것이다. $R(x)$ 의 차수 $\text{deg}R$ 의 값을 $2t_M-1$ 대신 $2t-1$ 로 초기화 할 경우 그 처리 시간은 더욱 감소될 수 있다. 그러나 이는 레지스터 $R(x)$ 의 초기화를 위한 배선이 너무 복잡하게 하므로 우리의 설계에서 이러한 생각을 적용하지는 않았다.

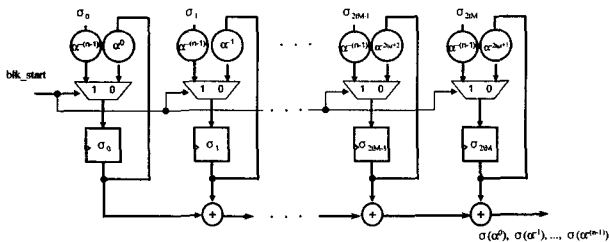


그림 3. 에러 위치자 다항식 평가를 위한 시스톨릭 어레이
Fig. 3. A systolic array structure for polynomial evaluation of error location polynomial.

MEA 과정을 마친 후 천이 레지스터 $R(x)$ 와 $\lambda(x)$ 의 내용은 다음의 다항식 평가 단계를 위한 레지스터에 직렬로 전달되어야 한다. 이를 위해 t 클럭이 소요된다.

따라서 우리의 구조에서 MEA 연산을 마치기 위해 총 $t_{MEA} = 4t^2+t+2t_M$ 개의 클럭이 소요된다.

3. 파이프라인 동작

복호기의 파이프라인 동작을 위해 MEA 블록에서 요구되는 처리 시간은 다른 단계에서 요구되는 처리 시간인 n 심볼 클럭보다 작거나 같아야 한다. 즉, 신드롬 다항식은 매 n 심볼 클럭마다 도착할 필요가 있으므로 완전한 파이프라인 처리속도에서 연속적인 신드롬 다항식을 처리하기 위해서 $n \geq 4t^2+t+2t_M$ 의 관계가 만족되어야 한다. 이 경우 복호기가 수용할 수 있는 최소의 블록 길이는 $n_{min} = 4t^2+t+2t_M$ 이 된다.

블록 길이 n_{min} 이 $4t^2+t+2t_M$ 보다 작으면, 이전의 신드롬 다항식이 단계 (2)에서 여전히 MEA 블록에 머무는 동안 새로운 신드롬 다항식이 입력된다.

문헌 [15]에 보인 것처럼 k 개의 MEA 기본 셀들을

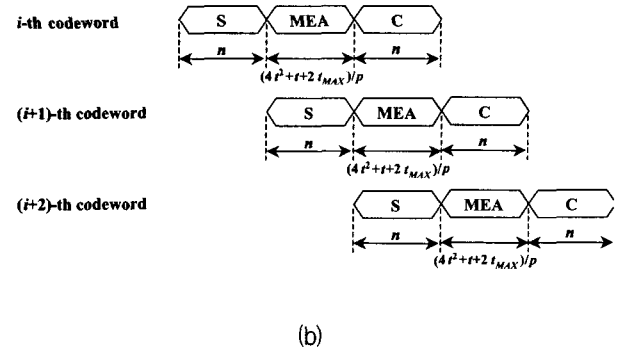
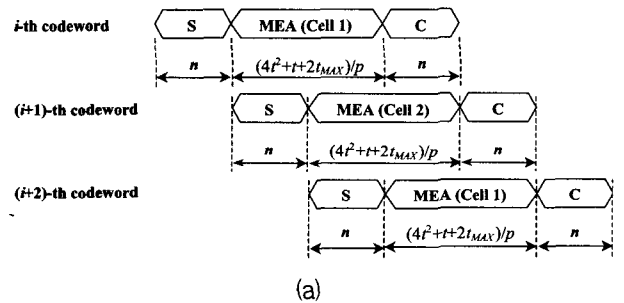


그림 4. 파이프라인 처리를 위한 시간 관계; (a) $t_{MEA} > n$; (b) $t_{MEA} \leq n$, $t_{MEA} = (4t_0^2+t_0+2t_M)/p$
Fig. 4. Timing relationship among the pipelined step; (a) $t_{MEA} > n$; (b) $t_{MEA} \leq n$, $t_{MEA} = (4t_0^2+t_0+2t_M)/p$, where t_{MEA} is $(4t_0^2+t_0+2t_M)/p$.

멀티플렉싱하면, n_{min} 의 값을 $(4t^2+t+2t_M)/k$ 로 낮출 수 있다. 따라서 복호기가 수용할 수 있는 블록 길이의 범위는 멀티플렉싱을 위해 사용될 MEA 셀의 수에 비례해서 더 낮은 값으로 확장된다. 그러나 이러한 멀티플렉싱 기법은 실제적인 처리 시간 t_{MEA} 은 줄이지 않으면서 단지 n_{min} 의 값을 감소시킬 수 있다.

MEA 블록에서 심볼 클럭보다 몇 배 빠른 고속의 전용 클럭을 사용하도록 설계하면, 최소로 수용가능한 블록 길이 뿐 아니라 처리 시간도 동시에 줄일 수 있다.

심볼 클럭보다 p 배 빠른 클럭을 사용하면, MEA의 처리를 위해 $t_{MEA} = (4t^2+t+2t_M)/p$ 심볼 시간이 소요되며, n_{min} 의 값도 $(4t^2+t+2t_M)/p$ 으로 낮추어진다. 만일 p 의 값에 제한이 있다면, 이 고속의 전용 클럭 기법은 멀티플렉싱 기법과 함께 결합될 수 있다. 이 경우 $n_{min} = (4t^2+t+2t_M)/pk$ 로 감소할 것이며, MEA를 위한 처리 시간 t_{MEA} 은 $(4t^2+t+2t_M)/p$ 심볼 시간이 될 것이다. 여기서 k 는 멀티플렉싱을 위해 사용된 MEA 기본 셀의 수를 나타내며, p 는 심볼 클럭에 대한 MEA 블록에서 사용된 전용 클럭의 비이다. k 와 p 의 곱이 클수록 복호기가 수용할 수 있는 블록 길이도 작아진다. 고속의 전용 클럭 기법을 통해서 요구되는 MEA 셀의 수가 감소되므로 복잡도에서 상당한 감소를 얻을 수 있다.

그림 4는 파이프라인 처리를 위한 3 단계들 사이의 시간 관계를 보인 것이다. 이미 언급했듯이 각 단계들은 독립적인 클럭으로 구동될 수 있도록 설계되었다. 그림 4에서 단계 (1)과 단계 (3)은 모두 심볼 클럭으로 동작하고, 단계 (2)는 p 배 고속 클럭을 사용한 경우를 가정으로 하였다. 그림에는 각 단계에서 요구되는 처리 시간은 심볼 시간의 단위로 표시하였다.

$t_{MEA} = (4t^2+t+2t_M)/p$ 심볼 시간이 n 심볼 시간보다 크면, 완전한 파이프라인 처리 속도로 연속적인 신드롬 다항식을 처리하기 위해서 $k (= \lceil t_{MEA}/n \rceil)$ 개의 MEA 셀을 멀티플렉싱하여야 한다. $k = 2$ 개의 MEA 셀이 멀티플렉싱된 경우를 그림 4(a)에 보인다.

심볼 클럭보다 $p (\geq (4t^2+t+2t_M)/n)$ 배 빠른 전용 클럭이 유용할 경우 고속의 전용 클럭 기법을 사용하여 t_{MEA} 는 n 심볼 시간 이하가 될 수 있으므로 그림 4(b)에 보인 것처럼 멀티플렉싱을 적용하지 않아도 된다. 따라서 멀티플렉싱 기법 없이 고속의 전용 클럭 기법만

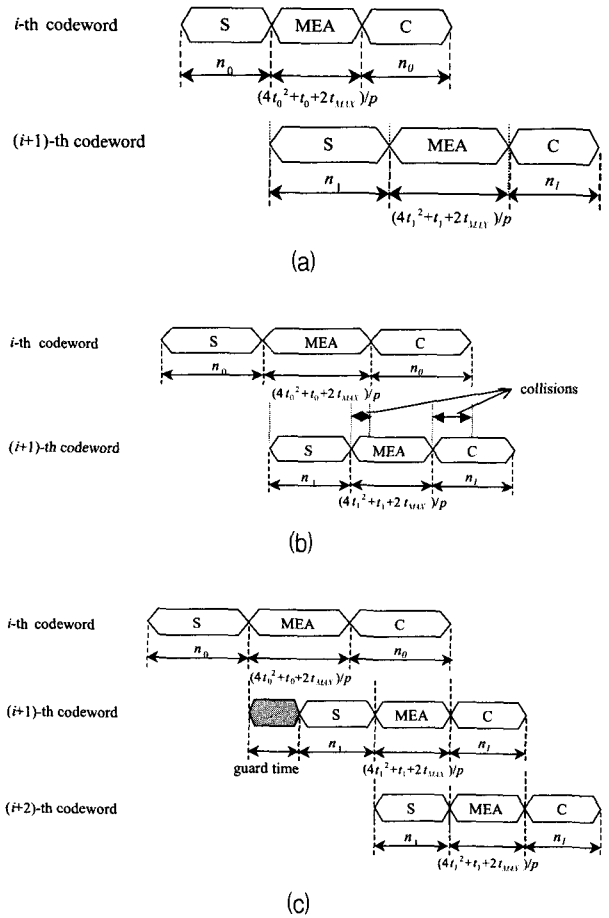


그림 5. 가변 파라미터를 갖는 연속 복호; (a) 충돌이 발생하지 않는 경우 ($n_0 \leq n_1$); (b) 충돌이 발생하는 경우 ($n_0 \geq n_1$); (c) 충돌을 해소하기 위해 보호 시간 사용 ($n_0 \geq n_1$)

Fig. 5. Continuous decoding with variable parameters; (a) no collision ($n_0 \leq n_1$); (b) collision ($n_0 \geq n_1$); (c) guard time insertion for avoiding collision ($n_0 \geq n_1$).

을 적용하는 것이 가능할 경우 복잡도와 복호 지연의 관점에서 모두 유리해진다.

4. 가변 파라미터를 갖는 연속적 복호

이제 파라미터의 변화를 고찰한다. 블록 길이와 에러 정정 능력의 값이 매 코드 블록마다 변화할 수 있는 경우 연속 복호를 위해 파이프라인 연산의 단계들 사이의 시간 관계를 주의 깊게 고찰해야 한다. 각 단계에서 처리 시간은 n 이나 t 의 값에 의존한다.

현재 복호될 부호어 블록의 n 과 t 의 값을 각각 n_0 와 t_0 라 하고, 다음 부호어 블록에 대한 n 과 t 의 값을 각각 n_1 과 t_1 이라 하자. 다음 값들이 현재 값들보다 같거나

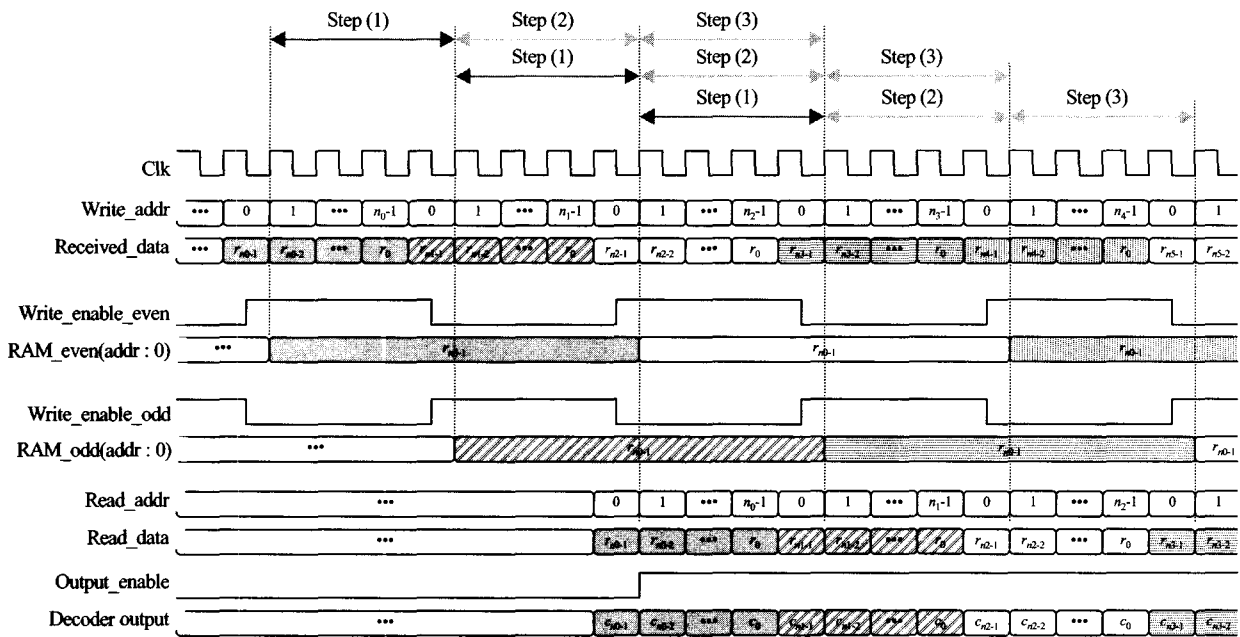


그림 6. RAM형 버퍼 메모리의 타이밍 다이어그램
Fig. 6. Timing diagram of RAM-type buffer memory.

크다면, 그림 5(a)에 보인 것처럼 연속적인 블록들 간에 충돌은 발생하지 않는다. 그러나 그렇지 않은 경우에는 그림 5(b)에 보인 것처럼 이전 블록에 대한 실행이 아직 끝나기 전에 새로운 짧은 부호어 블록이 단계 (2)로 입력될 수 있으므로 충돌이 발생할 수 있다. 따라서 연속 복호를 위해서 n_1 과 t_1 의 새 값들이 n_0 와 t_0 의 이전 값들보다 작을 때마다 부호어 블록들 사이에 $(n_0 - n_1) + (t_0 - t_1) \{4(t_0 + t_1) + 1\} / pk$ 심볼 시간의 보호 시간이 요구된다. 그러면, 그림 5(c)에 보인 것처럼 충돌을 피할 수 있다. 보호 시간은 새로운 값들이 더 작을 때에만 요구됨을 유의하라.

5. 버퍼 메모리

버퍼 메모리는 에러가 정정되기 전에 수신 부호어를 저장하기 위하여 사용된다. 가변형 RS 복호기에서 블록 길이는 가변이므로 FIFO형 메모리 보다 RAM 형태의 메모리가 적절하다.

그림 6은 RAM형 버퍼 메모리에 대한 시간도를 보인다. 이 그림에서 r_i 는 수신 심볼, c_i 는 정정된 심볼을 나타낸다. 여기서 $i = 0, 1, \dots, n-1$ 이고, n 은 현재 수신

된 부호어의 블록 길이이다. 부호어에서 처음 수신된 심볼을 $(n-1)$ 번째 심볼이라 하고 마지막 수신 심볼을 0번째 심볼이라 하기로 한다.

구간 (a)동안 단계 (1)에서 신드롬이 계산되는 동안 수신된 부호어는 버퍼 메모리에 기록된다. 수신된 부호어는 단계 (2)에서 MEA가 계산되는 구간 (b) 동안 버퍼에 저장된다. 구간 (c)에서 저장된 부호어 내의 심볼들은 버퍼로부터 읽혀져서 단계 (3)에서 에러 정정을 위해 사용되어진다. 따라서 3 단계 파이프라인 동작에서 연속 복호를 위해 단계 (1)과 단계(2)가 실행되는 구간 (a)와 구간 (b) 동안 수신된 부호어들을 저장해야 하므로 2개 부호어의 저장 능력을 갖는 RAM 메모리가 요구된다.

III. 회로의 합성 및 실험

본 논문에서는 $t_M=10$ 을 갖는 가변형 RS 복호기를 설계하고 합성하였다. 설계된 가변형 RS 복호기는 VHDL로 구현하고 FPGA에 합성하여 실험을 통하여 검증하고, 심볼 에러율(symbol error rate; SER)을 산출한다.

1. 회로의 합성 결과

최대 $t_M=10$ 개의 오류정정능력을 갖는 가변형 RS 복호기를 설계하여 APEX EP20K1500EBC652-1X 칩에 구현하였다. 회로의 합성을 위해 Leonardspectrum을 사용하였고, P&R(place and routing)과 타이밍 시뮬레이션을 위해 Quartus II와 Modelsim을 사용하였다. 회로의 합성 결과 8,792개의 로직 셀과 49,000 비트의 메모리가 사용되었다. 문헌 [16]에 의해서 로직 셀 당 12 게이트, 메모리 비트당 4 게이트라 가정하면, 이는 301,504 게이트에 해당한다. 표 1은 복호기의 각 구성요소별로 소요된 로직 셀과 메모리 비트 수를 보인 것이다. 표 1에서 단계 (3)에서 수행되는 다항식 평가부에 많은 메모리 비트가 사용되었음을 알 수 있다. 그 이유는 본 논문의 복호기에서 다항식 평가를 위해 선택한 그림 2의 기법 (c)의 구조에서 부호어 블록 길이 n 값의 변화에 따른 가변 곱셈기의 피승수를 계산하기 위해서 사용되는 룩업 테이블에 기인한다. 그러나 전송한 바와 같이 이 구조는 복호 지연의 관점에서 가변 블록 길이를 갖는 RS 복호기의 설계를 위해 가장 적합하다.

표 1. 복호기 각 블록별 소요 로직 셀과 메모리 비트수
Table 1. Logic elements and memory bits required in each block of the decoder.

복호기 구성 요소	로직 셀	메모리 비트
신드롬 계산부	603	0
MEA 수행부	1,880	0
에러 위치자 다항식 평가부	3,215	22,440
에러 평가자 다항식 평가부	2,877	20,400
에러 크기 계산 및 정정부	103	2,048
지연부	114	4,112

2. 복호기의 최대 동작 주파수

설계된 복호기 회로를 합성한 결과 심볼 클럭을 사용하는 블록의 임계 경로는 28.284ns이며, 고속의 전용 클럭을 사용하는 블록의 임계 경로는 26.114ns임을 확인하였다. 이 값을 근거로 하여 35MHz부터 40MHz까지의 클럭을 사용하여 시뮬레이션을 수행한 결과, 심볼 클럭과 고속 클럭은 각각 최대 35MHz 및 38MHz에서

동작될 수 있음을 확인하였다.

그러나 가변형 RS 복호기에서 하나의 MEA 셀로 RS 부호어의 연속적 복호를 수행하기 위해서는 $n > t_{MEA}$ ($=4t^2+t+2t_M$)/ p 의 관계를 만족해야 한다. 여기서 n 은 현재 복호 중인 부호어의 블록 길이, t 는 현재 부호어에 대한 복호기의 에러정정 능력, t_M 은 복호기의 최대 에러정정 능력, p 는 심볼 클럭과 고속의 전용 클럭 간의 주파수비를 나타낸다.

RS 복호기는 정규적으로 수신 부호어의 심볼 클럭에 의해 동작하며, 가변형 RS 복호기의 최대 동작 심볼 클럭은 단계 2에서 사용된 고속의 전용 클럭의 최대 동작 주파수에 의해 제한된다. 심볼 클럭 주파수를 f_{sym} , 고속의 전용 클럭 주파수를 f_{over} 이라 하면 $p = f_{over}/f_{sym}$ 이므로 $f_{sym} < n \times f_{over} / (4t^2+t+2t_M)$ 이 만족되어야 한다. 회로의 합성 결과 $f_{over} = 38MHz$ 이므로, $n=255$, $t=10$ 의 경우 연속 복호가 가능한 가변형 RS 복호기에서 심볼 클럭의 최대 주파수는 22.5MSPS이 된다.

이와 같이 가변형 RS 복호기의 최대 동작 심볼 클럭 주파수는 현재 복호될 부호어 블록의 파라미터 n 과 t , 복호기의 최대 오류정정능력 t_M , 그리고 고속의 전용 클럭 주파수 f_{over} 에 의해 제한된다. 고속의 전용 클럭이 임계 경로의 지연에 의해 제한되므로 하나의 MEA 셀에 고속의 전용 클럭을 사용하는 경우 복호기 심볼 클럭의 최대 동작 주파수는 다수의 MEA 셀을 멀티플렉싱하는 기법에서보다 제한될 수 있다. 그러나 요구되는 부호어 심볼 클럭이 이 값보다 작은 경우 회로의 복잡도의 관점에서 복호기를 하나의 셀로 구성하는 것이 유리하다고 할 수 있다.

3. 실험 결과

설계된 가변형 RS 복호기의 동작을 실험적으로 검증하기 위해서 PC를 사용하여 AWGN채널을 통해 수신된 RS 부호어를 생성하여 이를 복호기에 전달하고, 복호기에서 복호된 부호어의 에러를 확인하여 SER을 구한다. RS 복호기는 FPGA(APEX EP20K1500EBC652-1X)를 탑재한 DSP 개발 보드(development board)에 구현한다. 이 APEX FPGA 칩에는 가변형 RS 복호기 외에 PC와의 인터페이스를 위한 직렬 통신(RS-232C) 기능을 갖춘 임베디드 프로세서(Nios)를 구성한다.

PC에서 메시지를 생성하고 이를 RS 부호화한 후 BPSK 변조를 수행한다. 생성된 변조 신호에 신호대 잡음비를 5dB에서 7dB까지 0.5dB씩 증가시켜가며 AWGN 잡음을 첨가한다. 이와 같이 생성된 수신 부호어는 직렬 통신을 통하여 DSP 개발 보드에 전송한다. FPGA 내에서 구현된 임베디드 프로세서는 한 블록의 부호어를 수신하면, 이를 가변형 RS 복호기에 전달하고, 복호기에서 한 블록의 수신 부호어가 복호되면, 이를 다시 PC에 전달하고 SER을 구한다.

그림 7은 RS (128, 124), RS (128, 122), RS (255, 239), 그리고 RS (207, 187)인 경우에 대하여 각각 10,000회의 실험을 수행한 결과 산출된 SER과 식 (3)에 의하여 계산된 이론적인 값의 비교를 보인 것이다^[17].

$$p_s \leq \frac{1}{n} \sum_{j=t+1}^n j \binom{n}{j} q^j (1-q)^{n-j} \quad (3)$$

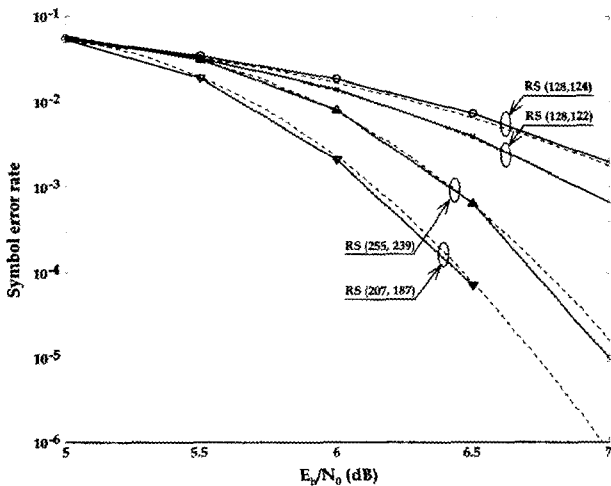


그림 7. $(n, n-2t)$ RS 부호의 심볼 에러율 (BPSK, AWGN)

Fig. 7. Symbol error rate for $(n, n-2t)$ RS codes (BPSK, AWGN)

여기에서, n 은 블록 길이, q 는 채널에서 부호어 심볼의 전송 에러율이다.

그림 7에서 점선은 계산된 이론적인 값, 실선은 실험 결과를 나타낸다. 그림 7에서 복호기의 실험을 통해 얻어진 SER은 이론적인 값과 거의 일치함을 알 수 있다.

IV. 결 론

본 논문에서는 임의의 블록 길이 n 과 메시지 길이 k ,

결과적으로 가변 에러정정 능력 t 를 갖는 RS 부호를 연속적으로 복호할 수 있는 가변형 RS 복호기의 효율적인 구조를 제안한다. 제안한 가변형 RS 복호기는 단속형 RS 부호의 복호를 위해 영을 삽입할 필요가 없도록 하며, 변수 n 과 k , 결과적으로 에러정정 능력 t 의 값을 매 부호어 블록마다 변화시킬 수 있다. 복호기는 MEA를 기반으로 한 3단계 파이프라인 처리를 수행한다. 각 단계는 분리된 클럭에 의해 구동될 수 있으며, 단계 2 그리고/또는 단계 3에 고속 클럭을 사용하면 2 단계 파이프라인 처리로 동작하는 것이 가능하다. 또한 복호기의 입출력 클럭이 서로다른 경우에도 사용될 수 있다. 각 단계는 가변 블록 길이를 갖는 RS 부호를 복호하기에 적합한 구조를 갖도록 설계되었다. 특히 매 부호어 블록마다 변화하는 t 값을 위해 MEA의 새로운 구조를 제시하였다. 제시된 MEA 블록에서 천이 레지스터들의 동작 길이는 하나 감소되었으며, 서로다른 t 값에 따라서 변화될 수 있다. 또한 간단한 회로로써 동작 속도를 유지하기 위해 MEA 블록은 재귀적 기법과 고속 클럭킹 기법을 사용한다. 제안된 가변형 RS 복호기는 버스트 모드 뿐 아니라 연속 모드로 수신된 부호어를 복호할 수 있으며, 그 가변성으로 인해 다양한 분야에서 사용될 수 있다. GF(2^8) 상에서 최대 10의 에러정정 능력을 갖는 가변형 RS 복호기를 VHDL로 설계하였으며, FPGA 칩에 성공적으로 합성하였다. 합성 결과 301,504 게이트가 사용되었다. 가변형 RS 복호기의 최대 동작 심볼 클럭 주파수는 $n \times f_{over} / (4t^2 + t + 2tM)$ 로서 현재 복호될 부호어 블록의 파라미터 n 과 t , 복호기의 최대 오류정정능력 t_M , 그리고 고속의 전용 클럭 주파수 f_{over} 에 의존한다.

참 고 문 헌

- [1] M. A. Hasan, and V. K. Bhargava, "Architecture for a low complexity rate-adaptive Reed-Solomon encoder," *IEEE Trans. on Computers*, vol. 44, no. 7, pp. 938~942, July 1995.
- [2] S. J. Li, K. F. Pan, J. S. Yuan, A. J. Vigil, and Al. Berg, "Adaptive Reed-Solomon Coding for Wireless ATM communication", in *Proc. IEEE, Southeastcon'00*, pp. 27~30, 2000.
- [3] M. B. Pursley, and C. S. Wilkins, "Adaptive-

- Rate Coding for Frequency-Hop Communications over Rayleigh Fading Channel," *IEEE Journ. Sel. Areas Commun.*, vol. 17, pp. 1224~1232, July 1999.
- [4] S. Cho, A. Goulart, I. F. Akyildiz and N. Jayant, "An Adaptive FEC with Provisioning for Real-Time Traffic in LEO Satellite Networks," in *Proc. IEEE Int. Conf. Commun. ICC'01*, vol. 9, pp. 2938 -2942, 2001.
- [5] N. Nikaein, H. Labiod and C. Bonnet, "MA-FEC: A QoS-Based Adaptive FEC for Multicast Communication in Wireless Networks," in *Proc. IEEE Int. Conf. Commu. ICC'00*, vol. 2, pp. 954-958, 2000.
- [6] A. Almulhem, F. El-guibaly, and T. A. Gulliver, "Adaptive Error Correction for ATM communications using Reed-Solomon codes," in *Proc. IEEE Southeastcon'96*, pp. 227-239, 1996.
- [7] T. Tuan and K. Park, "Multiple Time Scale Redundancy Control for QoS-sensitive Transport of Real-time Traffic," in *Proc. IEEE INFOCOM 2000*, vol. 3, pp. 1683-1692, 2000.
- [8] I. F. Akyildiz, I. Joe, H. Driver and Y. L. Ho, "An Adaptive FEC Scheme for Data Traffic in Wireless ATM Network," *IEEE Trans. on Networking*, vol. 9, no. 4, pp. 419-426, Aug. 2001.
- [9] A. Shiozaki, K. Okuno, K. Suzuki, and T. Segawa, "A Hybrid ARQ Scheme with Adaptive Forward Error Correction for Satellite communications," *IEEE Trans. on Computers*, vol. 39, no. 4, pp. 482~484, Apr. 1991.
- [10] D. Cygan, and E. Lutz, "A Concatenated Two Stage Adaptive(CTSA) Error Control Scheme for Data Transmission in Time-Varying Channels," *IEEE Trans. on Commun.*, vol. 43, no. 2/3/4, pp. 795-803, Apr. 1995.
- [11] Andrew d. Preez, F. Swarts, and F. Agdhasi, "A Flexible Reed-Solomon codec," *IEEE Africon*, vol. 1, pp. 93-98. 1999.
- [12] Y. R. Shayan, and T. Le-Ngoc, "A Cellular Structure for a Versatile Reed-Solomon Decoder," *IEEE Trans. on Computers*, vol. 46, no. 1, pp. 80-85, Jan. 1997.
- [13] Y. R. Shayan, T. Le-Ngoc, and V. J. Bhargava, "A Versatile Time-Domain Reed-solomon Decoder," *IEEE Journ. Sel. Areas Commun.*, vol. 8, no. 8, pp. 1535-1542, Oct. 1990.
- [14] M. K. Song, E. B. Kim, H. S. Won, and M. H. Kong, "Architecture for Decoding Adaptive Reed-Solomon Codes with Variable Block Length," *IEEE Trans. on Consumer Electronics*, vol. 48, No. 3, pp. 631-637, Aug. 2002.
- [15] Howard M. Shao, and Irving S. Reed, "On the VLSI Design of a Pipeline Reed-Solomon Decoder Using Systolic Arrays," *IEEE Trans. on Computers*, vol. 37, no. 10, Oct. 1988.
- [16] Application note 112, *Gate Counting Methodology for APEX20K Devices*, ver 1.01, Sep. 1999.
- [17] Proakis, *Digital Communications*, McGraw Hill, 2001.

 저 자 소 개



송문규(종신회원)

1988년 2월 고려대학교 전자공학과 졸업

1990년 2월 고려대학교 전자공학과 공학석사

1994년 2월 고려대학교 전자공학과 공학박사

1994년 3월~현재 원광대학교 전기전자및정보공학부 부교수

1997년 10월~1998년 12월 한국전자통신연구원 초빙연구원

1999년 9월~2000년 8월 캐나다 빅토리아 대학교 전기및컴퓨터공학과 객원교수

<주관심분야: 무선통신, 디지털 통신시스템 설계, 채널 부호화>



공민한(학생회원)

2001년 2월 원광대학교 전기공학부 졸업

2003년 2월 원광대학교 제어계측공학과 공학석사

2003년 3월~현재 원광대학교 제어계측공학과 박사과정

<주관심분야: 디지털 통신시스템 설계, 채널 부호화>