

# 손실층 Sub-mount를 갖는 CPW MMIC용 실리콘 MEMS 패키지

## Si-MEMS Package Having a Lossy Sub-mount for CPW MMICs

송요탁 · 이해영

Yo-Tak Song · Hai-Young Lee

### 요약

초고주파 및 밀리미터파 통신 시스템의 집적화로 및 실장 기술로서 CPW 기반의 전송선로를 갖는 MMIC 개발이 크게 증가하고 있으나, 실장시 패키지에서 발생하는 기생 공진 현상으로 인해 그 성능이 크게 저하될 수 있다. 이런 기생 공진 현상을 억제시키기 위하여 도핑된 lossy 실리콘 웨이퍼를 칩 캐리어로 사용하고, HRS wafer를 사용하여 표면 및 벌크 MEMS 공정이 가능한 실리콘 MEMS 패키지가 해석적으로 제안되었다. 제안된 구조를 제작하여 세 가지의 칩 캐리어(conductor-back metal, 15 Ω · cm lossy Si, 15 kΩ · cm HRS) 위에서 측정하여 실리콘 MEMS 패키지의 특성을 확인하였다.

제안된 실리콘 MEMS 패키지는 15 Ω · cm lossy 실리콘 칩 캐리어를 사용하여, 기생 공진 현상을 효과적으로 억제시킬 수 있었다. 전체 패키지에서 중앙의 GaAs CPW 패턴을 de-embedding하여 순수한 CPW MMIC용의 실리콘 MEMS 패키지는 40 GHz에서 삽입 손실은 -2.0 dB이며, 전력 손실은 -7.5 dB의 결과를 얻었다.

### Abstract

A Si(Silicon) MEMS(Micro Electro Mechanical System) package using a doped lossy Si carrier for CPW(Coplanar Waveguide) MMICs(Microwave and Millimeter-wave Integrated Circuits) is proposed in order to reduce parasitic problems of leakage, coupling and resonance. The proposed chip-carrier scheme is verified by fabricating and measuring a GaAs CPW on the two types of carriers(conductor-back metal, doped lossy Si) in the frequency from 0.5 to 40 GHz. The proposed MEMS package using the lightly doped lossy(15 Ω · cm) Si chip-carrier and the HRS(High Resistivity Silicon, 15 kΩ · cm) shows the optimized loss and parasitic problems-free since the doped lossy Si-carrier effectively absorbs and suppresses the resonant leakage. The Si MEMS package for CPW MMICs has an insertion loss of only -2.0 dB and a power loss of -7.5 dB at 40 GHz.

Key words : Si, MEMS Package, CPW, MMIC, HRS

### I. 서론

현재의 무선통신 시스템은 사용주파수와 대역폭이 날로 높아지고 있으며, 수년 전부터는 특히 차량 충돌 방지 시스템, 초고속 무선 LAN(Local Area Network) 그리고 LMDS(Local Multipoint Distribution Service)와 같은 초고주파 및 밀리미터파 통신 시스템에 대한 연구가 활발히 진행되고 있으며, 따라서

저가격 및 고성능의 집적회로 및 실장 기술이 절실히 요구되어지고 있다<sup>[1]</sup>. 그러나 그 동안은 집적회로 설계에 대한 기술 개발은 활발히 이루어져 많은 발전이 있었으나, 반면 실장 기술은 매우 낙후되어 있어 그 결과, 패키지에 의해 시스템 전체의 가격이 비싸고 성능을 저하시키고 있다. 따라서 저가격 및 고성능의 초고주파 및 밀리미터파 통신 시스템 개발을 위해서 집적회로 설계 기술 개발과 함께 병행되어야

아주대학교 전자공학과(Dept. of Electronics Engineering, Ajou University)

· 논문 번호 : 20031112-154

· 수정완료일자 : 2004년 2월 3일

할 중요한 과제가 회로와 시스템에 적합한 저가격 및 고성능의 패키지 기술 개발이다<sup>[2]</sup>. 이러한 초고주파 및 밀리미터파 통신 시스템을 위한 집적회로 및 실장 기술로서, 플립칩 패키지와 호환성이 우수하고 비아(via) 공정과 같은 추가 공정이 필요 없으며 고주파 분산효과(dispersion effect)가 작은 CPW 기반의 전송선로를 갖는 MMIC 개발이 크게 증가하고 있다<sup>[3]</sup>. 그러나 CPW MMIC는 이러한 장점들에도 불구하고 실장시 패키지에서 발생하는 기생 공진 현상으로 인해 그 성능이 크게 저하될 수 있다<sup>[4]</sup>. 한편 초고주파 및 밀리미터파 시스템의 패키지로서는 LTCC (Low Temperature Co-fired Ceramic) 공정을 이용한 세라믹이 주로 사용되고 있다. 세라믹 패키지는 급전선로의 고주파 전송특성이 우수하다는 장점을 갖고 있으나, 제작 공정이 복잡하고 공정 단가가 높을 뿐만 아니라 재료 자체의 열전도율이 매우 낮다는 단점을 지니고 있다. 따라서 실리콘(Silicon) wafer를 사용하여 MMIC의 제작 공정과 같은 표면 및 벌크(bulk) MEMS 공정이 가능한 실리콘 MEMS 패키지의 활용성이 크게 증대되고 있다. 이런 실리콘 MEMS 패키지는 박막 기술의 발전으로 소형화가 가능하고 정밀가공이 쉬워 대량생산이 가능하며 열전도율도 우수하다. 더욱이 HRS(High Resistivity Silicon: 4~15 kΩ·cm)는 GaAs와 비교할만한 우수한 고주파 전송 특성을 갖는다<sup>[5],[6]</sup>. 따라서 저가격 및 고성능의 초고주파 및 밀리미터파 대역 패키지로서 실리콘 MEMS 패키지가 매우 적합하다<sup>[6]</sup>. 본 논문에서는 해석적으로 제안된 손실층 Sub-mount를 갖는 CPW MMIC용 실리콘 MEMS 패키지를 제작하고, 제작된 패키지의 특성을 측정된 결과, CPW MMIC 실장시 발생하는 기생 공진 현상을 도핑된 손실이 있는 실리콘 칩 캐리어를 사용함으로써 기생 공진 현상을 효과적으로 억제할 수 있었으며, 삽입 손실과 전력 손실에서도 우수한 특성을 얻었다.

## II. 본 론

### 2.1 제안된 손실층 Sub-mount를 갖는 실리콘 MEMS 패키지

기존의 패키지들은 공통적으로, 칩 캐리어로서

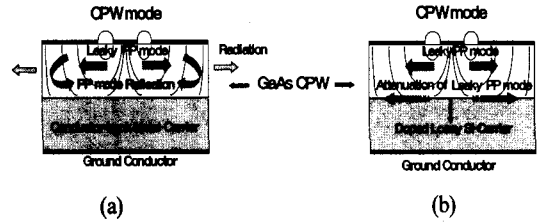


그림 1. 캐리어에 의한 CPW 패키지의 기생 성분 (a) Conductor-back metal 캐리어, (b) 도핑된 lossy 실리콘 캐리어

Fig. 1. Parasitic problems of the CPW package attached on chip-carrier (a) Conductor-back metal carrier, (b) Doped lossy silicon carrier.

conductor-back metal을 사용하고 있기 때문에 CPW 기반 회로의 실장시 그림 1(a)와 같은 기생 공진 현상을 유도하게 된다. 이때 CPW 기반 회로의 실장시 발생하는 기생 공진 현상을 억제하기 위하여, CPW MMIC와 패키지는 사이즈의 설계를 정확히 하여야 한다. 또한 CPW MMIC와 패키지의 성능을 저하시키지 않으면서 기생 공진 현상을 억제하기 위해서 흡수 물질을 사용하는 것도 간단하고 효과적일 수 있다<sup>[7]</sup>. CMOS IC에 사용되는 도핑된 실리콘 기판은 초고주파 및 밀리미터파 대역에서는 손실이 매우 크며, 이런 손실이 큰 특성이 기생 공진 현상을 흡수하는데 사용될 수 있다. 기생 공진 현상을 억제하기 위해서 그림 1(b)와 같이 CPW 기판 밑에 도핑된 lossy 실리콘 기판을 삽입한다. 도핑된 lossy 실리콘 기판은 기생 공진 현상을 억제하고 흡수한다. 적당한 도핑 농도에 의한 실리콘 층의 비저항은 주어진 기판의 높이에서 CPW 모드의 심각한 저하가 없도록 설계되어야 한다. 표면 임피던스는 실리콘 층을 따라 전파되는 손실이 있는 PP(Parallel Plate) 모드로부터 유도되어지고,  $Z_s$ 와  $\epsilon$ 은 각각 표면 임피던스와 실리콘 기판의 유전율이다.

$$Z_s = R_s + jX_s = \frac{\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)}(e^{2\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)}h} - 1)}{\sigma + j\omega\epsilon(e^{2\sqrt{j\omega\mu_0(\sigma + j\omega\epsilon)}h} + 1)}$$

$$\alpha(S/m) = \frac{1}{100\rho(\Omega \cdot cm)}$$

면저항( $R_s$ )는 주파수와 비저항의 함수로서, PP 모드의 감쇠에 직접적으로 비례한다. 소량의 도핑된

비저항 ( $0.1 \sim 20 \Omega \cdot \text{cm}$ )은 손실이 있는 PP 모드의 감쇠에 가장 효과적이다<sup>[8]</sup>.

그림 2는 본 논문에서 제안된 손실층 Sub-mount를 갖는 CPW MMIC용 실리콘 MEMS 패키지의 구성도를 나타내고 있다. 제안된 실리콘 MEMS 패키지는 MMIC의 기판으로 주로 사용되는 semi-insulator인 GaAs, GaAs와 유사한 전송 특성을 갖는  $15 \text{ k}\Omega \cdot \text{cm}$  높은 비저항을 갖는 p-type <100> HRS 및  $15 \Omega \cdot \text{cm}$ 의 비저항을 갖는 도핑된 lossy 실리콘 웨이퍼를 사용하였다. MMIC칩 대응으로 GaAs CPW를 사용하였으며, 패키지 cover 층, seal frame 층 및 aperture 층은 HRS를 사용하였다. 또한 도핑된 lossy 실리콘 웨이퍼는 기생 공진을 억제하기 위해 칩 캐리어로서 사용되었다.

### 2-2 실리콘 MEMS 패키지 제작

CPW 기반의 금속 전송선(metal conductor)이 직접 HRS 기판위에 형성될 때 삽입 손실은 적지만, 직류 누설 전류(dc leakage current)에 의하여 직류 바이어스(bias)에 매우 민감하다<sup>[9]</sup>. CPW 기반의 금속 전송선과 HRS 사이에 산화막(thermal oxide)을 넣은 경우에는 직류 누설 전류는 제거가 되지만, 삽입 손실은 상당히 증가하게 된다. 이것은 반도체 MOS(Metal-

Oxide-Semiconductor)구조에서 표면 전위(surface potential)에 따라 HRS 기판 표면 위에 inversion layer를 형성하게 되어, 비록 HRS의 벌크 비저항이 높다고 하더라도 CPW 기반의 금속 전송선 하부의 국부적인 표면 비저항은 매우 낮아진다<sup>[10]</sup>. 따라서 inversion layer의 형성에 의하여 표면 비저항이 낮아지는 것을 방지하기 위하여 HRS위에 직접 금속 전송선을 형성하였으며, 직류 누설 전류를 감소시키기 위해 높은 비저항을 갖는 HRS를 사용하였다.

본 연구의 실리콘 MEMS 패키지 제작은 그림 3의 공정 흐름도와 같이 패키지에 삽입되는 MMIC용으로 후면작업을 하지 않은  $625 \mu\text{m}$  두께의 GaAs 기판 상에 CPW 패턴을 제작하고, CPW 패턴은  $50 \Omega$  특성 임피던스를 구현하기 위해 신호선  $113 \mu\text{m}$ 의 선폭과  $70 \mu\text{m}$ 의 슬롯을 갖도록  $5 \times 5 \text{ mm}^2$ 로 scale-up하여 설계하였다. CPW 기반의 금속 전송선은 주로 Al 또는 Au/Ti을 증착하여 사용한다. Al은 바이어스에 따라 삽입손실이  $0.3 \sim 0.4 \text{ dB/cm}$ 의 편차를 보이지만, Au/Ti는 바이어스에 따라 편차가 없음을 보인다<sup>[11]</sup>. 따라서 CPW 패턴을 barrier metal인  $200 \text{ \AA}$ 의 Ti막 위에 Au를  $1 \mu\text{m}$ 로 증착한 후 사진식각(photolithography) 공정을 이용하여 제작하였다. Aperture layer는 그림 4와 같이 CPW 모드가 대부분 CPW 슬롯으로 전기

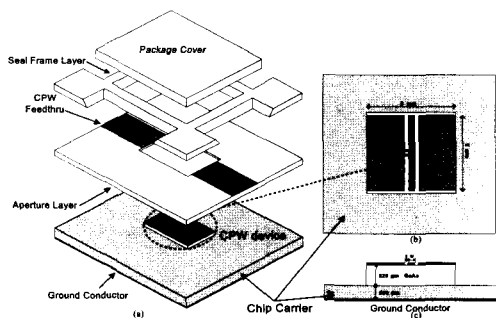


그림 2. 제안된 손실층 Sub-mount를 갖는 CPW MMIC용 실리콘 MEMS 패키지 구조 (a) 칩 캐리어를 갖는 CPW MMIC용 실리콘 MEMS 패키지, (b) 상면도, (c) 측면도

Fig. 2. Proposed Si MEMS package having a lossy sub-mount for CPW MMICs (a) Si MEMS package having a chip carrier for CPW MMICs, (b) Top view of a CPW attached on a chip carrier, (c) Side view of a CPW attached on a chip carrier.

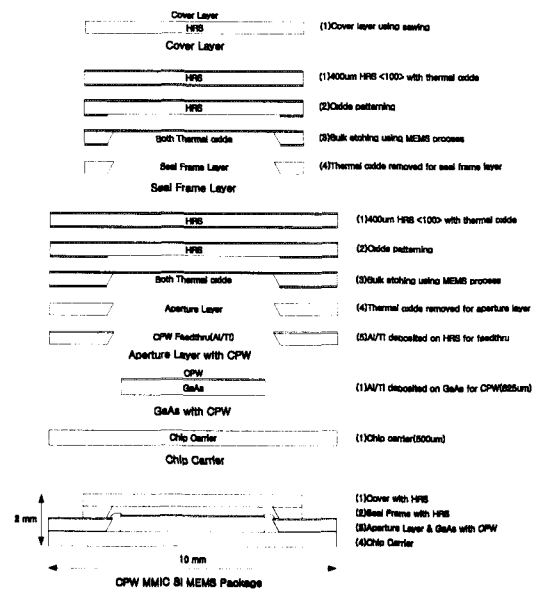


그림 3. 제작 공정 흐름도  
Fig. 3. Fabrication process flow chart.

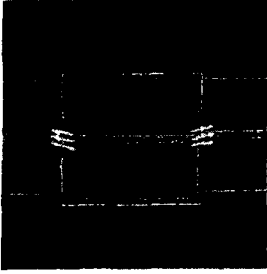


그림 4. GaAs CPW 패턴을 갖는 aperture 층  
Fig. 4. Aperture layer with GaAs CPW pattern.

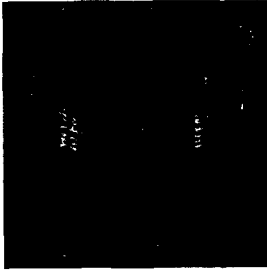


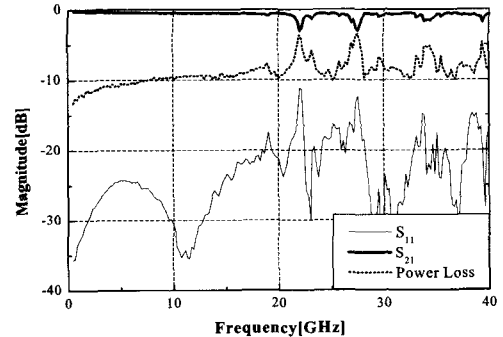
그림 5. 제작된 실리콘 MEMS 패키지  
Fig. 5. Full Si MEMS package without cover.

장이 형성되도록 슬롯 폭보다 훨씬 두꺼운 400  $\mu\text{m}$ 의 HRS를 사용하였다. 중앙에 MMIC칩 대응으로 GaAs의 CPW 패턴을 넣을 부분은 TMAH etchant를 사용하여 54.7°로 벌크 식각을 하여 제거하였으며, 이때 masking으로 산화막을 사용하였다. 다시 산화막을 제거하고<sup>[9]</sup>, GaAs의 CPW 패턴과 동일하게 Au(1  $\mu\text{m}$ )/Ti(200 Å)를 증착하여 CPW의 급전선로(feedthru)를 형성하였다. GaAs의 유전상수가 12.9, HRS의 유전상수는 11.9로서 제작상의 편의를 위하여, 유전상수 11.9로 신호선의 선폭과 슬롯을 설계하였다. Seal frame을 부착하는 부분의 임피던스 매칭을 위하여 급전선로는 신호선의 선폭과 슬롯에 tapering을 주었다. Seal frame과 cover는 벌크 식각 공정과 sawing machine을 이용하여 제작하였다. 완전한 패키지는 그림 5와 같이 칩 캐리어 기판 위에 aperture layer와 중앙에 GaAs CPW 패턴을 전도성이 없는 에폭시(epoxy)로 접착을 하고 aperture layer의 급전선로 CPW와 GaAs CPW를 신호선과 그라운드선 각각을 wire bonding한 후에 급전선로의 임피던스 매칭을 위하여 tapering된 부분 위에 seal frame을 얼라인(align)하여 접착을 하고 그 위에 cover를 부착하였다.

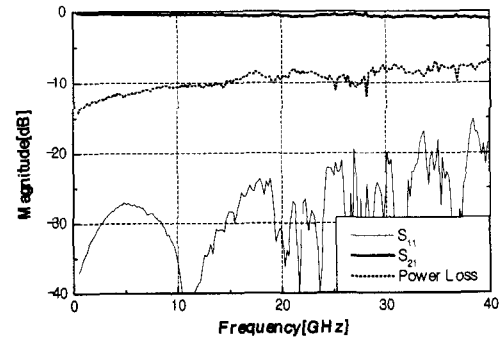
패키지에서 발생하는 기생 공진 현상에 대하여 삽입된 실리콘 캐리어의 효과를 확인하기 위해, 세 종류의 칩 캐리어(conductor-back metal, 15  $\Omega \cdot \text{cm}$  lossy Si, 15  $\text{k}\Omega \cdot \text{cm}$  HRS) 상에 패키지를 전도성이 없는 에폭시로 접착, 제작하여 측정하였다. 이렇게 제작된 시료는 1) HP 8510C Vector Network Analyzer 2) CASCADE MICROTECH GSG150 coplanar probes 3) SOLT calibration technique를 사용하여 0.5~40 GHz 대역에서 on-wafer probe 측정을 하였다.

### 2-3 실리콘 MEMS 패키지 측정 결과 및 분석

그림 6은 conductor-back metal 캐리어와 도핑된 15  $\Omega \cdot \text{cm}$  lossy 실리콘 캐리어 상에 제작된 GaAs CPW 패턴의 측정결과를 0.5~40 GHz 대역에서 비교한 결과이다. 측정 결과, 19 GHz 부근의 주파수 대역부



(a) Conductor-back metal 캐리어 상에서의 측정 결과  
(a) GaAs CPW on the conductor-back metal carrier



(b) 15  $\Omega \cdot \text{cm}$  lossy 실리콘 캐리어 상에서의 측정 결과  
(b) GaAs CPW on the 15  $\Omega \cdot \text{cm}$  lossy silicon carrier

그림 6. GaAs CPW 패턴 측정 결과  
Fig. 6. Measured S-parameter of the GaAs CPW pattern.

터 기생 공진 모드인 PP 모드로 인한 매우 심한 공진 현상이 발생하였고, 손실이 있는 실리콘 캐리어를 사용함으로써 기존의 기생 공진 현상을 효과적으로 제거할 수 있음을 확인하였다<sup>[8]</sup>. 그리고 제작된 CPW의 슬롯과 기관 높이의 비가 약 0.1 정도로 작기 때문에 대부분의 CPW 모드는 GaAs 기관 내의 슬롯 부근에 위치하게 된다. 따라서 삽입 손실은 추가된 실리콘 캐리어에 의한 것이 아니라, 주파수의 제공 근에 비례하는 CPW 전송선로의 도체손실에 의한 것임을 알 수 있었다<sup>[12]</sup>.

완전한 전체 패키지에 대한 측정 결과로서, 그림 7은 칩 캐리어로서 conductor-back metal을 사용한 경우이고, 그림 8은 15  $\Omega \cdot \text{cm}$  lossy 실리콘 캐리어를, 그림 9는 HRS 캐리어를 사용한 결과이다. 칩 캐리어에 따른 비교 결과, HRS 캐리어의 경우는 전체적으로 conductor-back metal 캐리어를 사용했을 때보다 기생 공진 현상이 감소된 것처럼 보이지만, 이는 사용된 HRS에 의해 기생 공진 모드가 억제된 것이 아니라, 기관의 두께가 1025  $\mu\text{m}$ 로 증가했기 때문이다. 즉, 슬롯에 비해 기관의 두께가 매우 커지면 기생 PP 모드의 형성이 감소되어지기 때문에 기생 공진 현상이 비교적 적게 유도된 것이다. 반면 15  $\Omega \cdot \text{cm}$  lossy 실리콘 캐리어를 사용함으로써 25 GHz 이상에서는 기생 공진 현상을 매우 효과적으로 제거할 수 있었으나, 25 GHz 이하에서는 칩 캐리어와 관계없이 거의 유사하게 기생 공진 현상이 제거된 것처럼 보인다. 이는 중앙의 GaAs CPW에 대한 칩 캐리어에 따른 비교에서 기생 공진 현상이 확실하게 제거된 것을 확인하였으나, aperture layer로 사용한 HRS는 GaAs 보다 삽입 손실이 크고, 그 크기가 GaAs CPW의 기생 공진 성분만큼 크기 때문에 HRS의 삽입 손실에 흡수되어, 칩 캐리어에 따른 변화 없이 전체적으로 기생 공진 현상이 억제된 것으로 보인다. 최적의 실리콘 MEMS 패키지는 15  $\Omega \cdot \text{cm}$  lossy 실리콘 칩 캐리어를 사용한 경우이며, 반사손실은 -10 dB 이고, 40 GHz에서 삽입 손실은 -2.5 dB, 전력 손실은 -7.4 dB의 결과를 얻었다. 전체 패키지에서 중앙의 GaAs CPW 패턴을 de-embedding<sup>[13]</sup>함으로써, bonding wire를 포함하는 순수한 CPW MMIC용의 실리콘 MEMS 패키지는 그림 10과 같이 40 GHz에서 삽입 손실은 -2.0 dB이며, 전력 손실은 -7.5 dB의

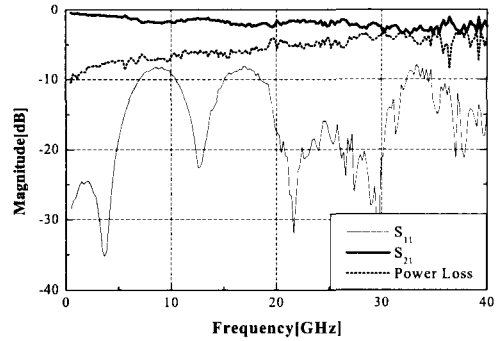


그림 7. Conductor-back metal 캐리어 상에서의 패키지 측정 결과  
Fig. 7. Measured S-parameter of the package on the conductor-back metal carrier.

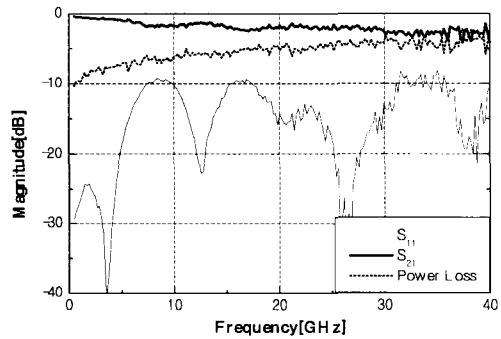


그림 8. 15  $\Omega \cdot \text{cm}$  lossy 실리콘 캐리어 상에서의 패키지 측정 결과  
Fig. 8. Measured S-parameter of the package on the 15  $\Omega \cdot \text{cm}$  lossy silicon carrier.

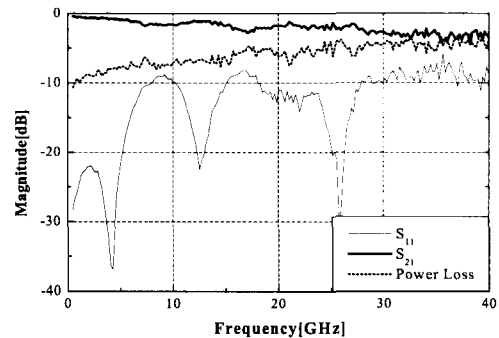


그림 9. HRS 캐리어 상에서의 패키지 측정 결과  
Fig. 9. Measured S-parameter of the package on the HRS carrier.

결과를 얻었다. 따라서 half-급전선로의 삽입 손실은 -1.0 dB이다.

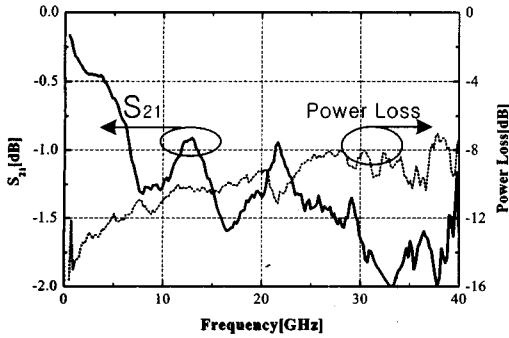


그림 10. De-embedding 후의 15 Ω·cm lossy 실리콘 캐리어 상에서의 패키지 측정 결과  
 Fig. 10. Measured S-parameter of the package on the 15 Ω·cm lossy silicon carrier after de-embedding.

### III. 결 론

본 논문에서는 해석적으로 제안된 초고주파 및 밀리미터파 대역용 기생 공진 억제를 위한 손실층 Sub-mount를 갖는 CPW MMIC용의 실리콘 MEMS 패키지를 제작하여 그 특성을 확인하였다. 패키지의 성능을 검증하기 위해 세 가지 형태의 칩 캐리어 (conductor-back metal, 15 Ω·cm lossy Si, 15 kΩ·cm HRS) 위에 GaAs CPW 패턴을 포함하는 패키지를 제작하여 0.5~40 GHz 대역에 걸쳐 측정하였다. 15 Ω·cm lossy 실리콘 칩 캐리어를 사용함으로써 25 GHz 이상에서는 기생 공진 현상을 매우 효과적으로 제거할 수 있었으나, 25 GHz 이하에서는 칩 캐리어와 관계없이 거의 유사하게 기생 공진 현상이 제거된 것처럼 보인다. 이는 GaAs CPW의 기생 공진 성분이 HRS의 삽입 손실에 흡수되어, 칩 캐리어에 따른 변화 없이 전체적으로 기생 공진 현상이 억제된 것으로 보인다. 최적의 CPW MMIC용의 실리콘 MEMS 패키지는 칩 캐리어로 15 Ω·cm lossy 실리콘을 사용한 경우에 기생 공진 현상을 효과적으로 억제할 수 있었으며, 40 GHz에서 삽입 손실은 -2.0 dB이며, 전력 손실은 -7.5 dB의 결과를 얻을 수 있었다.

### 참 고 문 헌

[1] Y. Campos-Roca, L. Verweyen, M. Neumann, M. Fernandez-Barciela, M. C. Curras-Fancos, E. San-

chez-Sanchez, A. Hulsmann and M. Schlechtweg, "Coplanar pHEMT MMIC Frequency Multipliers for 76 GHz Automotive Radar", *IEEE Microwave and Guided Wave Letters*, vol. 9, no. 6, pp. 242-244, Jun. 1999.

[2] Y. C. Shih, K. Kasel and L. Fong, "A High Performance Quartz Package For Millimeter-wave Applications", *IEEE MTT-S Int. Symp. Dig.*, pp. 1063-1066, 1991.

[3] T. Hirose, K. Makiyama, K. Ono, T. M. Shimura, S. Aoki, Y. Ohashi, Yokokawa and Y. Watanabe, "A Flip-chip MMIC Design with Coplanar Waveguide and Transmission Line in the W-band", *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-46, pp. 2276-2281, Dec. 1998.

[4] C. C. Tien, C. C. Tzuang, S. T. Peung, C. C. Tien, C. C. Chang and J. W. Huang, "Transmission Characteristics of Finite-width Conductor-backed Coplanar Waveguide", *IEEE Trans. Microwave Theory and Techniques*, vol. 41, pp. 1616-1624, Sep. 1993.

[5] A. C. Reyes, S. M. El-Ghazaly and S. Dorn, "Silicon As A Microwave Substrate", *IEEE MTT-S Int. Symp. Dig.*, pp. 1759-1762, 1994.

[6] Rashaunda M. Henderson, Linda P. B. Katehi, "Silicon-based Micromachined Packages for High-frequency Applications", *IEEE Trans. Microwave Theory and Techniques*, vol. 47, no. 8, pp. 1563-1569, Aug. 1999.

[7] D. F. Willians, D. W. Paananen, "Suppression of Resonant Modes in Microwave Packages", *IEEE MTT-S Int. Symp. Dig.*, pp. 1263-1265, 1989.

[8] S. -J. Kim, H. -S. Yoon and H. -Y. Lee, "Suppression of Leakage Resonance in Coplanar MMIC Packages using a Si Sub-Mount Layer", *IEEE Trans. Microwave Theory and Techniques*, vol. 48, pp. 2664- 2669, Dec. 2000.

[9] Yunhong Wu, Harold S. Gamble, B. Mervyn Armstrong, Vincent F. Fusco and J. A. Carson Stewart, "SiO<sub>2</sub> Interface Layer Effects on Microwave Loss of High-Resistivity CPW Line", *IEEE Microwave and Guided Wave Letters*, vol. 9, no. 1,

pp. 10-12, Jan. 1999.

[10] Adolfo C. Reyes, Samir M. El-Ghazaly, Steve J. Dorn, Michael Dydyk, Dieter K. Schroder and Howard Patterson, "Coplanar Waveguides and Microwave Inductors on Silicon Substrates", *IEEE Trans. Microwave Theory and Techniques*, vol. 43, no. 9, pp. 2016-2022, Sep. 1995.

[11] Z. R. Hu, V. F. Fusco, Y. Wu, H. G. Gamble, B. M. Armstrong and J. A. C. Stewart, "Contact Effects on HF Loss of CPW High Resistivity Silicon

Lines", *IEEE MTT-S Int. Symp. Dig.*, pp. 299-302, 1996.

[12] 김진양, 김성진, 이해영, "CPW MMIC 칩 실장을 위한 실리콘 MEMS 패키지 설계", 전자공학 회논문지, 39TC(11), pp. 506-512, 2002년 11월.

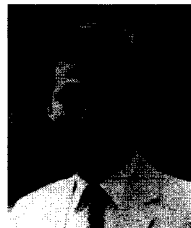
[13] H-Y. Lee, Y-S. Kwon, Y-T. Song and J-Y Park, "Microstrip Silicon-MEMS Package for Wafer-Level Chip-Scale Microwave Packaging", *Jpn. J. Appl. Phys.*, Part 1, vol. 42, no. 9A, pp. 5531-5535, Sep. 2003.

### 송요탁



1984년: 아주대학교 전자공학과 (공학사)  
 2001년: 아주대학교 정보전자공학과 (공학석사)  
 2002년~현재: 아주대학교 전자공학과 박사과정  
 [주 관심분야] RF MEMS Package

### 이해영



1980년: 아주대학교 전자공학과 (공학사)  
 1982년: 한국과학기술원 전기 및 전자공학과 (공학석사)  
 1982년~1986년: ADD 연구사무관  
 1989년: The University of Texas at Austin (공학박사)  
 1990년~1992년: LG전자기술원 책임연구원  
 1992년~현재: 아주대학교 전자공학부 정교수  
 [주 관심분야] 밀리미터파 회로 모듈링 및 MEMS 패키징 기법, RFIC 및 MMIC 최적 설계, EMI/EMC, 초고속 PCB 설계 기법