

논문 17-4-3

## 플라즈마 에칭으로 손상된 4H-실리콘 카바이드 기판위에 제작된 MOS 커패시터의 전기적 특성

### Electrical Characterization of MOS (metal-oxide-semiconductor) Capacitors on Plasma Etch-damaged 4H-Silicon Carbide

조남규<sup>1</sup>, 구상모<sup>2</sup>, 우용득<sup>3</sup>, 이상권<sup>1,a</sup>

(Nam-Kyu Cho<sup>1</sup>, Sang-Mo Koo<sup>2</sup>, Yong-Deuk Woo<sup>3</sup>, and Sang-Kwon Lee<sup>1,a</sup>)

#### Abstract

We have investigated the electrical characterization of metal-oxide-semiconductor (MOS) capacitors formed on the inductively coupled plasma (ICP) etch-damaged both n- and p-type 4H-SiC. We found that there was an effect of a sacrificial oxidation treatment on the etch-damaged surfaces. Current-voltage and capacitance-voltage measurements of these MOS capacitors were used and referenced to those of prepared control samples without etch damage. It has been found that a sacrificial oxidation treatment can improve the electrical characteristics of MOS capacitors on etch-damaged 4H-SiC since the effective interface density and fixed oxide charges of etch-damaged samples have been found to increase while the breakdown field strength of the oxide decreased and the barrier height at the SiC-SiO<sub>2</sub> interface decreased for MOS capacitors on etch-damaged surfaces.

다.

**Key Words** : ICP, MOS, 4H-SiC, Sacrificial oxidation, Interface states

#### 1. 서론

넓은 띠간격 반도체중 하나인 실리콘 카바이드 (silicon carbide, SiC)는 기존의 실리콘이나 게르마늄 반도체 보다 더 높은 전기장과 넓은 띠간격으로 인하여 고온 및 고출력용 반도체 소자에 적용이 가능하여 현재 활발한 연구가 진행 중에 있다 [1,2]. 실리콘 카바이드의 다른 우수한 특징 중에 하나는 다른 넓은 띠간격 반도체 (GaN 와 ZnO)에서 구현이 힘든 열산화막 형성이 가능하다는 것이

다. 이는 일반적인 반도체 소자인 MOS (metal-oxide-semiconductor) 전계효과 트랜지스터의 제작이 가능하다는 것을 의미한다. 현재 까지 많은 MOS 관련 소자 및 구조와 관련하여 활발한 연구들이 진행되어왔다. 일반적으로 실리콘을 이용하여 MOSFET (metal-oxide-semiconductor field-effect transistor)등을 제작할 경우 소스와 드레인의 형성은 선택적인 확산방법이나 이온주입법을 이용하여 쉽게 제작이 가능하였다. 그러나 실리콘 카바이드 반도체를 이용하여 고출력 및 고속에서 작동 가능한 MOSFET를 제작할 경우 실리콘 공정에서 많이 쓰이는 이온주입법을 사용하는 데는 많은 어려움이 수반된다[2]. 따라서 이온주입법을 이용하여 소스와 드레인을 형성하는 과정을 시행하지 않고, 실리콘 카바이드 기판위에 채널로 작용하는 에피층을 증착한 후 소스와 드레인으로 사용될 높게 도핑된 실리콘 카바이드 에피층을 마지막으로 형

1. 전북대학교 반도체과학기술학과

(전북 전주시 덕진동 664-14)

2. NIST, USA

3. 유석대학교 반도체전자공학과

a. Corresponding Author : sk\_lee@chonbuk.ac.kr

접수일자 : 2003. 12. 17

1차 심사 : 2004. 1. 26

심사완료 : 2004. 2. 29

성시킨 구조를 이용하여 MOS 전계효과트랜지스터를 제작하는 방법이 많이 사용된다[3]. 이러한 구조의 실리콘 카바이드를 가지고 MOSFET를 제작할 경우 채널 에피층 위에 높게 도핑된 에피층을 제거하기 위해 에칭방법이 이용된다. 이중 플라즈마와 관련된 에칭공정은 소자제작에 있어서 중요한 역할을 하고 있다. 실리콘 카바이드 에칭은 높은 이온에너지를 이용한 RIE (reactive ion etching) 방법과 high-density plasma reactors를 이용한 ICP (inductively coupled plasma) 와 ECR (electron cyclotron resonance) 등이 이용되어왔으며 ICP 와 ECR 에칭방법이 상대적으로 RIE 방법보다 에칭속도와 표면 손상이 적다는 면에서 우수하다는 장점을 갖고 있다[4-6]. 그러나 ICP 에칭시 가속된 이온들로 인한 실리콘 카바이드 표면의 손상을 가져올수가 있다. 이와 관련하여 표면의 에칭손상 및 치유 (recover)하는 방법에 대한 많은 연구결과물이 출판되질 않았다[7]. 이에 본 논문은 실리콘 카바이드 UMOSFET(U-groove MOSFET) 및 일반적인 MOSFET 구조의 소자제작에 필수적인 ICP 에칭이 얼마나 소자의 특성에 영향을 주는가에 대해 강제적으로 ICP에 의해 손상된 n-형 및 p-형 4H-SiC 웨이퍼 표면위에 MOS 커패시터 구조를 제작하여 그들의 전기적인 특성을 측정함

으로서 규명을 시도하였다. MOS의 전기적인 특성을 측정함으로써 플라즈마 에칭손상이 MOS 특성에 어떠한 변화를 주는가에 대해서 연구를 하였다. 추가적으로 플라즈마 에칭손상에 대한 치유 방법을 제시하였다.

## 2. 실험조건 및 방법

본 실험에 사용된 실리콘 카바이드 웨이퍼는 homoepitaxial 로  $2 \times 10^{16} \text{ cm}^{-3}$  정도로 도핑된 4  $\mu\text{m}$  두께의 n-형 과 p-형 4H-SiC를 사용하였다. 모든 웨이퍼는 si-face 로 (0001) 방향 성장이 되었으며, 웨이퍼 업체인 CREE에서 구입하였다. 먼저 준비된 웨이퍼는 2단계 크리닝을 실시한다. 첫 번째 단계는  $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2$ 를 2.5:1의 비율로 섞어서 5분간 크리닝한다. 이때 혼합용액의 온도는 최소한 80 °C 이상 되어야 한다. 그런 후 용액 ( $\text{H}_2\text{O}:\text{CH}_3\text{CH}(\text{OH})\text{CH}_3:\text{HF}=100:3:1$ )에 100초동안 담근다. 각각의 두 단계 크리닝후에는 5분간 deionized 물로 세척을 하였다. 표 1에 나타난 바와 같이 3가지 종류의 4H-SiC 샘플들을 가지고 실험을 실시하였다 그리고 플라즈마 에칭은 ICP를 이용하였다. 우선 기준 샘플 (S1 과 S2)들은 ICP 에칭 없이 MOS 커패시

표 1. 3개 샘플의 공정조건.

Table 1. Process condition of three different samples.

4H-SiC Samples		ICP-etch damage			Sacrificial oxidation	
n-type	p-type	Platen Power (W)	Coil Power (W)	Time (min)	Temp(°C)	Time (min)
S1	S2	None	None	None	None	None
E1	E2	30	600	5	None	None
ER1	ER2	30	600	5	1150	120

All samples have been oxidized at 1150 °C for 240 min simultaneously.

표 2. 전기적인 특성 결과.

Table 2. The result of the electrical characterization.

type	Sample	$t_{ox}$ (nm)	$\Delta V_{FB}$ (V)	$Q_{TOT}$ ( $10^{12}\text{cm}^{-2}$ )	$\Delta V_{DD}$ (V)	$N_{IT}$ ( $10^{12}\text{cm}^{-2}$ )	$Q_F$ ( $10^{12}\text{cm}^{-2}$ )	$E_{BD}$ (MV cm)	$\Phi_b$ (eV)
n-4H	S1	47	2.8	-1.1	12.7	-5.0	3.9	9.3	2.8
	E1	50	2.4	-0.9	17.4	-6.7	5.8	6.9	2.6
	EP1	47	2.7	-1.1	13.1	-5.4	4.3	9.2	2.7
p-4H	S2	40	-15.8	8.5	-15.2	8.1	0.4	9.8	2.8
	E2	46	-20.0	9.4	-19.0	8.9	0.5	6.8	2.5
	EP2	42	-15.8	8.2	-15.2	7.9	0.3	9.1	2.8

터를 제작하였고, 나머지 세트 샘플들 (E1, E2, EP1, EP2)은 열산화전에 SF<sub>6</sub>/Ar 가스와 600W의 코일파워, 30W의 platen 파워로 5분간 ICP 로 에칭을 실시하여 표면에 강제적인 손상을 주었다. 4개 샘플중 EP1과 EP2 샘플들은 ICP 에칭 후 희생산화 (sacrificial oxidation)를 추가로 실시하였다. 요약된 실험조건은 표1과 같다. 위의 실험을 실시한 후 모든 샘플들은 1150 °C에서 240분간 열산화공정을 위해 가열기에 집어넣었다. 열산화막의 두께는 40~55 nm 로 측정되었다. 산화공정후 300 nm의 티타늄 금속을 전자빔 증착방법으로 증착시킨 후 크기가 150~420 μm 지름의 게이트를 일반적인 리소그래피 방법을 이용하여 패터를 하였다. 제작된 샘플들은 HP4284A LCR meter를 이용하여 400 kHz 주파수에서 정전용량-전압(C-V) 측정을 하였다. 반전영역(inversion) 으로부터 초기 축적영역(accumulation)으로의 변화를 위해서 초점이 잡힌 할로겐램프를 이용하여 광학적으로 여기(excitation) 시켰다. 유효고정전하(effective fixed charge)와 계면상태(interface states)는 편평대역 전압 (flatband shift voltage)와 C-V로부터 유도 되었다. 그리고 장벽높이(barrier height)와 전계의존항복(field-dependent breakdown) 특성들은 전류-전압측정 (I-V)으로부터 구하였다.

### 3. 결과 및 논의

#### 3.1 C-V 측정결과 및 논의

그림 1 (a)와 (b)는 n-MOS와 p-MOS에 대한 정전용량-전압(C-V) 측정결과를 보여준다. 모든 C-V 측정은 2번에 왕복한 전압을 400 kHz에서 실시하였다. 역스윙프(Reverse sweep)에서 나타나는 전압 이동(voltage shift)은 깊은 계면상태(deep interface states)의 전하상태(charge states)의 차이에서 기인한다. 이러한 전압 이동( $\Delta V_{DD}$ )로부터 단위면적당 총 깊은 계면상태 ( $N_{IT}$ ) 아래 식 (1)을 이용하여 계산이 가능하다. 총 고정전하 ( $Q_{TOT}$ )는 다음의 식 (2) 주어진다.

$$N_{IT} = -(C_{ox}\Delta V_{DD})/q \quad (1)$$

$$Q_{TOT} = -(C_{ox}\Delta V_{FB})/q \quad (2)$$

여기서  $C_{ox}$ 는 축적 정전용량 (accumulation capacitance)이다. 식 (1)과 (2)로부터 고정전하( $Q_F = Q_{TOT} - N_{IT}$ )를 구할 수가 있다. 축적 정전용량( $C_{ox}$ )

로부터 산화물 두께는 40~55 nm로 계산이 되었으며, 플라즈마 에칭으로 손상된 MOS 커패시터 (E1 과 E2)의 표면에서의 산화율이 기준 샘플 (S1 과 S2) 보다 약 3-4 nm 증가했음을 알 수 있다. 표2와 그림 1에서 보는 바와 같이 플라즈마 에칭으로 손상된 샘플의  $\Delta V_{FB}$ 와  $\Delta V_{DD}$ 는 기준 샘플에 비해서 큰 값을 가짐을 알 수 있으며, 특히 p-MOS 플라즈마 에칭으로 손상된 샘플 (E2)에 대해서는 n-MOS의 경우보다 큰 값을 갖는다. 증가된 값들을 얻어진 이유는 플라즈마 에칭에 의해서 깊은 도너형태의 계면상태와 양의 고정전하 (positive fixed charge)가 증가하였기 때문이다. 반면에 플라즈마 에칭으로 손상된 표면을 희생산화

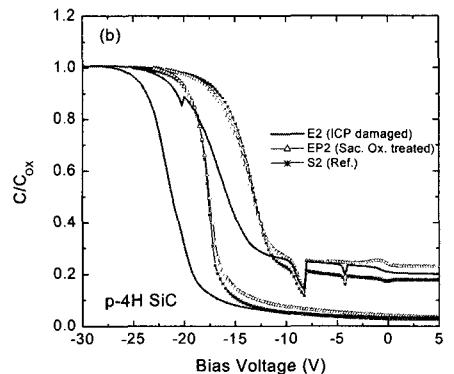
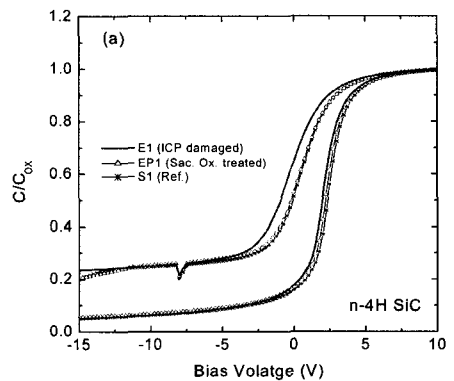


그림 1. (a) n-형과 (b) p-형 4H-SiC MOS 커패시터에 대한 정전용량-전압 특성 결과.

Fig. 1. The capacitance-voltage measurements for (a) n-type and (b) p-type 4H-SiC MOS capacitors.

로 처리를 한 샘플 (EP1 과 EP2)들의 경우는 표2 에서 보는바와 같이 기준 샘플 (S1과 S2)들과 비교할 만큼 거의 같은 수치의  $\Delta V_{FB}$ 와  $\Delta V_{DD}$ 를 갖는다. 플라즈마 에칭된 샘플 (E1 과 E2)들에 비해서 아주 낮은  $\Delta V_{FB}$ 와  $\Delta V_{DD}$ 를 갖는 이유는 희생산화가 계면상태와 트랩의 생성을 억제하는 효과가 있기 때문이다. 표2에 나타난 바와 같이 플라즈마 에칭으로 손상된 표면에 제작된 전하  $Q_F$ 는 기준샘플과 희생산화 샘플 (E1과 E2)들의 계산된  $N_{IT}$ 와 고정산화물화로 처리한 샘플들보다 높은 증가된 값을 가짐을 보여준다. 이는 희생산화로 인하여 손상된 지역이 줄어들고 동시에 표면의 거칠기(roughness)가 감소함으로써 계면특성이 개선되었음을 의미한다.

**3.2 I-V 측정 결과 및 논의**

I-V 특성은 측정된 MOS 커패시터에 p-형은 0 전압에서 + 전압으로 바이어스를 걸어 주었으며, n-형 MOS 커패시터는 - 전압 바이어스를 걸어 측정을 하였다. 그림 2는 40개의 서로 다른 샘플의 항복 필드(breakdown field,  $E_{BD}$ )를 측정한 결과를 보여준다. 그림 3에서 보는 바와 같이 기준샘플과 희생산화로 처리한 샘플들은 높은  $E_{BD}$  값들(7-12 MV/cm) 가지며 이들 값들은 플라즈마 에칭에 의해서 손상된 샘플들의  $E_{BD}$  값들 (5-9 MV/cm)에 비해 높은 값을 가짐을 알 수 있다. 이는 Kimura 등이[8] 언급한 바와 같이 높은 계면상태와 표면거칠기(surface roughness)는 산화물 항복(oxide breakdown)을 쉽게 일으키기 때문이다. 즉, 기준샘플들에 비해서 플라즈마 에칭으로 손상된 샘플들은 낮은  $E_{BD}$  갖는다. 다음으로 I-V 결과로부터  $SiO_2$ 와 4H-SiC의 장벽높이를 F-N 이론으로부터 유도하였다. 이는 높은 산화물 필드(oxide field)에서의 통상적인 전도메커니즘이 F-N 터널링을 해석이 가능하기 때문이다[9]. F-N 이론으로부터 전류밀도 (J)는 아래 식 (3)과 나타낼 수 있다. 또한, F-N 도식의 기울기  $[B=4(2m_{ox})^{0.5}\phi_b^{1.5}/3qh]$ 로부터 궁극적으로 장벽높이를 유도가 가능하다.

$$\frac{J}{E^2} = Ae^{-B/E} \tag{3}$$

여기서 J는 전류밀도(current density), E는 산화물 필드,  $m_{ox}$ 는 산화물에서의 전자질량을 나타낸다. 그림 3은 각각 다르게 전 처리된 샘플들에 대한 유도된  $SiO_2$ 와 SiC와의 장벽높이를 보여준다.

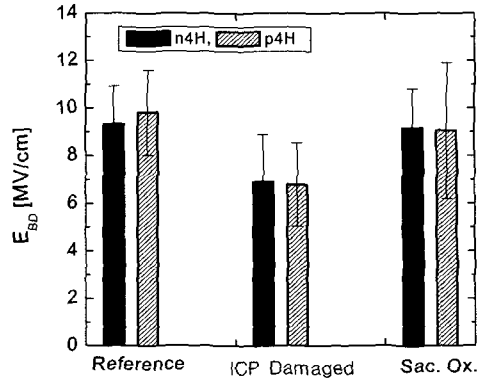


그림 2. 각각 샘플에 대해서 40개의 다른 SiC MOS 커패시터들의 oxide breakdown field 분포.

Fig. 2. The distribution of breakdown field of oxides from 40 different SiC MOS capacitors for each set of samples.

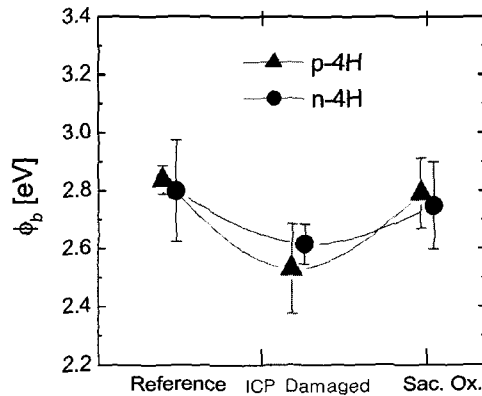


그림 3. n-형과 p-형 4H-SiC와  $SiO_2$ 와의 장벽 높이가 측정결과.

Fig. 3. The barrier heights between n-and p-type 4H-SiC and  $SiO_2$ .

n-형과 p-형 샘플들이 거의 동일한 경향을 가짐을 알 수 있다. 기준샘플과 희생산화로 처리를 한 샘플들은 어떠한 처리없이 플라즈마 에칭으로 손상된 샘플들 보다 높은 장벽높이를 갖는다. 이는 앞에서 언급한 메커니즘과 동일한 메커니즘을 이용하여 설명이 가능하다, 즉 플라즈마 에칭으로 손상된 표면에 형성된 MOS 커패시터의 상대적으로 낮

은 장벽높이는 거친 거칠기와 결함(defect) 등에 기인한 것임을 알 수 있다. 추가로 희생산화공정은 플라즈마 에칭으로 손상된 표면의 손상된 부분을 부분 제거하는 효과가 있음을 확인할 수 있다.

#### 4. 결론

서로 다르게 전 처리된 샘플들, 즉 플라즈마 에칭(ICP etching)으로 표면이 손상된 샘플, 아무런 표면 처리 없는 기준샘플, 그리고 ICP 에칭후 희생산화로 처리한 샘플들을 가지고 MOS 커패시터를 제작하여 이들의 전기적인 특성을 측정하였다. 샘플은 n-형과 p-형 4H-실리콘 카바이드 웨이퍼를 사용하였다. 정전용량-전압(C-V) 측정으로부터 n-형과 p-형 4H-실리콘 카바이드의 ICP 에칭으로 손상된 샘플들의 유효계면밀도(effective interface density,  $N_{IT}$ )와 고정산화필드(fixed oxide field,  $Q_F$ )가 기준샘플들의 값보다 증가된 값을 보여주었다. 전류-전압(I-V) 특성 분석결과 손상된 샘플의 항복필드(breakdown field ( $E_{BD}$ ))와  $SiO_2$ 와 SiC 사이의 장벽높이( $\Phi_b$ )의 값들이 기준샘플 보다 낮은 값을 얻었다. 그리고 희생산화방법이 플라즈마 에칭으로 손상된 실리콘 카바이드 표면의 손상된 부분을 효과적으로 치유함을 보여주었다.

#### 감사의 글

이 논문은 2003년도 전북대학교 지원 연구비에 의하여 연구되었음.

#### 참고 문헌

- [1] R. J. Trew, "Experimental and simulated results of SiC microwave power Mesfts", Phys. Status Solidi, Vol. A162, p. 409, 1997.
- [2] 박문기, 김용탁, 최원석, 윤대호, 홍병유, "플라즈마 화학기상 증착방식으로 성장시킨 비정질 실리콘 카바이드 박막의 열처리효과에 관한 특성분석", 전기전자재료학회논문지, 13권, 10호, p. 817, 2000.
- [3] C.-M. Zetterling, Ph. and D Thesis, "Silicon dioxide and aluminum nitride as gate dielectric for high temperature and high power silicon carbide MOSFETs", KTH,

Royal Institute of Technoligy, Stockholm, Sweden, 1997.

- [4] J. Hong, R. J. Shul, L. Zhang, L. F. Lester, H. Cho, and Y. B. Hanh, "Plasma chemistries for high density plasma etching of SiC", J. Electron Mater., Vol. 28, p. 196, 1999.
- [5] 오창성, 김창일, "유도결합 플라즈마를 이용한  $CeO_2$  박막의 식각메카니즘", 14권, 9호, p. 965, 2001.
- [6] 강형근, 임성훈, 임연호, 한윤봉, 황종선, 한병성, "새로운 ICP 장치를 이용한 고온초전도체의 dry etching과 기존의 wet etching 기술과의 비교", 14권, 2호, p. 52, 2001.
- [7] E. Danielsson, S.-K. Lee, C.-M. Zetterling, and M. Ostling, "Inductively coupled plasma etch damage in 4H-SiC investigated by Schottky diode characterization", J. Electron Mater., Vol. 30, p. 247, 2001.
- [8] M. Kimura, J. Mitsuhashi, and H. Koyama, "Si/SiO<sub>2</sub> interface states and neutral oxide traps induced surface micro roughness", J. Appl. Phys., Vol. 77, p. 1569, 1995.
- [9] M. Lenzlinger and E. H. Snow, "Fowler-Nordheim tunneling into thermally grown SiO<sub>2</sub>", J. Appl. Phys., Vol. 40, p. 278, 1969.