

## 효율개선을 위한 Push-Pull Converter의 동기정류에 관한 연구

金永邽<sup>†</sup>, 金東中<sup>\*</sup>, 金利勳<sup>\*\*</sup>, 元忠淵<sup>\*\*\*</sup>, 金奎植<sup>\*\*\*\*</sup>, 崔世琬<sup>§</sup>

### A Study on Synchronous Rectification of Push-Pull Converter for Efficiency Improvement

Y.G. Kim, D.J. Kim, L.H. Kim, C.Y. Won, G.S. Kim, and S.W. Choi

#### 요 약

본 논문은 DC-DC컨버터의 효율을 개선하기 위해 동기정류방식을 제시하였다. 제안된 동기정류 방식은 single winding self-driven synchronous rectification(SWSDSR)로서 1차측은 Push-Pull topology를 사용하였다. 특히 이 방식은 데드타임구간에도 동기정류 스위치를 온 시켜서 효율을 개선 할 수 있다. 최종적인 시뮬레이션과 실험 결과는 자기구동 동기정류(SDSR) 방식과 보조권선을 이용한 자기구동 동기정류(SWSDSR) 방식의 효율에 관한 비교와 해석을 보여준다.

#### ABSTRACT

This paper presents a method of synchronous rectifier(SR) for improving the efficiency in DC/DC converter. The proposed method is used push-pull topology on primary as a single winding self driven synchronous rectification(SWSDSR). Specially, this method can improve efficiency to turn on SR switch during dead time. Finally, the simulation and experimental results will be given to show comparison and analysis on the efficiency between self driven synchronous rectification(SDSR) and SWSDSR method.

**Key Words** : Single Winding Self-Driven Synchronous Rectification(SWSDSR), Self-Driven Synchronous Rectification(SDSR), Synchronous Rectifier(SR)

#### 1. 서 론

저전압 대전류 DC-DC 컨버터는 차세대 IT기기에 중

요한 역할을 담당하고 있다. 그러나 저전압 공급 전원을 사용하는 반도체 소자는 전압 강하로 인한 손실 때문에 컨버터의 효율을 저감시키는 원인이 되고 있다. 출력전압이 낮은 회로는 기존의 Fast Recovery Diode (FRD)나 Schottky Barrier Diode(SBD)의 순방향 전압강하 때문에 출력 손실이 매우 크게 나타난다. 이 문제를 해결하기 위하여 동기정류(synchronous rectification)방식이 사용된다.<sup>[1]</sup>

SBD의 순방향 전압강하는 일반적인 다이오드 보다는 작지만, 동기정류 방식과 비교했을 때는 2배 이상의 손실을 가지게 된다.

<sup>†</sup> 교신저자 : 학생회원, 성균관대 에너지시스템공학과 졸업(석사)  
E-mail : 178409@ece.skku.ac.kr

\* 학생회원, 성균관대 전기전자공학과 졸업(석사)

\*\* 정회원, 성균관대 메카트로닉스공학과 박사과정

\*\*\* 정회원, 성균관대 정보통신공학부 교수

\*\*\*\*정회원, 서울시립대 전기전자컴퓨터공학부 부교수

§ 정회원, 서울산업대 제어계측공학과 부교수

접수일자 : 2003. 8. 26 1차 심사 : 2003. 11. 6

심사완료일 : 2003. 11. 20

출력 전압이 낮은 컨버터를 설계하는데 있어서 어려움은 정류부 손실에 의해 효율이 떨어지므로 다이오드에 비해 도통손실이 적은 MOSFET를 이용하는 동기정류 방식으로 높은 효율을 얻는 연구가 발표되었다.<sup>[2]</sup> SBD는 기존의 PN접합 다이오드의 순방향 전압강하 성분을 줄여 도통손실을 저감한 다이오드로서 여러 산업용 분야에 사용된다.<sup>[3]</sup>

다이오드의 정류 손실이 전체손실의 대부분을 차지하기 때문에 MOSFET를 사용한 동기 정류방식이 제안되었다. 동기정류 방식 중 SDSR은 부가적인 구동회로 없이 MOSFET를 온 오프 할 수 있다는 장점이 있다.<sup>[5][6]</sup> 데드타임구간에 내부 다이오드가 도통해서 발생하는 순방향 전압강하성분을 줄이기 위해 MOSFET와 SBD를 병렬로 연결해서 내부다이오드 대신에 SBD로 환류시켜 MOSFET의 순방향 전압강하 성분을 줄일 수 있다.<sup>[7]</sup>

본 논문에서는 DC 27[V]의 입력 전원과 5[V]/ 30[A]출력을 가지는 Push-Pull 컨버터의 정류부에 보조권선을 이용한 자기구동 동기정류방식으로 정류부 손실을 줄이고 효율을 개선하여 언급한 3가지 방식과 비교하고 검토하였다.

대표적인 동기정류 방식 중 별도의 구동회로가 필요 없는 자기구동 동기정류(SDSR) 방식과 보조권선을 이용하여 게이트 신호를 인가하는 자기구동 동기정류 방식(SWSDSR)을 Push-Pull 토폴로지에 적용하여 효율에 대한 이론적 분석과 실험결과로부터 타당성을 검증하고자 한다.<sup>[4][5][6]</sup>

## 2. Push-Pull 방식의 SDSR과 SWSDSR

### 2.1 동기정류를 적용한 Push-Pull 컨버터

그림 1은 기존의 PN접합 다이오드 대신에 순방향 전압강하  $V_f$ 가 작은 SBD를 사용하였다. 일반적인 Push-Pull 컨버터는 변압기 1차측의  $S_1$ 과  $S_2$ 가 상보적으로 온-오프 되므로 1차 권선이 여자될 때 생기는 편 여자 현상 때문에 최적설계가 어렵다.

그러나 입력 전압이 낮은 경우의 Push-Pull 컨버터는  $S_1$ 과  $S_2$ 중 단지 하나의 스위치만이 입력 전원과 변압기 1차 권선에 직렬로 연결되고, 중간 탭 변압기 권선 중 1/2권선에만 입력 전압이 인가되므로 1차측 전류 스트레스가 1/2정도 줄어드는 장점이 있다.

그림 2는 Push-Pull 컨버터의 각부 파형으로 1차 측의  $S_1$ ,  $S_2$ 가 상보적으로 스위칭하는 파형과 2차측의 전압, 전류 파형을 나타낸다.<sup>[8]</sup>

그림 3은 동기정류 회로를 나타내며 SBD에서 생기

는  $V_f$ 도 손실의 큰 부분을 차지하므로 SBD 대신에 MOSFET를 사용하는 동기정류로써 효율을 개선한다.

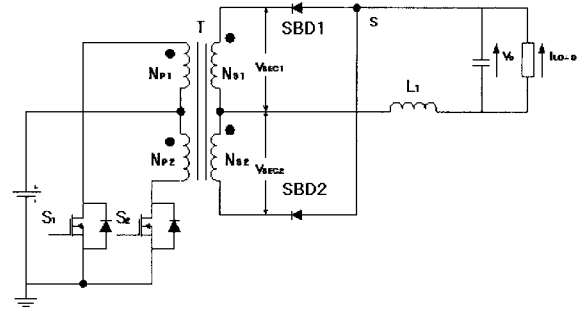


그림 1 일반적인 Push-Pull 컨버터  
Fig. 1 Conventional Push-Pull converter

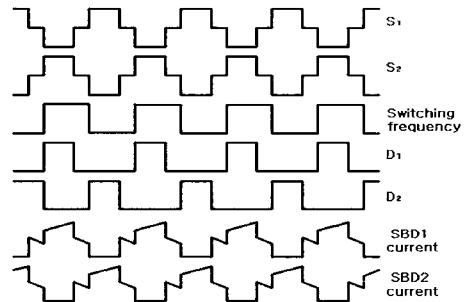


그림 2 Push-Pull 컨버터의 각부 파형  
Fig. 2 Waveforms of each parts in Push-Pull converter

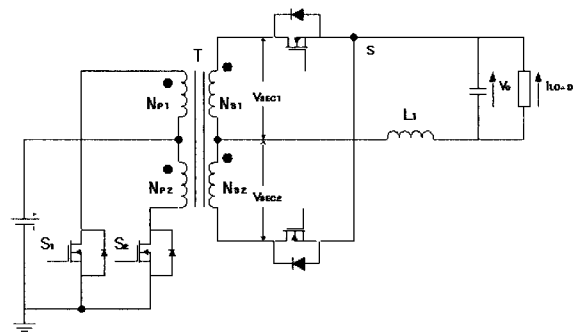


그림 3 동기정류 방식의 Push-Pull 컨버터  
Fig. 3 Push-Pull converter with SR method

그림 4에서 다이오드정류(효율80%)와 동기정류(효율 90%)의 전체 손실을 비교한 결과 손실의 대부분이 정류부에서 일어난다는 것을 확인하였다. 90%의 전체 손실을 비교한 결과 손실의 대부분이 정류부에서 일어난다는 것을 확인하였다.

따라서 정류부 손실만을 고려해 볼 때 기존 SBD의  $V_f$ 에 의한 손실은 식 (1)과 같다.

$$P_{SBDloss} = V_f \times I_0 \quad (1)$$

또한 MOSFET는 식 (2)의 드레인 소스 도통시 생기는  $R_{DS}$  값과 출력 전류로부터 손실을 구할 수 있다.

$$P_{FETloss} = R_{DS} \times I_0^2 \quad (2)$$

물론 두 식에 의해 구해진 값을 비교해 보면 SBD 손실이 FET 손실 보다 4배 이상 큰 것을 알 수 있다.

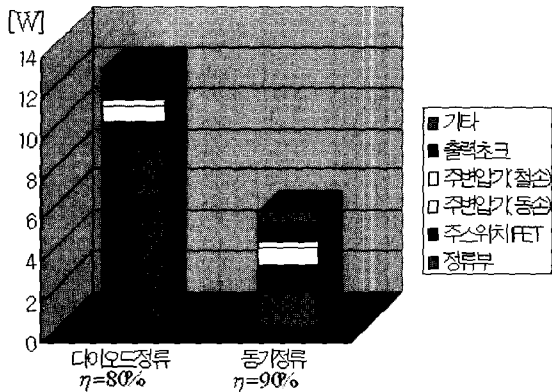


그림 4 다이오드정류와 동기정류의 손실비교  
Fig. 4 Loss comparison diode rectifier with synchronous rectification

$$P_{FETloss} = R_{DS} \times I_0^2 = 0.004 \times 30^2 = 3.6 [W]$$

$$P_{SBDloss} = V_f \times I_0 = 0.54 \times 30 = 16.2 [W]$$

따라서 기존에 사용중인 SBD보다는 MOSFET를 사용해서 동기정류를 하는 것이 더 효율적이라는 것을 알 수 있다.<sup>[2]</sup>

### 2.2 SDR을 적용한 Push-Pull 컨버터

그림 5는 SDR방식의 Push-Pull 컨버터로써 1차측 스위치  $S_1$ 이 턴 온하여  $V_{SEC1}$ 이 center-tap과 비교하여 낮으면  $SR_1$ 이 턴 온 하게 되고 반대로  $V_{SEC2}$ 가 center-tap과 비교하여 낮으면  $SR_2$ 가 턴 온하게 된다.

즉 2차측 권선에 전압이 걸리면, SR 스위치를 통하여 2차측 권선으로부터 출력 필터를 거쳐 인덕터로 에너지가 전달된다. 1차측의 데드타임 동안에 2차측 권선 양단의 전압이 0이 되어,  $SR_1$ 과  $SR_2$ 는 인덕터  $L_1$ 의 전류를 내부 다이오드로 방전시킨다. 이때 내부 다이오드는 환류 다이오드역할을 하며, 높은 순방향 전압강하에 의하여 손실이 증가하게 된다.<sup>[3]</sup>

SDSR은 변압기 2차측 권선을 사용하여 동기정류

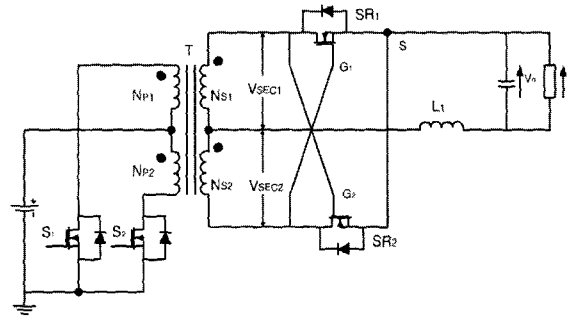


그림 5 SDR방식의 Push-Pull 컨버터  
Fig. 5 Push-Pull converter with SDR method

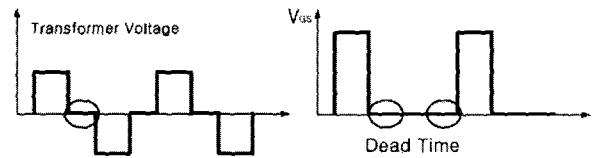


그림 6 이상적인 2차 권선과 게이트 파형  
Fig. 6 Ideal second winding and gate waveforms

MOSFET를 구동하기 때문에 구동손실이 작고, 낮은 가격으로 시스템을 구성하기에 적합하다.

그러나 그림 6은 SDR의 이상적인 변압기 2차 측 권선 전압과 게이트 파형으로 1차 변압기 권선의 전압이 0인  $T_{off}$ 구간에서 SR은 턴 오프된다. 이때 MOSFET의 드레인-소스간 채널은 도통되지 않고, 내부 다이오드를 통하여 전류가 흐르게 된다. 따라서 SR의 도통손실과 역회복 손실은 매우 크게 된다. SDR은 간단하지만 출력전류가 크거나 주파수가 높은 경우는 높은 효율을 얻기가 힘들다. 기생 인덕턴스를 줄이면 효율은 증가되지만 실제로 이 인덕턴스를 줄이는 것은 어렵고, 가격도 상승하게 된다.

따라서 이러한 SDR 방식의 단점을 보완하기 위해 데드타임 동안에 SDR의 내부 다이오드보다  $V_f$ 가 더 작은 SBD를 병렬로 사용하여 효율을 개선시킨다.<sup>[4]</sup>

### 2.3 SWSDSR을 적용한 Push-Pull 컨버터

그림 7의 SWSDSR은 단권선 방식 구동회로를 보여 준다. SR과 연결된 게이트 회로는 주변압기의 보조 권선  $N_{aux}$ 와  $D1, D2$ 의 다이오드로 구성되어 있다. 변압기에 보조 권선( $N_{aux}$ )을 추가하여 1차 측 변압기에 인가된 전압이 0인 상태에서도 동기정류 MOSFET가 턴 온을 유지하게 한다.

이것은 기존의 SDR 방식에서는 구현이 불가능하지만 제안된 SWSDSR방식은 적절한 보조 권선을 부

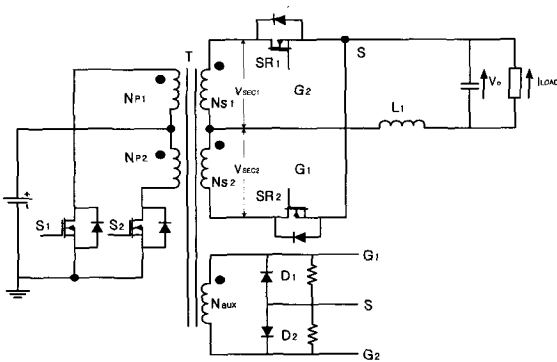


그림 7 SWSDSR 방식의 Push-Pull 컨버터  
Fig. 7 Push-Pull converter with SWSDSR method

가하면 낮은 출력 전압에서도 동기정류 MOSFET를 적절하게 구동할 수 있다. 보조권선에 걸리는 전압은 도통하여야 하는 SR 게이트에 인가되고 반대로 오프되어야 하는 SR의 게이트-소스 전압은 다이오드 드롭(-0.6V)만큼 클램프 된다. 변압기의 극성이 바뀔 때, 동일한 전류가 2개 SR의 기생 커패시턴스를 통하여 흐르고, 하나가 방전할 때 다른 하나를 충전하게 된다.

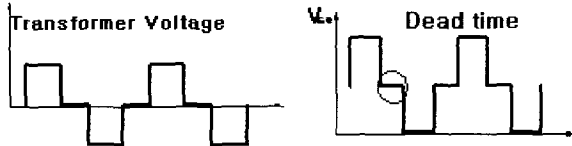
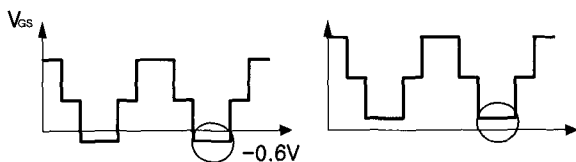


그림 8 SWSDSR의 VSEC와 VGS 파형  
Fig. 8 VSEC and VGS waveforms of SWSDSR

그림 8은 SWSDSR방식의 변압기 2차측 VSEC와 VGS 파형을 나타낸다. VGS의 파형에서 데드타임 동안에도 일정전압이 유지되어 낮은 온-저항으로 MOSFET를 턴 온 시킬 수 있다.



(a) 결합도가 좋은 경우 (b) 결합도가 나쁜 경우  
그림 9 변압기 결합도에 따른 SWSDSR의 VGS 파형  
Fig. 9 VGS waveforms of SWSDSR according to transformer coupling

그림 9는 변압기 결합도에 따른 SWSDSR의 VGS파

형이다. SWSDSR 방식은 변압기 전압이 대칭인 경우만 가능한데, 그 이유는 각각의 기생 커패시턴스에 의한 에너지 성분들이 같아야 하기 때문이다. 또한 SWSDSR의 동작은 권선간의 결합도에 매우 민감하게 반응하여 동작하므로 만약 보조 권선이 제대로 결합되어 있지 않다면, 그림 9-(b)와 같이 SR의 게이트 전압은 -0.6V가 아닌 기준레벨보다 약간 높은 양의 레벨을 보이게 된다.

이러한 불균형은 SR이 오프되어야 하는 순간에도 계속 온을 유지할 가능성이 있기 때문에 변압기 설계시에 고려되어야 하고 나머지 권선간에 이상적인 결합도를 유지하도록 하여야 한다.<sup>[5]</sup>

데드타임 동안 2개의 SR은 도통되기 때문에, 변압기 1차측과 2차측에 존재하는 누설 인덕턴스와 기생 인덕턴스는 1차측 스위치의 커패시턴스와 공진을 하게 되고 부하량에 따라 증가하게 된다. 1차측 권선에 생기는 링잉은 보조 권선에 그대로 유지된다.

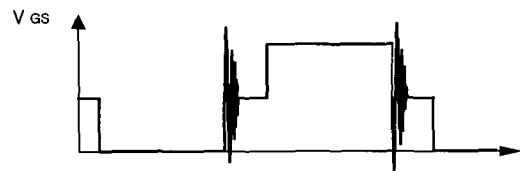


그림 10 SWSDSR의 데드타임 시 링잉현상  
Fig. 10 Ringing waveform in dead time of SWSDSR

그림 10과 같이 변압기 2차측에 발생하는 링잉은 SR을 구동하기 위한 전압에 영향을 미치게 된다. 실제 SWSDSR방식에서, 변압기 1차측 링잉이 매우 크게 되면, SR은 짧은 순간동안에 턴 오프하게 된다.

출력 전류가 크면 클수록 링잉의 폭은 더 커지게 되어 데드타임 동안에 SR이 오프될 수도 있다. 데드타임 동안에 SR이 오프되는 가능성을 줄이기 위하여 기생 인덕턴스를 최대한 줄여야 한다.

여기에서 PCB의 레이아웃이나 패턴 연결에 기인하는 기생성분과 변압기 누설 인덕턴스도 포함한다. 그러므로 변압기 설계를 최적화하고 PCB 레이아웃에 각별한 주의를 기울여야 한다.<sup>[6]</sup>

## 2.4 SWSDSR의 동작모드

SWSDSR의 동작모드는 총 4가지 모드로 구분할 수 있다.

### ◆ 동작모드 1

그림 11에서 1차측 스위치 S2가 온 되면 NP2와 S2에 루프가 형성되고, 이와 동시에 2차 측 보조권선에 의

해  $G_1$ 에 게이트 신호가 인가된다.

변압기 2차측의  $V_{SEC2}$ 은  $L_1$ -커패시터-S-SR<sub>2</sub>를 통해 흐른다.

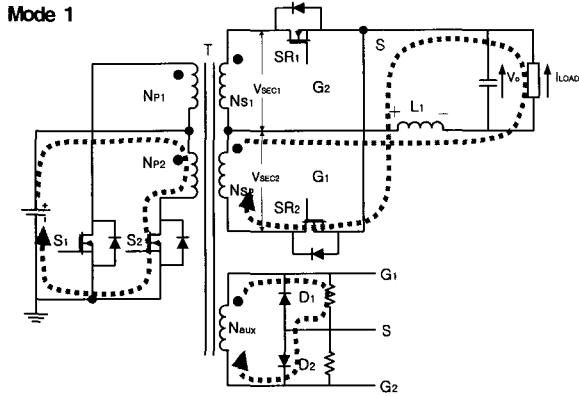


그림 11 SWSDSR회로의 동작모드 1  
Fig. 11 Operation mode 1 at SWSDSR circuit

◆ 동작모드 2(데드타임)

그림 12에서 1차측 스위치 S<sub>2</sub>가 오프되면 L<sub>1</sub>이 방전을 시작한다. S<sub>2</sub>가 오프된 다음 S<sub>1</sub>이 온 될 때까지가 데드타임이다. 이 구간 동안 G<sub>1</sub>의 기생 커패시턴스가 방전되고, G<sub>2</sub>가 충전된다.

따라서 게이트 전압이 최대전압의 1/2이 되어 SR<sub>1</sub>과 SR<sub>2</sub>가 동시에 턴 온하고 SR<sub>1</sub>과 SR<sub>2</sub>의 MOSFET 채널로 L<sub>1</sub>의 방전전류가 1/2씩 흐른다.

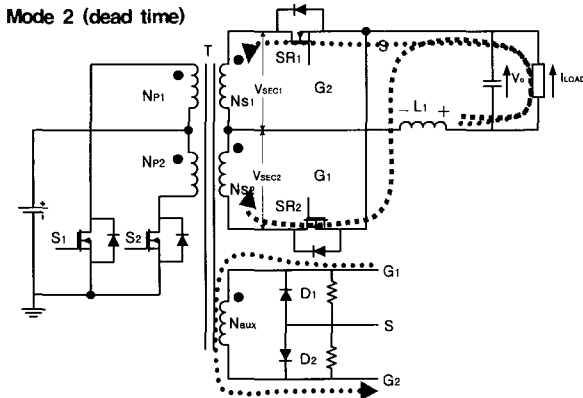


그림 12 SWSDSR회로의 동작모드 2  
Fig. 12 Operation mode 2 at SWSDSR circuit

◆ 동작모드 3

그림 13에서 1차 측의 스위치 S<sub>1</sub>이 온 되면 N<sub>P1</sub>과 S<sub>1</sub>에 루프를 형성하게 되고, 이와 동시에 2차측 보조

권선에 의해 G<sub>2</sub>에 게이트 신호가 인가된다.

$V_{SEC2}$ 는  $L_1$ -커패시터-S-SR<sub>1</sub>을 통해 흐른다.

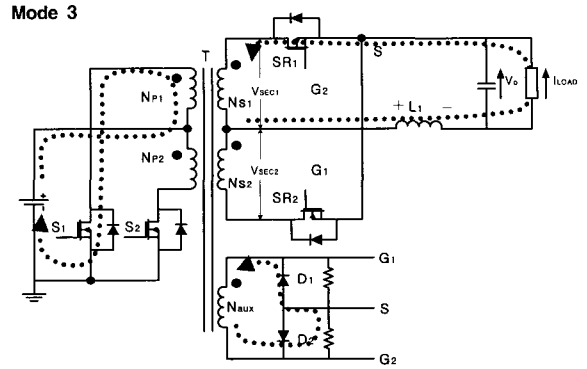


그림 13 SWSDSR회로의 동작모드 3  
Fig. 13 Operation mode 3 at SWSDSR circuit

◆ 동작모드 4(데드타임)

그림 14는 Mode 2와 마찬가지로 S<sub>1</sub>과 S<sub>2</sub>가 동시에 온 되지 않도록 데드타임구간을 설정하고 있다. 이 구간 동안 G<sub>2</sub>의 기생 커패시턴스가 방전되고, G<sub>1</sub>이 충전된다.

따라서 게이트 전압이 최대전압의 1/2이 되어 SR<sub>1</sub>과 SR<sub>2</sub>가 동시에 턴 온 되고 SR<sub>1</sub>과 SR<sub>2</sub>의 MOSFET 채널로 L<sub>1</sub>의 방전전류가 1/2씩 흐른다.

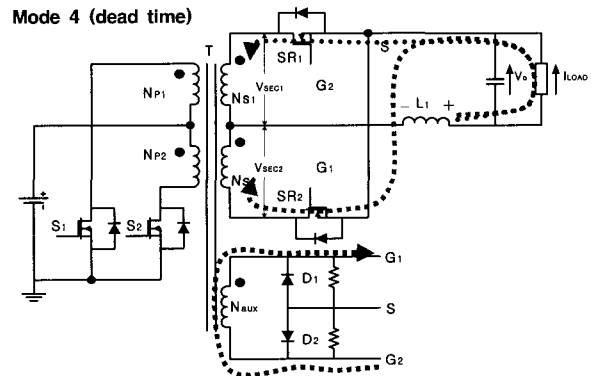


그림 14 SWSDSR회로의 동작모드 4  
Fig. 14 Operation mode 4 at SWSDSR circuit

결론적으로 SWSDSR은 mode 2, 4와 같이 데드타임 구간에도 L<sub>1</sub>의 전류가 스위치 내부 다이오드를 통하여 흐르지 않고, 스위치의 소스에서 드레인으로 흘러 다이오드의 V<sub>f</sub>에 의한 손실이 없기 때문에 효율이 개선된다.

### 3. 시뮬레이션 결과

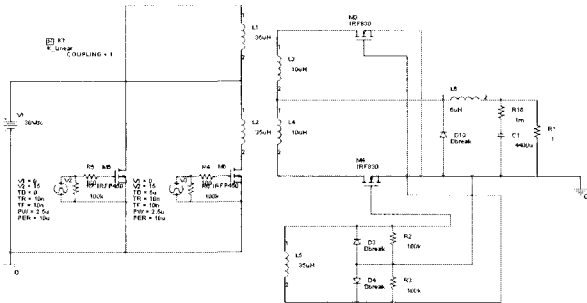


그림 15 SWSDSR 방식의 Push-Pull 컨버터 시뮬레이션 회로도  
Fig. 15 Push-Pull converter simulation diagram with SWSDSR method

그림 15는 효율개선을 위해 SWSDSR 방식을 적용한 Push-Pull 컨버터로서, 그 타당성을 입증하기 위해 입력전압 DC 27[V], 스위칭 주파수 37[kHz], 출력전압 DC 5[V], 출력 150[W]의 전체 회로를 시뮬레이션 하였다.

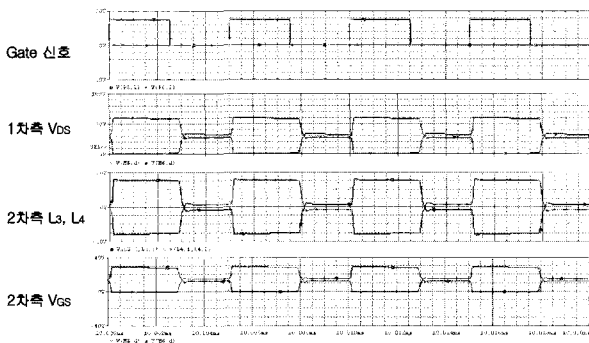


그림 16 SWSDSR 방식의 Push-Pull 컨버터 각부파형  
Fig. 16 Waveforms of each parts in Push-Pull converter with SWSDSR method

그림 16은 전체 시뮬레이션의 각부 파형으로 게이트 신호와 1차측 드레인-소스 전압, 2차측 권선양단(L<sub>3</sub>, L<sub>4</sub>)전압, 2차측 게이트-소스 전압 파형을 나타낸다.

2차측 L<sub>3</sub>, L<sub>4</sub>의 전압 파형과 게이트-소스 전압파형 (V<sub>GS</sub>)으로 SWSDSR이 데드타임 구간에도 동기정류가 되는 것을 확인하였다.

### 4. 실험결과

그림 17은 실험에 사용된 전체적인 시스템을 나타낸

다. 점선으로 표현한 SWSDSR 회로는 제어부와 동기 정류 스위치, 출력필터 등을 포함하고 있다.

그 외에 나머지 부분은 입력 필터와 보조 전원등으로 구성됐다.

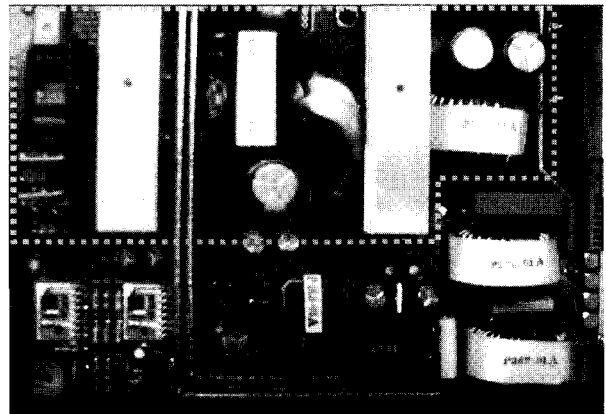


그림 17 SWSDSR방식의 Push-Pull 컨버터 시스템  
Fig. 17 Push-Pull converter system of SWSDSR method

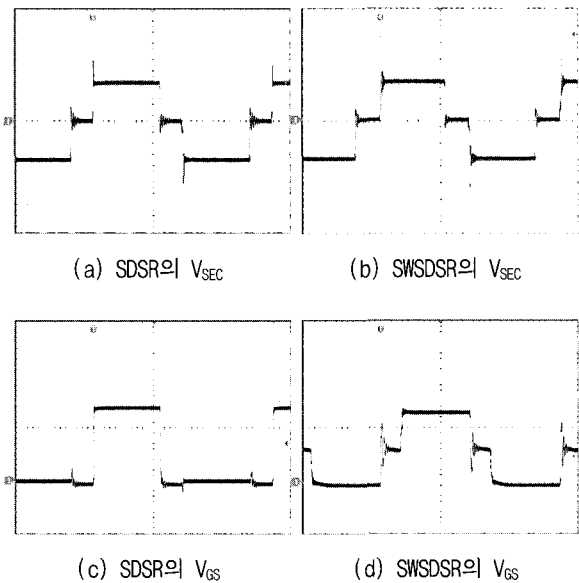


그림 18 SDR과 SWSDSR의 V<sub>SEC</sub>와 V<sub>GS</sub>파형  
Fig. 18 V<sub>SEC</sub> and V<sub>GS</sub> waveforms with SDR, SWSDSR (5V/div, 4us/div)

1차측 스위치 S<sub>1</sub>과 S<sub>2</sub>가 상보적으로 온-오프 되기 위해서는 그림 18의 (a), (b)와 같이 데드타임구간이 필요하다. 이때 그림 18 (c)에서 SDR의 V<sub>GS</sub>파형은 데드타임구간이 0이기 때문에 SR이 꺼지고, MOS-FET의 내부 다이오드로 도통하게 된다.

그러나 그림 18 (d)SWSDSR의  $V_{GS}$ 는 데드타임 구간에  $V_{GS}$  최대전압의 반이 걸리기 때문에 게이팅 신호가 인가되어 SR이 켜지고, MOSFET의 드레인-소스간의 채널로 도통하게 된다.

따라서 SDR의 경우 내부 다이오드의 순방향 전압강하에 의해 손실이 커지는 원인이 된다. 그러나 SWSDSR의 경우는 데드타임구간에도 동기정류 스위치에 게이팅 신호를 인가해 주기 때문에 스위치의 내부 다이오드를 통해서 흐르지 않고 MOSFET의 드레인-소스간의 채널로 도통하기 때문에 순방향전압강하로 인한 손실이 저감되는 것을 확인하였다.

그림 19는 정격 27[V<sub>dc</sub>] 입력에서 동작하는 각 방식에 따른 효율을 측정하였다. 효율측정은 입력단 전압과 전류를 측정하고 제어부와 보조전원을 제외한 나머지 부분에서의 출력 전압과 전류를 측정하여 효율을 계산하였다.

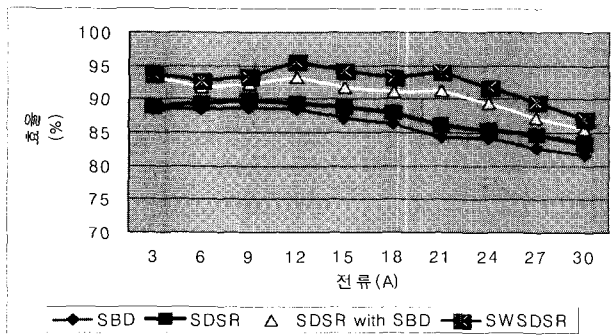


그림 19 각 방식의 효율비교  
Fig. 19 Efficiency comparison of each methods

SBD를 사용한 정류회로의 순방향 전압강하는 SDR방식을 사용하여 저감하였다.

그러나 1차측의 데드타임동안에 흐르는 전류는 여전히 동기정류 MOSFET의 내부 다이오드로 흘러 효율이 개선되지 않는다.

반면에 SDR방식에서 MOSFET와 병렬로 SBD를 추가하여 데드타임동안에 SBD로 전류를 흐르게 하면 약간 효율이 개선되지만 SBD의 추가로 가격과 부품실장 공간이 늘어나는 문제점이 있다.

결론적으로 SWSDSR 방식을 적용하여 데드타임 동안에도 동기정류 MOSFET를 턴 온 시킴으로써 높은 효율을 얻었다.

그림 20은 그림 19의 부하변화에 따라 15A와 30A일 때 각 방식의 효율을 그래프로 표시하였다.

부하가 15A일 때 SBD는 87.2%, SDR은 88.9%,

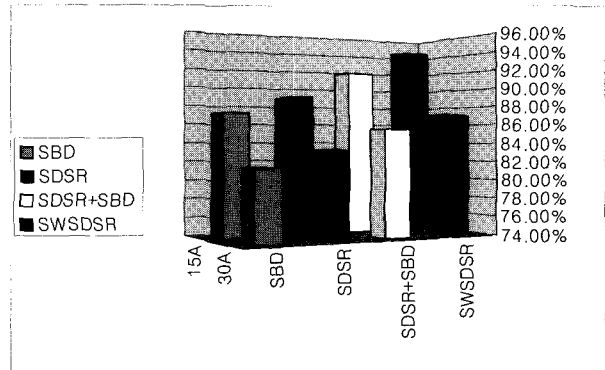


그림 20 15A와 30A일때의 효율비교  
Fig. 20 Efficiency comparison of 15A and 30A

SDR+SBD는 91.7%, SWSDSR은 94.26% 30A에서는 SBD는 81.6%, SDR은 83.3%, SDR+SBD는 85.5%, SWSDSR은 87.03%로 SWSDSR이 가장 높은 효율을 나타낸다.

따라서 이와 같은 실험결과로 효율개선 측면에서 SBD, SDR, SDR+SBD방식보다 SWSDSR방식이 더 우수함을 확인 하였다.

### 5. 결론

본 논문은 4가지 정류방식에 대하여 시뮬레이션과 실험을 통하여 부하변화에 따라 각각의 효율을 측정하여 다음과 같은 결론을 얻었다.

- 1) 기존의 PN접합 다이오드 대신에 SBD를 사용하면 순방향 전압강하손실이 줄어들어 효율이 개선된다.
- 2) SBD대신에 MOSFET를 사용하는 SDR방식은 도통손실이 작기 때문에 정류 손실이 작아져 효율이 개선된다.
- 3) SDR의 단점인 데드타임구간에 내부 다이오드의 순방향 전압강하를 작게하기 위해 스위칭 소자와 병렬로 SBD를 사용한 방식으로 SDR보다 효율이 개선된다.
- 4) 보조전선을 이용한 SWSDSR방식은 데드타임구간에 게이트 신호가 인가되어 MOSFET의 채널로 도통되기 때문에 데드타임구간에도 동기정류 스위치가 온 되어 효율이 개선된다. 향후 좀더 개선할 부분은 SWSDSR 방식에서 변압기의 결합도를 높이고 누설 인덕턴스를 감소시키는 연구가 필요할 것으로 사료된다.

이 논문은 한국과학재단 목적기초연구(R01-2001-000-003 06-0) 지원에 의하여 연구되었음

참 고 문 헌

- [1] (주)첨단, "Power MOSFET의 동기 정류 회로의 응용", 월간 전자기술 Vol. 12, No. 10, pp. 51~58, 1999.
- [2] (주)첨단, "DC-DC 컨버터의 최신기술 동향", 월간 전자기술 Vol. 15, No. 9, pp. 83~89, 2002.
- [3] Carl Blake, Alberto Guerra, "Schottky diode vs. FET synchronous rectification", *Electronics Engineer*, pp. 44~50, May. 2000.
- [4] P. Zumel, N.O. Sokal, P. Alou, J.A. Cobos, J. Uceda, "New driving scheme for high-efficiency synchronous rectification in wide input voltage range DC/DC converter has output current always flowing through a low resistance switch", *Conf. Rec. of IEEE PESC*, pp. 149~154, 2002.
- [5] P. Alou, P. Perez-Bedmar, J.A. Cobos, J. Uceda, M. Rascon, "A high efficiency voltage regulator module with single winding self-driven synchronous rectification", *Conf. Rec. of IEEE PESC*, pp. 1510~1515, 2000.
- [6] P. Alou, J.A. Cobos, R. Prieto, J. Uceda, M. Roascon, "Influence of windings coupling in low-voltage DC/DC converters with single winding self-driven synchronous rectification", *Conf. Rec. of IEEE APEC*, pp. 1000~1005, 2000.
- [7] P. Alou, J.A. Cobos, O. Garcia, R. Prieto, J. Uceda, "A new driving scheme for synchronous rectifiers: single winding self-driven synchronous rectification", *IEEE Trans. on Power Electronics*, pp. 803~811, 2001.
- [8] 노정욱, 한승훈, 윤명중, "축진지 구동 응용을 위한 새로운 승압형 DC/DC 컨버터", *전력전자학회 논문지* 제5권 제1호, pp. 34~38, 2000.

저 자 소 개



**김영규(金永邦)**

1976년 11월 13일생. 2002년 호서대 전기공학과 졸업. 2004년 성균관대 대학원 에너지시스템공학과 졸업(석사). 현재 동아일렉콤 전원연구소 연구원.



**김동중(金東中)**

1973년 1월 17일생. 1997년 경원대 전자공학과 졸업. 2003년 성균관대 과학기술대학원 전기전자공학과 졸업(석사). 1997~현재 동한 P&S 책임연구원.



**김이훈(金利勳)**

1970년 7월 7일생. 1999년 충주대 제어계측공학과(학사) 2001년 성균관대 대학원 메카트로닉스공학과 졸업(석사). 현재 동 대학원 메카트로닉스공학과 박사과정.



**원충연(元忠淵)**

1955년 5월 10일생. 1978년 성균관대 전기공학과 졸업. 1980년 서울대 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학박). 1991년 12월~1992년 12월 미국 테네시 주립대 전기공학과 방문교수. 1988년 3월~현재 성균관대 정보통신공학부 교수. 당 학회 부회장.



**김규식(金奎植)**

1958년 8월 25일생. 1981년 서울대 전자공학과 졸업. 1983년 동 대학원 제어계측공학과 졸업(석사) 1990년 8월 동 대학원 제어계측공학과(공학박). 1988년~1992년 대우 중공업 중앙연구소 선임연구원. 1993년~현재 서울시립대 전기전자컴퓨터공학부 부교수.



**최세완(崔世琬)**

1963년 3월 3일생. 1985년 인하대 전자공학과 졸업. 1992년 Texas A&M Univ. 전기공학과 졸업(석사). 1995년 동 대학원 전기공학과 졸업(공학박). 1996년~1997년 삼성전기 종합연구소 수석연구원. 1997년~현재 서울산업대 제어계측공학과 부교수. Journal of Electrical Engineering and Information Science 편집위원 및 당 학회 국제이사.