

초 박형 실리콘 칩을 이용한 유연 패키징 기술 및 집적 회로 삽입형 패키징 기술

이태희 · 신규호* · 김용준

연세대학교 기계공학과 MEMS 연구실

*삼성 전자 종합 기술원

Flexible and Embedded Packaging of Thinned Silicon Chip

Tae Hee Lee, Kyu Ho Shin* and Yong Jun Kim

Department of Mechanical Engineering, Yonsei University

*SAIT

초 록: 초 박형 실리콘 칩을 이용하여 실리콘 칩들을 포함한 모듈 전체가 굽힘이 자유로운 유연 패키징 기술을 구현하였으며 bending test와 FEA를 통해 초 박형 실리콘 칩의 기계적 거동을 살펴보았다. 초 박형 실리콘칩($t < 30 \mu\text{m}$)은 표면손상의 가능성을 배제하기 위해 KOH 및 TMAH등을 이용한 화학적 thinning 방법을 이용하여 제작 되었으며 열압착 방식에 의해 Kapton[®]에 바로 실장 되었다. 실리콘칩과 Kapton[®]기판간의 단차가 적기 때문에 전기도금 방식으로 전기적 결선을 이룰 수 있었다. 이러한 방식의 패키징은 이러한 공정은 flip chip 공정에 비해 공정 간단하고 wire 본딩과 달리 표면 단차 적어서 연성 회로 기판을 비롯한 인쇄회로기판의 표면뿐만 아니라 기판 자체에 삽입이 가능하여 패키징 밀도 증가를 기대할 수 있으며 실질적인 실장 가능면적을 극대화 할 수 있다.

Abstract: A flexible packaging scheme, which includes chip packaging, has been developed using a thinned silicon chip. Mechanical characteristics of thinned silicon chips are examined by bending tests and finite element analysis. Thinned silicon chips ($t < 30 \mu\text{m}$) are fabricated by chemical etching process to avoid possible surface damages on them. And the chips are stacked directly on Kapton[®]film by thermal compressive bonding. The low height difference between the thinned silicon chip and Kapton[®]film allows electroplating for electrical interconnection method. Because the 'Chip' is embedded in the flexible substrate, higher packaging density and wearability can be achieved by maximized usable packaging area.

Keywords: Flexible, Embedded chip, Thinned silicon chip

1. 서 론

오늘날 어떠한 소자나 시스템을 가능한 한 작게 구현하고자 하는 것은 매우 자연스러운 일이다. 소자를 제작함에 있어 이러한 소형화는 단순한 물리적 크기의 축소뿐만 아니라 단일 소자에 대해

보다 많은 기능을 포함시키고자 하는 노력으로 이어졌다. 이러한 노력의 결과 오늘날 '휴대용 기기(portable devices)'에 대한 수요가 빠르게 늘어나고 있으며, 소자나 시스템에 대한 소형화, 다기능화 경향은 앞으로도 계속될 것이다. 이러한 소형화, 다기능화에 대한 노력은 어느 정도 결실을 이루었으며, 그 결과 혈압계를 내장한 손목시계, 디지털 카메라가 내장된 휴대용 전화 등의 제품이 이미 상용화 되었다.

*Corresponding author
E-mail: odin0215@yonsei.ac.kr

그러나 진정한 의미의 소형화, 다기능화를 이루기 위해 오늘날의 휴대용 기기들은 ‘입을 수 있는 기기(wearable device)’로 발전해야만 한다.¹⁾ MIT의 ‘Smart Vest’(Fig. 1)와 같은 경우 이미 입을 수 있는 기기를 이용한 시스템에 상당히 접근한 사례라고 할 수 있다. 그러나 이 시스템은 기존의 휴대용 기기를 그대로 사용한 관계로 그 크기가 크고, 두껍기 때문에 실제로 착용하기에는 무리가 있다.

따라서, 문자 그대로 입을 수 있는 형태의 전기/전자 제품을 구현하기 위해서는 사용자의 외관과 편리함에 영향이 없는 옷과 같은 형태로 구현되어야 한다. 이러한 시스템의 구현을 위해서는 IC(Integrated Circuit), Sensor등의 반도체 소자를 non-planar 표면에 실장 시켜야 한다. 일반적인 전기 소자들의 경우 대부분 실리콘에 구현된 관계로 기존의 패키징 기술은 2차원적인 강체(rigid)평면에서만 구현 할 수밖에 없으며 옷과 같은 형태의 소자를 구현하는 것이 불가능하다. 그러나 본 연구에서 제안하는 유연 패키징 기술은 주변회로에 필요한 실리콘 칩들을 포함한 모듈 전체가 굽힘이

자유로운 것으로, 임의곡면에 실장 가능하며 집적 회로를 기판 내부에 삽입한 형태의 패키지도. (Fig. 2) 따라서 이와 같은 문제들을 극복 함으로서 실질적으로 소자를 실장 할 수 있는 면적을 극대화 할 수 있을 것으로 기대된다. 본 논문에서는 실리콘 칩들을 포함한 전체가 굽힘에 자유로운 모듈을 구현하기 위해 실리콘 칩을 30 μm이하의 두께로 가공하여 기계적 유연성을 확보하였으며 이렇게 얻은 초 박형 실리콘 칩($t < 30 \mu m$)을 FPCB(flexible printed circuit board)에 쓰이는 Dupont사의 Kapton® film에 바로 실장하여 1차 패키징과 2차 패키징을 동시에 수행하였고 bending test와 수 치해석을 통해 초 박형 실리콘 칩의 기계적 거동을 살펴보았다.

이와 같은 구조를 지니는 모듈은 다음과 같은 장점을 지닌다.

- 기계적 flexibility 확보 함으로서 임의 곡면에 실장이 가능하다.
- 실리콘 칩과 기판간의 단차가 적기 때문에 표면 실장뿐만 아니라 삽입형 실장이 가능하다.
- 완성된 모듈의 크기가 집적회로 자체의 크기와 거의 같기 때문에 진정한 의미의 칩 스케일 패키징(CSP, chip scale packaging)을 이룰 수 있다.
- 삽입형 실장을 통한 다층구조의 기판을 통해 전기적 차폐(electrical shielding)가 용이하다.
- 메모리(memory)등의 반도체 소자 패키지의 3차원 적층 기술에 응용이 가능하다.



Fig. 1. Wearable system by conventional portable device (MIT Smart Vest)

2. Fabrication Process

2.1 Silicon thinning

새로운 패키징 기술의 핵심은 실리콘 칩 자체를

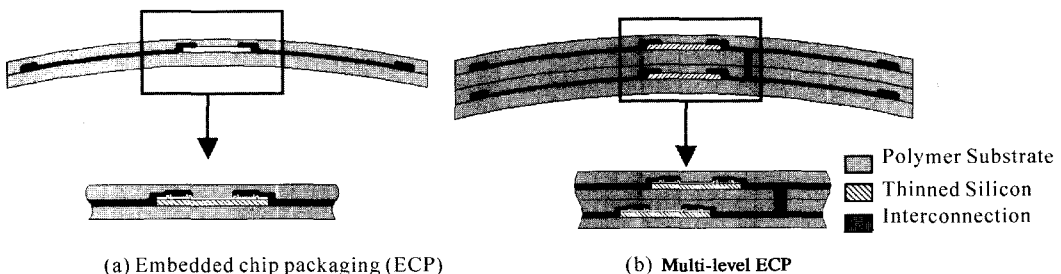


Fig. 2. Embedded chip packaging scheme: thinned chips in multi-layer board.

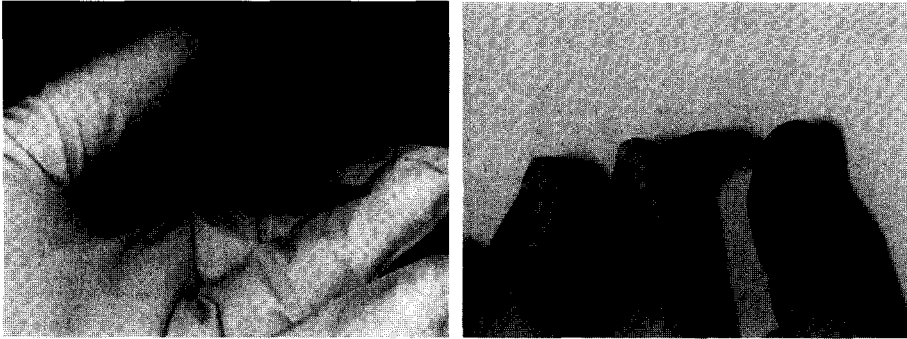


Fig. 3. Flexible thinned silicon wafer and die.

유연하게 만드는 데에 있다. 일반적인 경우 실리콘 칩은 $300\ \mu\text{m}$ 정도의 두께를 갖는데 이러한 상태에서 실리콘은 재료 자체의 취성 때문에 기계적 변형을 가하는 것이 불가능하다. 그러나 실리콘의 두께가 $30\ \mu\text{m}$ 이하로 얇아지면 유연성을 확보하게 되어 많은 기계적 변형을 탄성영역에서 극복할 수 있다^{2,3}). 이에 본 연구에서는 표면손상의 가능성을 배제한 상태에서 $30\ \mu\text{m}$ 이하의 실리콘 칩을 구현하기 위해 화학적 thinning 방법을 이용하여 충분히 굽힘이 가능한 thinned 실리콘 웨이퍼/칩을 구현하였다.(Fig. 3)

두께 $30\ \mu\text{m}$ 이하의 초 박형 실리콘을 구현하는데 있어 가장 중요한 문제는 집적회로가 형성된 웨이퍼의 전면(front side)에 대한 보호에 있다. 일반적으로 웨이퍼의 전면에 대한 보호는 왁스를 사용하여 다른 웨이퍼에 붙임으로써 이루어진다. 그러나 이러한 방법은 왁스에 의해 전면에 있는 집적회로가 오염될 수 있기 때문에 별도의 세정작업(cleaning)을 거쳐야 한다. 최근 이러한 문제들을 극복하기 위하여 특정 온도에서 접착력이 없어지는 열 박리 테이프(thermal release tape)를 사용한 방법이 개발되었다.³) 이러한 방식은 웨이퍼의 전면을 식각액을 비롯한 오염물질로부터 완전히 보호할 수 있을 뿐만 아니라 이후 이어지는 공정에 있어서 취급 역시 매우 용이하다는 장점을 가지고 있다.(Fig. 4)

웨이퍼 전면에 대한 보호와 함께 또 다른 문제는 웨이퍼의 다이싱(dicing)에 있다. 실리콘의 파단 강도는 표면상태에 매우 의존적이기 때문에⁴) 일반적인 다이아몬드 톱을 이용한 다이싱의 경우 소자의 강도를 저하시킬 우려가 있다. 이러한 문제

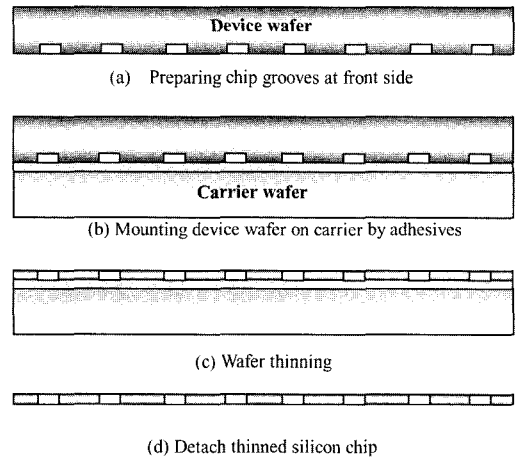


Fig. 4. Schematics of wafer thinning process

를 극복하기 위하여 thinning을 진행하기 전에 웨이퍼의 전면에 미리 다이싱을 위한 홈(groove)을 형성하는 방법이 개발되었다.³) 실리콘의 식각은 20% 농도의 TMAH 용액을 통해 $100^{\circ}\text{C}\sim 110^{\circ}\text{C}$ 사이의 온도에서 진행 되었으며 $80\ \mu\text{m}/\text{hr}$ 정도의 식각률을 얻을 수 있었다. Fig. 4는 위와 같은 웨이퍼의 보호 및 다이싱 방법을 이용한 wafer thinning의 대한 개념도이다.

2.2 Die attaching and Interconnection

완성된 초 박형 실리콘 칩은 열-압착방식에 의해 FPCB로 쓰이는 Kapton[®] film에 바로 실장되었다. 실리콘 칩과 Kapton[®] 기판간의 단차가 작기 때문에 전기도금 방식으로 전기적 결선을 이룰 수 있었으며 결과적으로 1차 패키징(die to chip car-

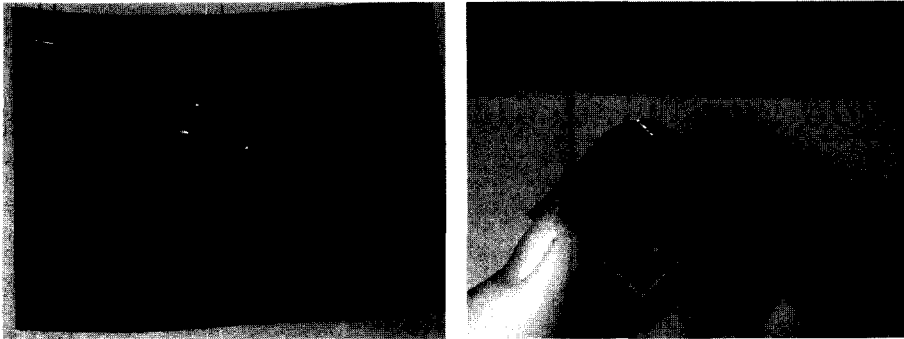


Fig. 5. Flexible chip and board.

rier)과 2차 패키징(chip to substrate)을 동시에 이루었다. 이러한 방식의 패키징은 flip chip 공정에 비해 공정이 간단하고 wire 본딩과 달리 표면 단차가 적다. 따라서 연성회로 기판을 비롯한 인쇄회로기판의 표면뿐만 아니라 기판 자체에 삽입이 가능하여 패키징 밀도 증가를 기대할 수 있으며 실질적인 실장 가능면적을 극대화 할 수 있다. Fig. 5는 유연 패키징 기술을 이용한 이 완료된 초 박형 실리콘 칩의 사진이며, 완성된 모듈의 단면은 Fig. 2a와 같은 단면을 지닌다.

3. Results and Discussion

실리콘 칩을 일종의 보(beam)로 가정한다면 다음과 같은 보의 처짐 곡선에 대한 미분식을 통해 실리콘 칩에 굽힘이 생길 때 그 기계적 거동을 예상해볼 수 있다.⁵⁾

$$\kappa = \frac{1}{\rho} = \frac{d^2v}{dx^2} = \frac{M}{EI}$$

v : deflection of beam, κ : curvature, ρ : radius of curvature,

M : bending moment, EI : flexural rigidity

그러나 제작된 패키지는 두께에 비해 많은 처짐을 갖기 때문에 위와 같은 식을 통해 칩의 거동을 예상할 수 없다.^{5,6)} 이에 제작된 패키지가 임의곡면에 실장 되었을 때의 기계적 특성을 살펴보기 위해 ABAQUS를 이용한 수치해석을 진행하여 보았으며 일반적인 실리콘 칩의 패키지에 대한 해석과 비교해 보았다. Fig. 6a, b는 각각 유연 패키징 기술을 이용한 모델과 일반적인 패키징 기술을 이용한 모델의 기하학적 형상을 나타낸 그림이다. 구리의 경우 별도의 소성 물성치를 구하여 해석에 반영하였다. 실리콘의 경우 잘 알려진 이방성 재료이지만 최근 연구에 따르면 방향에 따른 탄성률을 고려하지 않아도 전체 오차가 수 % 범위에 든다고 한다. 또한 실리콘은 매우 탄성적인 물질이어서 변형이 가해진 경우 변형 후 본래 형상으로

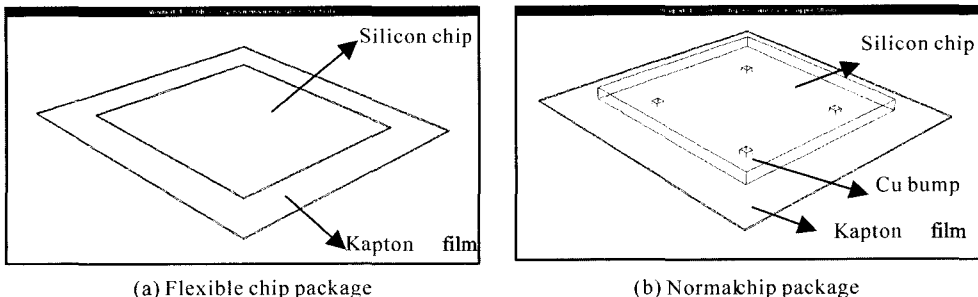


Fig. 6. Model feature of flexible package and normal chip package.

Table 1. Mechanical properties of silicon, Kapton® and copper^{7,8)}

	Youngs Modulus(GPa)	Poisons Ratio	Fracture Strength(GPa)	Yield Strength (MPa)
Silicon	120	0.22	1.3	-
Kapton®	123	0.36	-	-
Copper	3.4	0.34	-	320

Table 2. Geometry of normal chip package model

	Width (mm)	Height (mm)	Thickness (μm)
Silicon chip	5	5	300
Kapton® film	7	7	30
Copper bump	0.2	0.2	100

Table 3. Geometry of flexible package model

	Width(mm)	Height(mm)	Thickness (μm)
Silicon chip	5	5	30
Kapton®	7	7	30

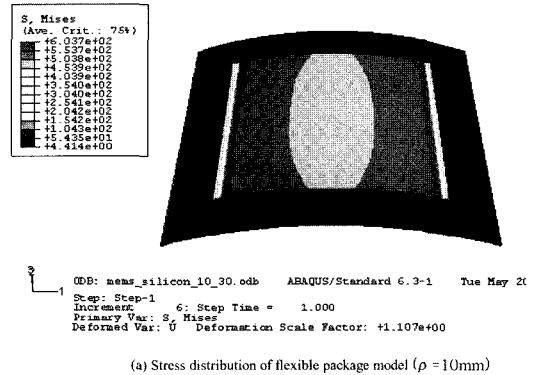
돌아오던지 파단이 일어나게 된다.⁴⁾ 이에 본 연구에서는 실리콘을 일정한 탄성률 값을 지니고 파단 전까지 탄성 거동을 보인다는 가정 아래 해석에 접근하였다. 자세한 기하학적 형상과 재료 물성치는 Table 1, 2, 3에 나타난 바와 같다.

3.1 Numerical Analysis of Flexible Chip Package

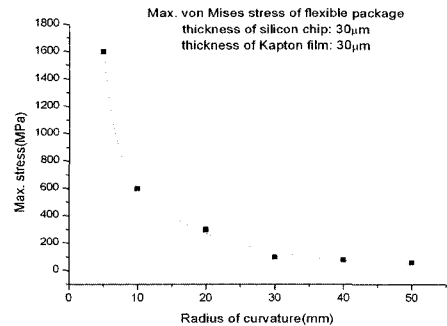
Fig. 7a는 유연 패키지 모델을 10 mm의 곡률반경을 갖는 곡면에 실장한 결과를 나타낸 그림이다. 10 mm의 곡률반경을 갖는 경계조건은 모델의 아래면에 존재하는 결점(node)들을 z축 방향으로 변형을 가하는 방식으로 적용되었다. 각 결점의 변형량은 원의 방정식을 통해 계산되었다

해석 결과 실리콘 칩의 표면에서 600 MPa 가량의 본 마이세스 응력(von Mises stress)이 거의 균일하게 발생할 수 있음을 알 수 있었다. 이는 실리콘의 파단강도(fracture strength, 1.2GPa)를 훨씬 밑도는 것으로 제안된 패키징 기술을 통해 완성된 모듈이 임의 곡면에 안전하게 적용될 수 있음을 시사한다.

Fig. 7b는 유연 패키징이 완료된 모듈을 5 mm에서 50 mm의 곡률반경을 갖는 표면에 실장 시킨 경우 보이는 최대 응력을 나타내는 그래프이다. 이 그래프를 살펴보면 5 mm의 곡률반경을 갖는 곡면



(a) Stress distribution of flexible package model ($\rho = 10\text{mm}$)



(b) Maximum von Mises stress of flexible package model along various ρ

Fig. 7. Numerical analysis of flexible package model.

에 제안된 모듈을 실장 시켰을 때 실리콘 칩의 표면에서 1.6 GPa 정도의 최대 본 마이세스(von Mises)응력이 형성됨을 알 수 있다. 이러한 결과로 미루어 볼 때 구형된 패키지는 10 mm 이하의 곡률을 갖는 곡면에 실장될 수 있음을 예상할 수 있다.

3.2 Numerical Analysis of Normal Chip Package

제안된 패키지의 유연성을 입증하기 위한 비교 대상으로 일반적인 패키징 기술을 이용한 모듈이 임의곡면에 실장된 경우에 대한 수치해석을 진행하였다. Fig. 8은 Fig. 6b와 같은 모델을 50 mm의

곡률반경을 갖는 곡면에 실장한 결과를 나타낸 그림이다. 경계조건은 3.1절과 동일한 방식으로 적용되었다. 해석 결과 구리 범프(bump)에서 496 MPa의 본 마이세스 (von Mises stress) 응력이 발생할 수 있음을 알 수 있었다. 구리의 항복응력이 320MPa임을 고려해 볼 때 범프에서 치명적인 결함이 생길 것을 예상 할 수 있으며 일반적인 패키지 방법으로는 임의곡면에 실장이 불가능함을 알 수 있다.

3.3 Bending Test

초 박형 실리콘 칩의 실제 특성을 살펴보기 위해서 Fig. 9와 같은 굽힘 테스트를 진행 하였다. 단일 곡률을 갖는 평면에 유연 패키지가 실장 될 경우, 패키지의 길이에 상관 없이 시편 전체에 걸쳐 동일한 변형률(ϵ)이 형성되게 된다. 또한, Kapton®의 경우 실리콘에 비해 변형에 대해 훨씬 자유롭기 때문에 굽힘 테스트를 통해 실리콘 시편의 파단 시의 곡률 반경을 얻는다면 유연 패키지가 실장 될 수 있는 최소 곡률 반경을 예상 할 수 있을 것이다. 굽힘 테스트를 진행하는 과정에서 파단 전에 변형을 제거하는 경우 실리콘 시편은 변형전의 상태로 되돌아 갔으며, 이를 통해 실리콘이 탄

성 거동을 보임을 확인 할 수 있었다.

10×3 mm의 크기를 갖는 다양한 두께(25/40/ 80 /100 μm)의 실리콘 시편을 이용하여 Fig. 9a와 같이 x방향으로 변형을 인가하면서 진행 되었다. 굽힘 테스트를 진행하면서 실리콘 시편의 변형량에 관한 정보를 얻기 위해 실시간으로 시편의 영상을 촬영하였다. 촬영된 사진을 바탕으로 각 시편의 x 방향으로의 최대 변위(δ_x), 파단 시 곡률반경(ρ)을 측정하였다. 측정된 ρ 를 경계조건으로 하여 파단 시 실리콘 시편의 응력(σ_F)을 수치해석을 통해 얻을 수 있었으며 이를 다시 mems압력센서의 초기 설계값에 나타난 파단강도(1GPa)⁷⁾와 비교하였다. (Fig. 10) 25 μm 의 두께를 갖는 모델의 경우 80×80×8 μm 의 크기를 갖는 직사각형 형태의 요소를 사용하였으며 나머지 모델은 100×100×10 μm 의 크기를 갖는 요소를 사용하였다.

Table 4는 굽힘 테스트를 통해 측정된 δ_x 와 이를 바탕으로 계산된 σ_F 를 나타낸 것이다. 굽힘 테스트와 수치해석 결과 실리콘 시편은 800 MPa 가량의 σ_F 값을 보였다. Fig. 11은 측정된 값과, 수치해석 결과 1GPa의 응력을 보일 때의 값을 비교한 것이며, Fig. 12는 측정된 ρ 값과, 수치해석 결과

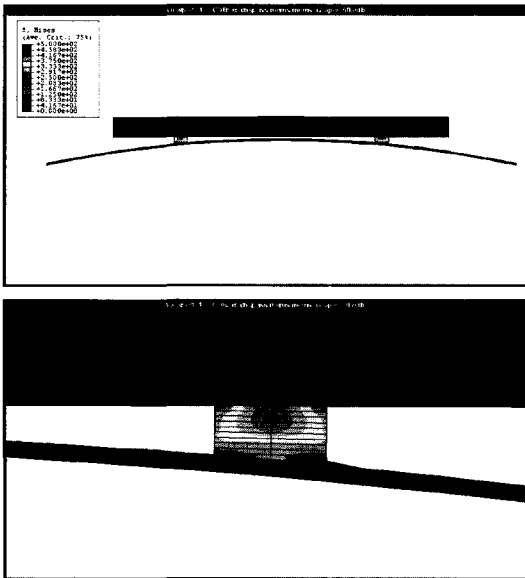
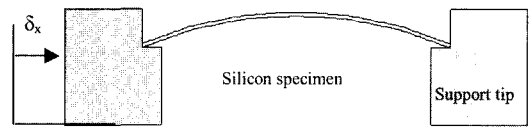
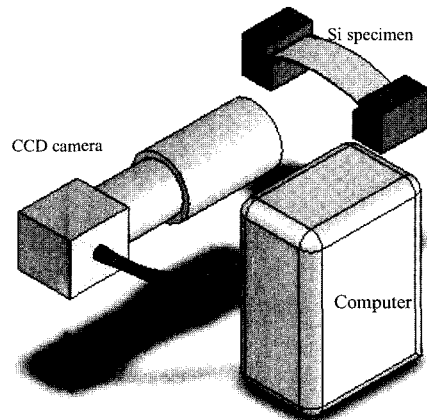


Fig. 8. Stress distribution of normal chip package model ($\rho=50$)



(a) Cross sectional view of bending test set-up



(b) Schematics of bending test set-up

Fig. 9. Schematics of bending test set-up/

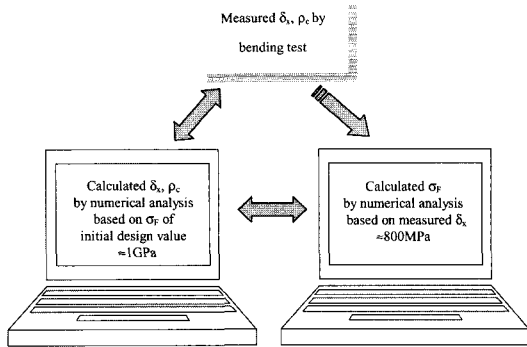


Fig. 10. Flow chart of measurement.

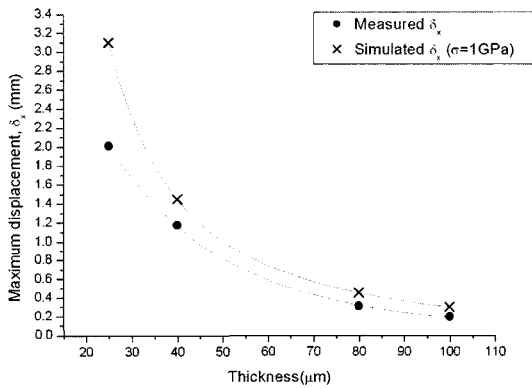


Fig. 11. Max. displacement vs. various thickness.

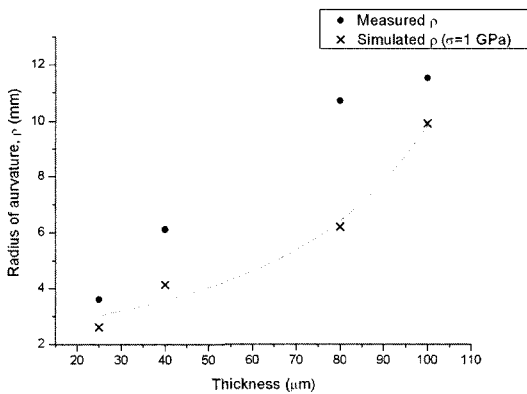
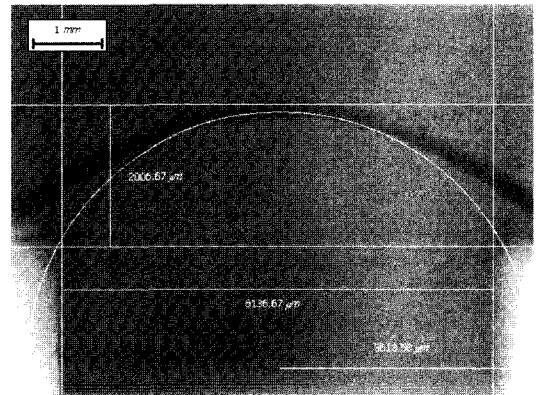


Fig. 12. Radius of curvature based on measured displacement.

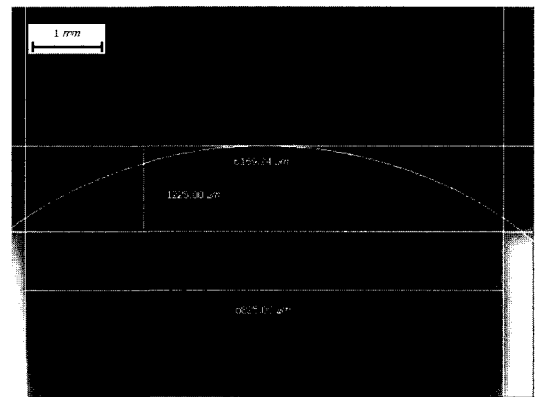
1GPa의 응력을 보일 때의 ρ 값을 비교한 것이다. 이 그래프를 살펴보면 3 μm 이하의 두께를 갖는 시편의 경우 파단 시 곡률반경이 5 mm 이하임을 알 수 있으며 이는 전 절에서 이루어졌던 예상을 입증하는 결과이다. Fig. 13과 Fig. 14는 굽힘 테스트

Table 4. Calculated fracture stress based on measured δ_x

t (μm)	Calculated σ_F (MPa)	δ_z (mm)	δ_x (mm)	ρ (mm)
25	739	1.864	2.01	3.613
40	846.37	1.365	1.18	6.107
80	841.84	0.828	0.31	10.689
100	807	0.606	0.2	11.502



(a) Thickness:25 μm , ρ : 3.613 mm



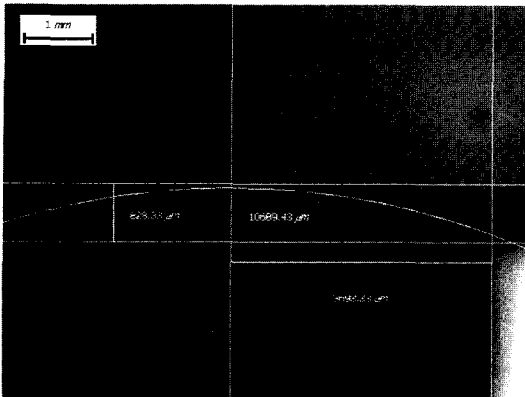
(b) Thickness:40 μm , ρ : 6.107 mm

Fig. 13. Optical images of silicon sample at fracture.

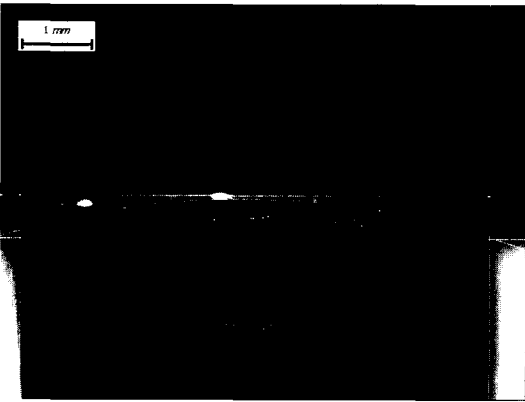
트 중 촬영된 파단 직전 실리콘 시편의 영상이다.

4. 결 론

초 박형 실리콘 칩을 이용하여 실리콘 칩들을 포함한 모듈 전체가 굽힘이 자유로운 유연 패키징 기술을 구현하였다. 굽힘 테스트와 ABAQUS를 이용한 수치해석을 통해 초 박형 실리콘 칩의 기



(a) Thickness: 80 μm, ρ : 10.689 mm



(b) Thickness: 100 μm, ρ : 11.502 mm

Fig. 14. Optical images of silicon sample at fracture.

계적 특성을 살펴보았으며 다음과 같은 결론을 내릴 수 있었다.

-표면손상의 가능성을 배제한 상태에서 30 μm 이하의 초 박형 실리콘 칩을 구현하기 위해 화학적 식각을 이용하여 충분히 굽힘이 가능한 thinned 실리콘 웨이퍼/칩을 구현하였다.

- 완성된 패키지는 표면 단차가 적어서 연성회로 기판을 비롯한 인쇄회로기판의 표면뿐만 아니라 기판 자체에 삽입이 가능하다. 이러한 기판과 칩 간의 작은 단차는 전기적 결선공정을 간략화

시켜 1차 패키징(die to chip carrier)과 2차 패키징(chip to substrate)을 동시에 이룰 수 있었다.

- 수치해석 결과, 구현된 패키지는 10 mm 이하의 곡률을 갖는 곡면에 실장될 수 있음을 예상할 수 있었으며 이를 굽힘 테스트를 통해 입증하였다. 이러한 결과로 미루어 볼 때 제안된 패키징 기술은 실질적인 실장 가능면적의 극대화를 통해 패키징 밀도 증가시킬 수 있으며 향후 wearable device의 구현을 위한 패키징의 대안이 될 수 있을 것으로 기대된다.

참고문헌

1. Alex Pentland, "Wearable information devices," IEEE Micro, Vol. 21, No. 3, pp. 12 -15(2001).
2. C. Landesberger, G. Klink, G. Schwinn and R. Aschenbrenner, "New dicing and thinning concept improves mechanical reliability of ultra thin silicon," Proc. Int. Sym. Advanced Packaging Materials, pp. 92-97, (Chateau Elan, Braselton, Georgia US, 2001)
3. C. Landseberger, S. Scherbaum, G. Schwinn and H. Spohrle, "New process scheme for wafer thinning and stress-free separation for ultra thin ICs," Proc. Microsystems Technologies, pp. 431-436, (Dusseldorf, Germany, 2001)
4. W. Lang, "Silicon microstructuring technology," Material Science Engineering, R17, pp. 1-55(1996).
5. James M. Gere, Stephen P. Timoshenko, "Mechanics of materials," Chap. 9, (PWS Publishing Com., 4th ed, 1997)
6. S. P. Timoshenko and S. Woinowsky-Krieger, "Theory of plates and shells," (New York, McGraw-Hill, 2nd ed, 1959)
7. W. N. Sharpe, "Mechanical properties of MEMS materials," in the MEMS handbook, edited by M. Gad-el-Hak, CRC Press, Chap 3-1(2002).
8. A. T. Zehnder and A. R. Ingraffea, "Reinforcing effect of coverlayers on the fatigue life of copper-kapton flex cables," IEEE Trans. CPMT-Part B, Vol. 18, No. 4, pp. 704-708(1995).