

UV-NIL(Ultraviolet-Nano-Imprinting-Lithography) 방법을 이용한 나노 패터닝기술

심영석[†] · 정준호 · 손현기* · 신영재 · 이응숙 · 최성욱** · 김재호**

한국기계연구원 지능형 정밀기계연구부

*한국기계연구원 첨단산업기술 연구부, **아주대학교 분자과학기술학과
(2003년 11월 24일 접수)

Nano-patterning technology using an UV-NIL method

Young-suk Sim[†], Jun-ho Jeong, Hyon-kee Shon*, Young-jae Shin, Eung-suk Lee

Sung-wok Choi** and Jae-ho Kim**

Dept. of Intelligent Precision Machine, Korea Institute of Machinery and Materials

**Dept. of Advanced Industrial Technology, Korea Institute of Machinery and Materials*

***Molecular Science & Technology Ajou University*

(Received November 24, 2003)

요 약

UV-나노임프린팅(Ultraviolet-Nanoimprinting Lithography:UV-NIL) 공정 기술은 수십 나노에서 수 마이크로미터 크기의 구조물을 적은 비용으로 대량생산 할 수 있다는 장점을 가지고 있는 기술로 최근 전세계적으로 연구가 활발히 진행되고 있다. 본 연구에서는 반도체 공정 중 마스크 제작 공정을 이용하여 나노패턴을 가진 $5 \times 5 \times 0.09$ 인치 크기의 수정스탬프(quartz stamp)를 제작하였고, 임프린팅(imprinting)시에 레지스트(resist)와 스탬프(stamp) 사이에서 발생하는 점착현상(adhesion)을 방지하고자 그 표면에 Fluoroalkanesilane(FAS) 표면처리를 하였다. 웨이퍼의 평탄도를 개선하고 친수(hydrophilic) 상태의 표면을 만들기 위해 그 표면에 평탄화층을 스펀코팅하였고, 1 nI의 분해능을 가진 디스펜서(dispenser)를 이용하여 레지스트 액적을 도포하였다. 스탬프 상의 패턴과 레지스트에 임프린트된 패턴은 SEM, AFM 등을 이용하여 측정하였으며, EVG620-NIL 장비를 이용한 임프린팅 실험에서 370 nm - 1 μ m 크기의 다양한 패턴을 가진 스탬프의 패턴들이 정확하게 레지스트에 전사됨을 확인하였다.

주제어 : UV-나노임프린팅, 수정스탬프

Abstract

Ultraviolet-nanoimprint lithography (UV-NIL) is a promising method for cost-effectively defining nanoscale structures at room temperature and low pressure. A $5 \times 5 \times 0.09$ in. quartz stamp is fabricated using the etch process in which a Cr film was employed as a hard mask for transferring nanostructures onto the quartz plate. FAS(Fluoroalkanesilane) is used as a material for anti-adhesion surface treatment on the stamp and a thin organic film to improve adhesion on a wafer is formed by spin-coating. The low viscosity resin droplets with a nanometer scale volume are dispensed on the whole area of the coated wafer. The UV-NIL experiments have been performed using the EVG620-NIL. 370 nm - 1 μ m features on the stamp have been transferred to the thin resin layer on the wafer using the multi-dispensing method and

UV-NIL process. We have measured the imprinted patterns and residual layer using SEM and AFM to evaluate the potential of the process._

Key Words : Ultraviolet-Nanoimprinting Lithography : UV-NIL, Quartz stamp

1. 서 론

1996년 Princeton 대학의 Chou 교수 [1]는 기존의 리소그래피(Lithography)공정을 대체할 수 있을 것 이란 가능성을 가지고 나노임프린팅 공정 기술을 제안했다. 이 기술은 패턴이 형성되어 있는 스탬프 를 제작하여 기판위에 도포 된 레지스트에 바로 전 사하는 방법으로 수십에서 수 나노미터 크기의 미 세 패턴 형성이 가능하고, 적은 비용으로 높은 생산 효율을 낼 수 있다는 장점을 가지고 있다. 그러나 Chou 교수가 제안한 가열방식의 나노임프린팅 방 법은 고온, 고압의 공정조건이 필요하고 (~200℃, ~30 bar) 이에 따른 열변형과 고압에서의 구조 파괴 등 다층 정렬의 불리함을 가지고 있어 현 반도체 소자개발의 적용에 어려움을 가지고 있다. 이러한 문제점들을 해결하고자 University of Texas at Austin 의 Sreemivasan 교수팀[2]은 1999년에 Step & Flash imprint Lithography(SFIL) 공정기술을 제안한 다. 이 방법은 UV(Ultra-violet) 경화가 일어나는 폴리머 소재를 사용하여 상온, 저압(30℃, 1~2 bar) 에서 step & repeat 방식으로 나노구조물을 형성 시 키는 공정이다 [그림 1].

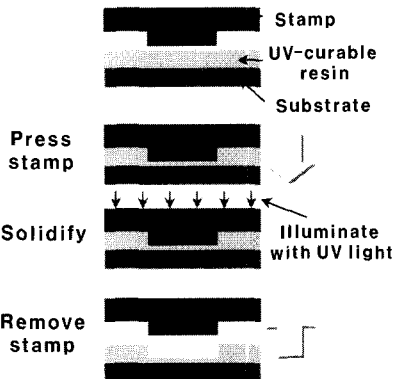


그림 1. UV-NIL(Ultraviolet-Nano-Imprinting-Lithography) 기술의 개략도

UV-NIL의 기본 원리 [2-4]는 기판(substrate) 위에 코팅된 UV 경화소재를 UV 투과성 스탬프로 누른 상태에서 UV를 조사하여 경화시킨 후, 이방성 에칭 과정과 lift-off과정을 거쳐 나노패턴을 기판 위에 전 사하는 방식이다.

이 방법에서는 스탬프 제작을 위하여 UV가 투 과되어야 하는 재질(quartz 또는 Pyrex glass) 을 사 용해야 하기 때문에, 스탬프 소재의 선택에 제한이 있으나 앞에서 언급된 가열 방식의 나노임프린팅 공정기술의 문제점들을 해결할 수 있다는 점에서 상당히 경쟁력을 갖춘 공정 기술이라 할 수 있다.

본 연구에서는 5인치 크기의 다중양각 스탬프 (elementwise embossed stamp)를 기존의 마스크 제조 공정과 에칭공정을 이용하여 제작하였고, 이를 이 용하여 UV-NIL 실험을 수행 하였다. 대면적의 다 중양각 스탬프에는 패턴이 있는 요소(element)들 간 에 채널(channel)이 존재하여, 임프린트 시 요소영역 에 있던 잔여 소재 및 공기가 요소영역 밖으로 밀 려 나갈 수가 있다. 따라서, 대기압 및 저 진공 환 경에서 대면적 스탬프를 사용할 시 발생하는 공기 포획 결함을 방지할 수 있다.

기존의 대기압 환경에 이루어지는 step & repeat 방식 UV-NIL에서는 1 인치 이하 크기의 작은 스탬 프를 사용하여 상대적으로 긴 작업시간을 요구한 것에 반하여, 본 연구에서는 다중양각 스탬프를 사 용하여 수 분 안에 넓은 면적을 한번에 임프린트할 수 있었다.

제작된 다중양각 스탬프 위에 Fluoroalkanesilane (FAS) 표면처리를 하고, 패턴이 있는 요소 위에 멀 티 디스펜싱 (multi-dispensing) 방법으로 다수의 레 지스트 액적들을 도포한 후, 임프린팅 실험을 수행 하였다. 본 연구에서는 제작된 스탬프의 형상이 레 지스트 위에 정확하게 전사됨을 확인함으로써 다중 양각 스탬프를 사용하는 UV-NIL의 타당성을 검증 한다.

2. 실험 방법

2.1 스탬프(Stamp)제작

4인치 웨이퍼에 대한 나노임프린트를 수행하기 위해 5×5×0.09인치 나노스탬프를 제작했으며, UV가 투과하는 포토마스크용 수정기판을 사용했다. [그림 2]는 스탬프의 기본 설계치수를 보여 주고 있다.

설계 시의 패턴 크기 및 패턴 간의 간격은 100 nm - 1 μm로 다양화 하였다. 패턴이 형성된 부분은 [그림 1]의 (a)와 같이 13×13 mm²의 단위패턴 위에 부분적으로 형성되었으며, 13×13 mm²의 단위 패턴들은 1 μm의 단차 만큼 양각상태로 형성되어있다. [그림 4]는 Cr층을 하드마스크로 사용한 에칭 방법에 의해 스탬프를 제작하는 과정을 보여주고 있다. E-beam레지스트와 Cr이 도포된 마스크를 E-beam을 사용해서 패턴을 전사한다. 이어 E-beam 레지스트를 현상(develop)하고 Cr층을 에칭 한 후 잔여 레지스트를 제거하게 된다. 이 단계까지는 기

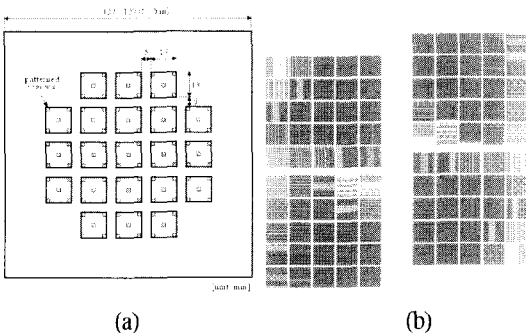


그림 2. (a) 제작된 스탬프의 기본설계도 (b) 100 nm - 1 μm로 설계된 패턴

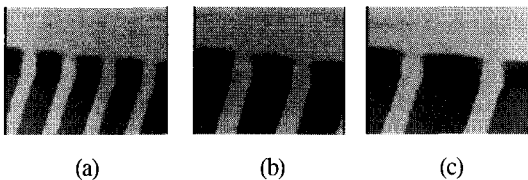


그림 3. Cr 패턴을 마스크로 사용한 수정(quartz)기판의 에칭과정[그림 4(e)] (a) 370 nm 패턴 (b) 600 nm 패턴 (c) 1 μm패턴

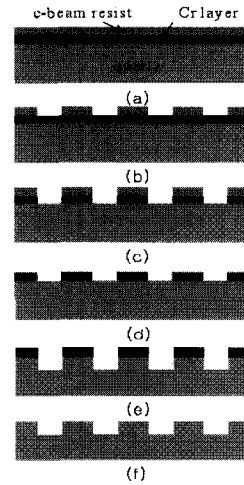


그림 4. 스탬프 제작과정의 계략도

존의 포토마스크 제조방법과 동일하며 수정 기판에 나노구조물을 전사하기 위해서는 Cr을 하드마스크로 사용한 에칭작업과 최종적인 Cr제거작업이 추가 된다.

스탬프 제작에 사용된 수정 기판은 일본 HOYA 사의 EHQ 5009 2C ZEP7000으로 도포 된 Cr과 레지스트의 두께는 각각 100 nm와 400 nm이다 [그림 4(a)]. 초기의 패턴 형성을 위한 E-beam 리소그래피를 위해 HITACHI HL800M 50 KeV vector scan e-beam 장비를 사용하였고, Dose 양은 25 μC/cm²로 고정하였다 [그림 4(b)]. 패턴을 형성한 후에 FAIRCHILD spin spray를 이용하여 레지스트를 현상 하고, 패턴에 남아있는 잔여 레지스트 제거와, Cr에칭에 의한 패턴 형성을 위해 UNAXIS VLR-700 ICP를 사용하였다. 잔여 레지스트 제거 시 사용된 가스는 O₂이며 전체 유량은 30 sccm, 작업 진공도는 10 mTorr를 유지하였다. Cr 에칭시에는 Cl/O₂/He 가스를 혼합하여 사용하였으며, 전체 유량은 62 sccm이고, 작업 진공도는 6 mTorr를 유지하였다. [그림 4(c)] Cr패턴을 형성한 후에 SUCCEED wet bench를 사용하여 레지스트를 제거하고 [그림 4(d)], 스탬프 에칭을 위하여 UNAXIS VLR-700 ICP를 사용했으며, 200 nm 깊이를 갖는 스탬프 패턴을 형성하였다. 패턴 형성 시 공정조건은 SF₆/O₂/He 가스를 혼합하여 사용하였고, 전체유량은 50 sccm, 작업 진공도는 5 mTorr로 진행하였다 [그림 4(e)]. 최종적으로 Cr을

제거하고, WACOM wet bench 로 세정하여 스탬프를 최종적으로 제작하였다 [그림 4(f)].

2.2 점착방지막(Anti-adhesion layer)처리

임프린팅 시에 중요한 요소중의 하나인 점착 방지막은 레지스트가 스탬프에 엉겨 붙는 현상을 방지하기 위해 스탬프 표면에 특수한 목적의 단분자막을 형성하는 것이다.

본 연구에서는 silane 계열의 FAS 표면처리 [5] [6]를 통하여 점착 방지막을 형성하였다. 실험에 사용된 시약과 용매는 Trichloro(1H, 1H, 2H, 2H-perfluorooty) silane (FAS, 97%, Aldrich), ethanol (HPLC garde, J. T. Baker, USA), acetone (HPLC garde, Fisher), Toluene (anhydrous, 99.8%, Aldrich), H₂SO₄ (97%, OSAKA Co., Japan), H₂O₂ (extra pure, 35%, Junsei co., Japan)를 사용하였고 더 이상의 정제 없이 사용하였다.

2.3 평탄화층(Planarization layer) 형성

평탄화층은 웨이퍼(wafer)가 가질 수 있는 국부적인 높이의 불균일을 개선함과 동시에 레지스트가 스탬프에 엉겨 붙는 것을 억제하고 또한 레지스트가 웨이퍼에 잘 붙도록 하는 역할을 동시에 수행한다. 실험에 사용된 코팅재료는 anti reflective coating (ARC) 재료로 사용되는 Nissan Chemical 사의 DUV30J-6를 사용하였다. 웨이퍼 클리닝이 끝난 후 일반적인 스핀코팅 방법을 이용하여, 50~70 nm 두께의 평탄화층을 형성하였다.

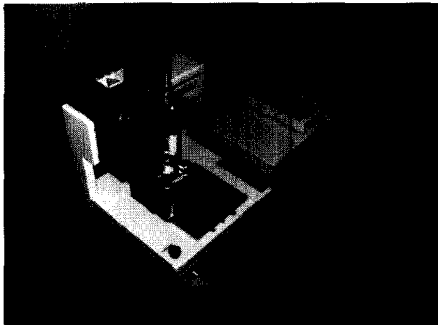


그림 5. Musashi Shot mini 디스펜싱 시스템

2.4 레지스트(Resist) 도포

본 연구에서 사용된 레지스트 도포 방법은 기존의 스핀코팅 방법을 사용하지 않고, 선택적 도포방법인 디스펜싱 방법을 사용하였다.

4 인치 웨이퍼 위에 레지스트가 도포된 스탬프로 가압이 이루어지기 때문에 도포된 레지스트의 양이 다를 경우 국부적인 불균일을 초래하게 된다. 따라서 매우 정밀한 레지스트 도포가 요구된다. 본 실험에서는 1 n/의 분해능을 가진 일본 Musashi 사의 shot mini. model을 사용하여, 스탬프의 각 요소 위에 레지스트 액적을 도포하였다

본 실험에서 사용된 UV 경화성 레지스트는 Tripropylene Glycol Diacrylate(TPGDA) 화합물로 8 cps 의 점성을 가지고 있다.

2.5 임프린팅(imprinting)

실질적인 임프린팅 실험은 기존의 모델을 개량하여 몇 가지 임프린팅 모드를 추가한 EVG620-NIL [그림 6]을 사용하여 수행하였다. EVG620-NIL이 갖고 있는 hard contact 모드와 vacuum 모드를 적절히 혼합하여 실험하였다. UV 노광은 14.4 mW/cm²으로 60초간 유지하였다.

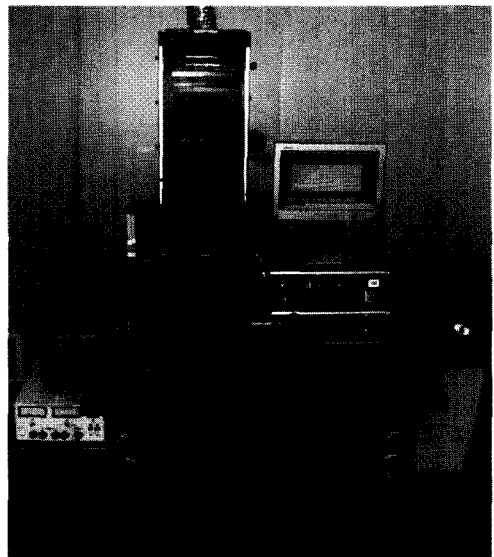


그림 6. EVG 620-NIL

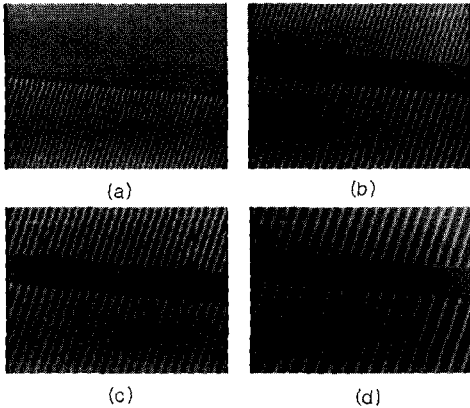


그림 7. 패턴 크기에 따른 SEM 이미지 (a) 설계치 100 nm, 측정치 370 nm (b) 설계치 및 측정치 400 nm (c) 설계치 및 측정치 600 nm (d) 설계치 및 측정치 1 μm

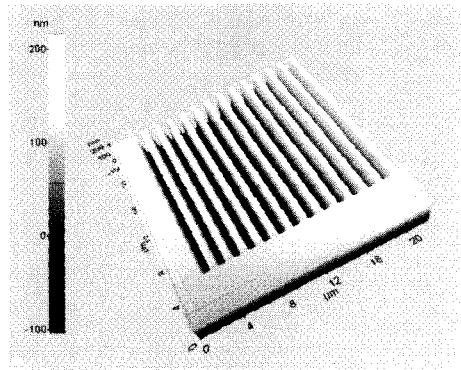


그림 8. 제작된 스탬프의 AFM 이미지

3. 결과 및 고찰

3.1 스탬프(Stamp)제작

설계된 스탬프의 선 폭 및 선 폭간의 간격은 100 nm - 1 μm이었으나, 최종 제작된 스탬프의 SEM 측정결과 370 nm ~ 1 μm로 나타났다 [그림 7]. 400 nm 이상의 패턴에서는 설계치에 부합하는 정확한 패턴이 형성되었음을 확인할 수 있었고, 그 이하에서는 설계치를 상회하는 값이 측정 되었다. 이는 현재 E-beam 리소그래피 및 에칭과정에서의 결함으로 보고되고 있다. 초기에 E-beam 리소그래피 과정을 거쳐 얻은 선 폭은 100 nm 였으나, 레지스트를 현상하거나, Cr을 에칭하는 과정에서 패턴이 형성된 주변의 레지스트나 Cr층들이 과도 에칭 되면서 Critical Dimension(CD)의 손실이 발생하는 것이다.

3.2 접착방지막(Anti-adhesion layer)처리

Alkyltrichlorosilane은 기판의 surface bound water를 이용하여 인접 분자들 사이 network를 형성하는 silanization 반응을 한다. Toluene속에 녹아있는 FAS는 50분 정도 반응시간이 경과할때까지 투명한 용액상태로 녹아있다가 서서히 탁해지기 해지기 시작한다. 이는 N₂ 가스나 용매속에 녹아있는 미량의 물

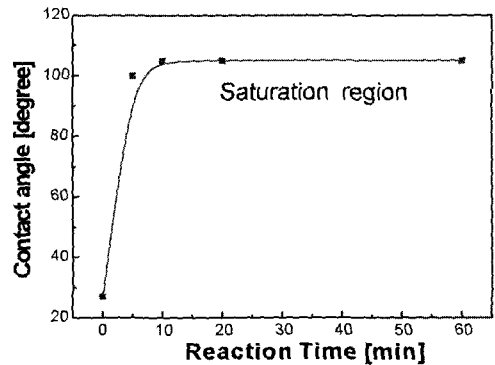


그림 9. 5, 10, 20, 60분 동안 반응한 후의 접촉각 변화

때문에 용매에 녹아있는 FAS끼리 silanization 반응이 일어나기 때문이다. 반응시간에 대한 조건을 수립하기 위하여 5, 10, 20, 60분 동안 반응한 후 세척, 건조시켜 접촉각(contact angle)을 측정하였다.

반응 시작 전 아무런 반응을 일으키지 않은 수정기판의 접촉각이 27°에서 FAS 주입 후 5분 경과하였을 때 100°로 증가하였고 10분 이후에는 105°로 거의 일정하였다 [그림 9]. 따라서 FAS silanization 반응은 5분에서 10분 사이 거의 반응이 완결되는 것으로 측정되었다. 스탬프에 형성된 FAS의 물에 대한 접촉각은 알려진 문헌 [7]의 접촉각과 거의 일치하는 것으로 나타났다.

이러한 접촉각의 변화는 FAS 표면처리 후에 표면의 상태가 친수(hydrophilic) 상태에서 소수(hydrophobic) 상태로 변함을 의미하며, 따라서 임프린팅시에 레지스트가 스탬프 표면에 영겨 붙는 현상을 억제 시킴을 알 수 있다.

3.3 평탄화층(Planarization layer) 형성

본 실험에서 적용한 평탄화층 과정은 반도체 공정에서 흔히 사용하는 anti reflective coating(ARC)재료인 Nissan Chemical 사의 DUV30J-6를 사용하였다. 앞에서 언급된 것처럼 평탄화층은 웨이퍼 작업면 높이의 불균일을 개선함과 동시에 스탬프가 갖는 표면에너지 보다 더 높은 상태의 표면조건을 만들어 레지스트가 웨이퍼 표면에 달라 붙도록 하는 역할을 하게 된다. 아직 완벽한 조건의 평탄화층 형성에 대한 내용은 확립되지 않았으나, 다양한 재료의 적용가능성을 연구하고 있다.

3.4 레지스트(Resist) 도포

본 실험에서는 1 nI의 분해능을 가진 디스펜서를 사용하여 스탬프의 각 요소 위에 다수의 레지스트 액적을 도포하였다. 저 진공 분위기의 UV-NIL 공정에서 스핀코팅 방식을 사용할 경우, 패턴에 공기포획 현상이 발생하여, 패턴에 레지스트가 미 충전되거나 불균일한 압력분포를 나타내게 된다. 따라서 원하는 패턴을 얻을 수 없다. 반면 디스펜싱 방법으로 레지스트를 도포할 경우 스핀코팅에 비해 작업시간이 상대적으로 길고 임프린팅 후에 잔여 레지스트 두께의 미세조절에 어려움이 있으나, 공기포획 현상을 방지할 수 있다는 장점이 있다. 액적이 스탬프에 의하여 가압 될 때 모세관 현상으로 레지스트가 스탬프와 기판 사이를 충전하면서 공기를 밖으로 밀어내게 된다.

3.5 임프린팅(imprinting)

제작된 다중양각 스탬프를 사용하여 임프린팅 실험을 수행하였다. [그림 10]에서 보여지듯이 제작된 스탬프의 형상이 거의 정확한 모습으로 전사됨을 확인하였다. 또한, 잔류층과 평탄화 층의 두께는 각각 80 nm와 70 nm로 측정되었다. 형성된 나노 구조물은 사다리꼴의 모양에작은 돌기가 형성되어 있다. 사다리꼴의 형상은 경화과정에서 10% 정도의 수축현상에 의한 것으로 보여지며, 작은 돌기들은 스탬프 제작 과정에서의 micro trenching effect[8]로

설명된다. [그림 10 (c)]와 같이 형성된 돌기모양의 구조물이 무너져있는 것은 스탬프와 웨이퍼의 분리 과정에서 발생한 일그러짐으로 추정된다. 본 연구에서 얻은 결과들로부터 다중양각 스탬프를 이용한 UV-NIL 방법은 대기압 및 저 진공 상태에서 임프린팅이 성공적으로 수행될 수 있음을 보여준다.

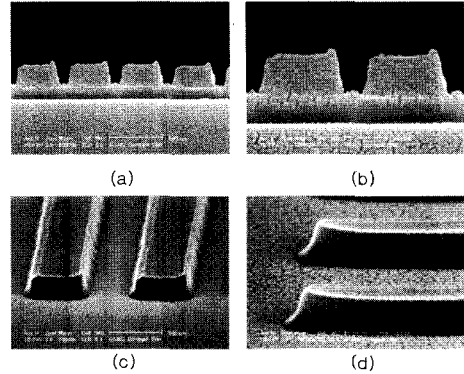


그림 10. 임프린트 공정 후 레지스트위에 형성된 나노구조물의 SEM 이미지 (a), (b) 370 nm의 구조물, 구조물간의 간격 100 nm (c), (d) 일그러짐과 수축현상을 보여주는 구조물.

4. 결 론

본 연구에서는 370 nm - 1 μm 선폭의 구조물이 형성된 다중양각 스탬프와 UV-NIL 방법을 사용하여 레지스트 위에 스탬프의 나노구조물을 성공적으로 전사할 수 있었다.

전사된 구조물은 경화과정에 의하여 10% 내외의 수축을 보인다는 것과 1 bar 이하의 가압력으로 잔류층을 100 nm이하의 두께로 형성시킬 수 있다는 것을 확인 할 수 있었다.

향후 본 연구팀은 초기 설계치에 근사한 100 nm 이하급 나노스탬프 제작 및 전사된 나노 구조물을 이용한 실질적인 에칭과 증착 과정의 연구를 진행 할 계획이다.

후 기

본 연구는 나노 메카트로닉스 기술개발사업단의 지원 하에 수행된 연구결과입니다.

참 고 문 헌

- [1] S. Y. Chou, P. R. Krauss, and P. J. Renstrom, J. Vac. Sci. Technol. B **14**, 4129 (1996).
- [2] S.V. Sreenivasan, in ASME International Conference on Integrated Nanosystems, Berkeley, CA, September 18-20, 2002.
- [3] J. Haisma, M. Verheijen, and K. Heuvel, J. Vac. Sci. Technol. B **14**, 4124 (1996).
- [4] T. C. Bailey, D. J. Resnick, D. Mancini, K.J. Nordquist, W. J. Dauksher, E. Ainley, A. Talin, K. Gehoski, J. H. Baker, B.J. Choi, S. Johnson, M. Colburn, M. Meissl, S. V. Sreenivasan, J. G. Ekerdt, and C.G. Willson, Microelectronics Eng. **61-62**, 461 (2002).
- [5] J. J. Senkevich C. J. Mitchell G. R. Yang and T. M. Lu, Langmuir **18**, 1587 (2002).
- [6] R. D. Peters, P. F. Nealey, J. N. Crain, and F. J. Jimpel, Langmuir **18**, 1250 (2002).
- [7] T. C. Bailey, B. J. Choi, M. Colburn, M. Meissl, S. Shaya, J. G. Ekerdt, S. V. Sreenivasan, and C. G. Willson, J. Vac. Sci. Technol. B **18**, 3572 (2000).
- [8] M. Schaepkens and G. S. Oehrlein, Applied Physics Letters **72**, 1293 (1998).