

논문 2004-41SD-2-10

RLC 연결선에서 최대 누화 잡음 예측을 위한 해석적 연구

(An Analysis of Maximum Cross Talk Noise in RLC Interconnects)

김 애 희*, 김 승 용*, 김 석 윤**

(Ae Hee Kim, Seung Yong Kim, and Seok Yoon Kim)

요 약

on-chip 상에서 발생하는 누화 잡음은 신호의 충실성을 위협하는 매우 중요한 요소이다. 따라서 본 논문에서는 최대 누화 잡음의 크기를 예측하는 해석적인 방법을 제안한다. 정확한 잡음 수치를 예측하기 위해 연결선의 인덕턴스 성분을 고려하였고, 임의의 램프입력을 사용하였다. 또한 복잡한 누화 잡음 모형에서 최대 누화 잡음을 해석적으로 간단히 구하기 위해 가상의 소스 개념을 도입하였다. 본 연구에서 제안한 방법은 HSPICE 시뮬레이션 결과와 비교하여 최대 상대오차 4.3% 이내의 정확도를 보였다. 따라서 본 연구는 신호 충실성 보장을 위한 다양한 설계 보조 도구 개발에 활용될 수 있을 것으로 본다.

Abstract

Cross-talk noise which can occur between on-chip interconnects is significant factor which influence signal integrity. Therefore, this paper presents an analytical method for estimating maximum cross-talk noise. We consider inductance effect of interconnects and use arbitrary ramp inputs to estimate noise magnitude exactly. Also, we have used a virtual source for the easy of analytically calculating maximum cross-talk noise from complex cross-talk noise model. The accuracy of the has been shown that be within 4.3 percent maximum relative error compared with the results of HSPICE simulation. Hence, this study can be utilized in various CAD tools for guaranteeing signal integrity.

Keywords : cross talk, SI, RLC interconnect, noise analysis

I. 서 론

점차 고집적·고속화되어 가는 회로 설계기술 동향은 신호의 충실성(signal integrity : SI)문제를 칩 설계 전반에서 다루어야 할 중요한 과제로 부각시켰다^{[1][2]}. on-chip 상에서 발생하는 누화 잡음은 신호의 충실성을 위협하는 가장 큰 요소로 인접한 연결선 사이의 용량성 결합(capacitive coupling)과 유도성 결합(inductive coupling)에 의해 발생한다^[3]. 회로의 고집적에 따른 연결선의 기하구조 변화와 다층(multi layer) 설계로 인해 결합 커패시턴스(coupling capacitance)는 지속적인 증가를 보여 왔고[4], [5][6]등의 다양한 연구가 진행되어 왔다. 그

리나 연결선을 단일 RC-class로 모형화한 이 연구들은 연결선의 자기 인덕턴스(self inductance) 및 상호 인덕턴스(mutual inductance)를 고려하지 않아 고속의 회로나 광역 연결선에 대해서는 그 정확도를 보장할 수 없다. 유도성 결합에 의한 누화 잡음에 대한 연구는 그 해석이 어려워 상대적으로 무시되어 왔지만 연결선 길이가 증가하고, 회로의 동작속도가 빨라짐에 따라 연결선의 인덕턴스 성분은 더 이상 무시할 수 없는 중요한 요소가 되었다. 따라서 정확한 누화 잡음 해석을 위해서는 결합 커패시턴스 뿐만 아니라 연결선의 자기 인덕턴스와 기생 성분인 상호 인덕턴스까지도 고려해야만 한다.

따라서 본 연구에서는 신호 충실성을 보장하기 위해 칩 설계 시 반드시 고려해야 할 누화 잡음의 상한선 제정을 목적으로 단일 RLC 집중 소자로 모형화 한 연결선에 대해 최대 누화 잡음을 해석적으로 유도하는 방법을 제

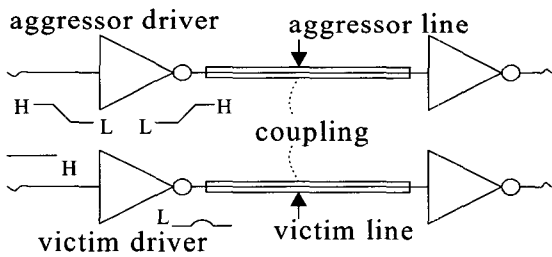
* 학생회원, ** 정회원, 숭실대학교 대학원 컴퓨터학과
(Soongsil university, Graduate school, Computing of School)
※ 본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음
접수일자 : 2002년 11월 28일, 수정완료일 : 2004년 2월 13일

안하고자 한다. 누화 잡음의 상한선을 제공하는 방법에 대해 선행된 연구로는 *Devgan*의 논문을 들 수 있다^[7]. *Devgan*의 방법에서는 연결선을 RC 네트워크로 모형화한 후, 입력 신호가 천이 할 때 결합 커패시턴스를 지나가는 전류의 합을 구하여 간단하게 누화 잡음의 상한선을 계산한다. 그러나 *Devgan*의 방법은 용량성 결합만을 고려하였기 때문에 그 정확성을 보장할 수 없고, 이상적인 계단 입력(step input) 신호를 사용하였기 때문에 최대 잡음의 예측이 너무 비관적이라는 한계를 가지고 있다.

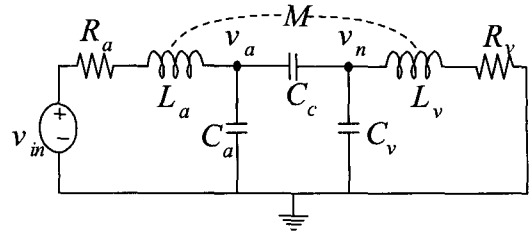
최대 잡음 전압은 최대 잡음이 발생하는 시점을 구함으로써 쉽게 얻을 수 있다. 그러나 복잡한 회로모형에서는 최대 잡음 시점을 해석적으로 구하기 어려우므로 본 연구에서는 가상의 소스를 도입하여 최대 잡음 시점을 근사적으로 구하였다. 본 방법을 통한 실험 결과는 HSPICE와의 최대 상대오차 4.3%로 매우 높은 정확도를 보였다. 서론에 이어 2장에서는 누화 잡음 해석을 위한 회로 모형을 제시하고, 새로이 고안한 가상의 소스에 대해 논하도록 하겠다. 3장에서는 최대 누화 잡음을 유도하고, 4장에서는 제안한 방법에 대한 실험 결과를 분석한 후 5장을 끝으로 결론을 맺도록 하겠다.

II. 누화 잡음 해석을 위한 회로 모형

그림 1의 (a)는 인접한 두 연결선 사이에 결합이 발생하여 정적 low 신호를 갖는 연결선에 잡음이 유기된 것을 보여주는 게이트 수준의 간단한 모형이다. *aggressor line*은 잡음을 유기 하는 연결선, *aggressor driver*는 *aggressor line*을 구동하는 입력 드라이버이다. 그리고 *victim line*은 잡음이 유기 되는 연결선, *victim driver*는 *victim line*의 입력 드라이버를 나타낸다.



(a) 게이트 수준의 모형
(a) The gate level model



(b) 타이밍 수준의 모형
(b) The timing level model

그림 1. 누화 잡음 해석을 위한 회로 모형
Fig. 1. The circuit model for analysing cross talk noise.

그림 (a)의 모형은 (b)와 같이 전기적 소자들로 이루어진 타이밍 수준의 회로 모형으로 바꿀 수 있다. 두 연결선은 각각 단일 RLC 집중 소자로 모형화 하였다. 각각의 *driver*는 임의의 램프 입력(ramp input)을 갖는 전압원 v_{in} 과 유효 채널 저항으로 모형화^[6] 할 수 있는데, 입력 신호가 상향 천이 할 때는 *pMOSFET*의 유효 채널 저항을, 하향 천이 할 때는 *nMOSFET*의 유효 채널 저항을 사용하였다. 그리고 드라이버의 저항은 연결선의 저항과 합하여 하나의 저항으로 표현하였다. M 과 C_c 는 두 연결선 사이의 기생 성분인 상호 인덕턴스와 결합 커패시턴스를 나타낸 것이다. 노드 v_a 와 v_n 는 각각 *aggressor line*의 전압, *victim line*에 유기된 잡음 전압을 나타낸다. C_a 와 C_v 는 각각 *aggressor line*의 커패시턴스, *victim line*의 커패시턴스로 부하 커패시턴스 값을 포함한 값이다. *aggressor line*에 인가된 신호의 천이 시간을 t_r 이라고 하면 누화 잡음 회로 모형에서 사용한 임의의 램프입력 v_{in} 은 식 (1)과 같이 쓸 수 있다.

$$v_{in}(t) = \frac{V_{DD}}{t_r} tu(t) - \frac{V_{DD}}{t_r} (t - t_r)u(t - t_r) \quad (t \geq 0) \quad (1)$$

여기서 V_{dd} 는 공급 전압, $u(t)$ 는 단위 계단 함수이다. 본 논문에서 유도하고자 하는 최대 누화 잡음 전압은 그림 1 (b)의 회로 모형에서 v_n 지점의 전압식, $v_n(t)$ 를 구한 후 미분하여 최대치를 구하는 문제로 일축할 수 있다. 그러나 인덕턴스가 고려된 누화 잡음 전압식은 매우 복잡한 수식이므로 사실상 해석적인 풀이가 불가능하다. 따라서 복잡한 미분식을 해석적인 풀이가 가능한 4차 이하의 다항식으로 근사하여 최대 전압이 발생하는 시점을 구하는 차선책을 생각할 수가 있다. 그러나 복잡도가 높은 식을 저차의 다항식으로 근사한 경우 그 근사 시점을

벗어날수록 정확도가 매우 낮으므로 본 연구에서는 근사 시점을 실제 최대 잡음 전압이 발생하는 시점 가까이에 서 찾아내는 방법을 이용하여 그 정확도를 보상하도록 하였다.

이렇게 최대 누화 잡음 전압식을 유도하기 위해 가장 우선하는 근사 시점을 구하는 과정은 가상의 소스 (virtual source) 개념을 도입하는 것으로부터 시작된다. 가상의 소스는 *aggressor line*과 *aggressor driver*를 추상화 한 개념으로, 결합 커패시턴스와 상호 인덕턴스로 구성된 단순 LC 연결선을 지나 *victim line*과 *victim driver*로 이루어진 부하를 구동해야 하는 새로운 소스이다. 가상의 소스 파형은 노드 v_a 의 전압 파형으로 비선형의 파형을 가지므로 내부 전압원의 공급이 최대가 되는 시점, t_r 에서 선형화(linearization)하여 간단한 소스 파형을 생성할 수 있다. 새롭게 생성된 가상의 소스, v_{vs} 의 파형은 그림 2와 같다.

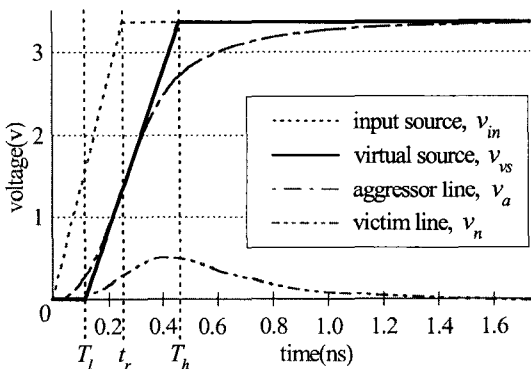


그림 2. 가상의 소스, v_{vs} 의 파형
Fig. 2. The wave of virtual source, v_{vs} .

새로운 소스를 정의하기 위해 v_{vs} 의 천이가 시작하는 시점을 T_l , 천이가 끝나는 시점을 T_h 라 하였다. 따라서 v_{vs} 가 출력으로 내보내는 신호의 천이 시간, T_r 은 $T_h - T_l$ 이 된다. 이렇게 T_r 의 천이 시간을 갖는 새로운 소스 v_{vs} 의 전압 식은 식 (2)와 같다.

$$v_{vs}(T) = \frac{V_{DD}}{T_r} T u(T) - \frac{V_{DD}}{T_r} (T - T_l) u(T - T_l) \quad (T \geq 0) \quad (2)$$

단, $T = t - t_l$ 이다.

그림 2에서 보듯이 최대 누화 잡음은 가상의 소스가 공급하는 전력이 최대에 달한 T_h 시점 부근에서 발생한다. 따라서 다음 장에서 최대 누화 잡음 수식을 유도할 때는 v_n 의 미분 식을 T_h 시점에서 저차 근사하여 실제 최대 누화 잡음이 발생하는 시점을 구하도록 하겠다.

III. 최대 누화 잡음 전압식의 유도

최대 누화 잡음 전압식의 유도는 크게 v_a 의 전압식을 이용하여 근사 시점을 구하는 과정과 v_n 의 미분식을 근사하여 최대 누화 잡음이 발생하는 시점을 구하는 두 단계로 이루어진다. 이 과정은 그림 3에 도식화하여 나타내었고, 각 단계는 step 1, step 2로 나누어 표시하였다.

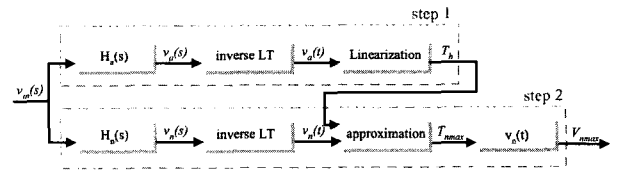


그림 3. 최대 누화 잡음 전압 식의 유도 과정
Fig. 3. The derivation process of maximum cross talk noise voltage equation.

먼저 누화 잡음 회로 모형에서 각 소자들에 대해 단자 방정식(terminal equation)을 적용하고, v_a 와 v_n 노드에 KCL과 KVL을 적용하여 풀면 v_{in} 과 v_a 에 관한 전달함수를 구할 수 있다. 이 전달 함수를 주파수 영역으로 변환하여 구한 식, $H_a(s)$ 는 식 (3)과 같다.

$$H_a(s) = \frac{V_a(s)}{V_{in}(s)} = \frac{y_2 s^2 + y_1 s + 1}{x_4 s^4 + x_3 s^3 + x_2 s^2 + x_1 s + 1} = \sum_{i=1}^4 \frac{k_{ai}}{s - p_{ai}} \quad (3)$$

$$y_1 = R_v(C_c + C_v),$$

$$y_2 = L_v C_c + L_v C_v - M C_c,$$

$$C_t = C_a C_c + C_c C_v + C_a C_v,$$

$$x_1 = R_a C_a + R_a C_c + R_v C_c + R_v C_v,$$

$$x_2 = R_a R_v C_t + L_a C_a + L_a C_c + L_v C_c + L_v C_v - 2M C_c,$$

$$x_3 = C_c(L_a R_v + L_v R_a),$$

$$x_4 = C_c(L_a L_v - M^2).$$

식 (3)에서 p_{ai} 와 k_{ai} 는 Ferrari해법을 이용하여 구할 수 있고^[8], 다음과 같은 형태로 표현할 수 있다.

$$p_{ai} = a_i + j b_i = A_i e^{j \alpha_i}$$

$$(A_i = \sqrt{a_i^2 + b_i^2}, \alpha_i = \tan^{-1}(b_i/a_i), a_i \neq 0)$$

$$k_{ai} = c_i + j d_i = B_i e^{j \beta_i}$$

$$(B_i = \sqrt{c_i^2 + d_i^2}, \beta_i = \tan^{-1}(d_i/c_i), c_i \neq 0) \quad (4)$$

식 (4)를 이용하여 식 (3)을 주어진 시간 영역에 대해 라플라스 역변환 하면 v_a 지점의 전압식을 구할 수 있다. 식 (5)은 $0 \leq t \leq t_r$ 인 구간에서의 v_a 의 전압식이고, 식 (6)은 $t \geq t_r$ 인 구간에서의 v_a 의 전압 식으로 각각은 입력 전압의 기울기로 정규화(normalization) 된 표현이다.

가상의 소스 v_{vs} 를 구하기 위해 식 (5)을 t_r 시점에서 선형화 한 식을 $\overline{v}_a(t)$ 라 하면, $\overline{v}_a(t)$ 는 t_r 시점에서의 미분값을 기울기로 하고, 한 점 $(t_r, v_a(t_r))$ 을 지나는 1차 방정식으로 표현할 수 있다. 따라서 근사 시점 T_h 는 v_{vs} 의 천이가 끝나는 시점으로 $\overline{v}_a(t) = V_{dd}$ 를 만족하는 t 값이 된다. $\overline{v}_a(t)$ 와 $v_{vs}(t)$ 의 관계는 그림 4에 도식화하여 나타내었다.

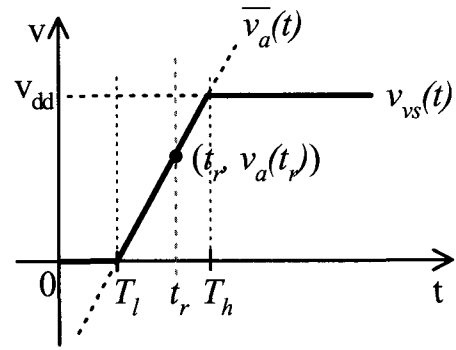


그림 4. v_a 전압식의 선형화

Fig. 4. The linearization of v_a voltage equation.

$$v_A(t) = \sum_{i=1}^4 \left\{ -\frac{B_i}{A_i^2} \cos(\beta_i - 2\alpha_i) - \frac{B_i}{A_i} t \cos(\beta_i - \alpha_i) + \frac{B_i}{A_i^2} e^{a_i t} \cos(\beta_i - 2\alpha_i + b_i t) \right\} \quad (5)$$

$$v_A(t) = \sum_{i=1}^4 \left[-\frac{B_i}{A_i} \cos(\beta_i - \alpha_i) t_r + \frac{B_i}{A_i^2} e^{a_i t} \{ \cos(\beta_i - 2\alpha_i + b_i t) - e^{-a_i t_r} \cos(\beta_i - 2\alpha_i + b_i t - b_i t_r) \} \right] \quad (6)$$

잡음 전압식 유도를 위해 $H_d(s)$ 를 구한 것과 같은 방법으로 v_{in} 과 v_n 에 대한 전달함수, $H_n(s)$ 를 구할 수 있는데, 그 식은 다음과 같다.

$$H_n(s) = \frac{V_n(s)}{V_{in}(s)} = \frac{y_2 s^2 + y_1 s}{x_4 s^4 + x_3 s^3 + x_2 s^2 + x_1 s + 1} = \sum_{i=1}^4 \frac{k_{ni}}{s - p_{ni}}$$

$$\begin{aligned} y_1 &= R_v C_c, \\ y_2 &= L_v C_c - M C_a - M C_c, \\ C_t &= C_a C_c + C_c C_v + C_a C_v, \\ x_1 &= R_a C_a + R_a C_c + R_v C_c + R_v C_v, \\ x_2 &= R_a R_v C_t + L_a C_a + L_a C_c + L_v C_c + L_v C_v - 2M C_c, \\ x_3 &= C_t (L_a R_v + L_v R_a), \\ x_4 &= C_t (L_a L_v - M^2). \end{aligned} \quad (7)$$

p_{ni} 와 k_{ni} 역시 Ferrari 해법을 통해 구할 수 있고, 식 (7)에 대입하여 라플라스 역변환 하면 주어진 시간 영역에 대한 잡음 전압식 $v_n(t)$ 를 얻을 수 있다. $v_n(t)$ 는 앞서 구한 $v_d(t)$ 와 같은 꼴을 갖는다.

최대 잡음 전압은 항상 $t \geq t_r$ 인 구간에서 발생하므로, 이 구간에서 정의된 $v_n(t)$ 를 미분하여 최대 잡음 전압이 발생하는 시점 t_{nmax} 를 구할 수 있다. 그러나 $v_n(t)$ 의 미분

식은 초월함수를 포함하므로 t_{nmax} 값은 closed form으로 존재하지 않는다. 따라서 복잡한 $v_n(t)$ 의 미분 식을 위에서 구한 T_h 시점에서 3차 테일러 시리즈(Taylor's series)로 근사하여 $\widehat{v}_n(t)$ 로 단순화하여 식 (8)과 같이 나타내었다.

$$v'_n(t) \approx \widehat{v}_n(t) = h_3 t^3 + h_2 t^2 + h_1 t + h_0 \quad (8)$$

여기에서 최대 누화 잡음이 발생하는 시점 t_{nmax} 는 식 (8)의 근이 되고, 본 연구의 과제인 최대 누화 잡음 전압, v_{nmax} 는 다음과 같이 $t \geq t_r$ 인 구간에서 정의된 $v_n(t)$ 에 t_{nmax} 를 대입하여 얻을 수 있다.

$$v_{nmax} = v_n(t_{nmax}) \quad (9)$$

IV. 시뮬레이션 결과 및 오차 분석

본 장은 본 연구에서 제안한 최대 누화 잡음 예측을 위한 해석적인 방법을 통해 얻은 실험 결과의 정확도를 비교하고자 한다. 비교 대상으로는 HSPICE 시뮬레이션 결과를 사용하였다. 본 실험에서 사용한 연결선은 IBM

사의 0.25 μ m 공정을 사용하였고, 표 1에 보인 연결선의 전기적 파라미터 값은 회로 변수 추출(extraction) 도구인 LINPAR^[13]를 이용하여 구하였다.

표 1. 연결선의 전기적 파라미터

Table 1. The electrical parameter of interconnects.

	R(Ω /m)	L(H/m)	M(H/m)	C(F/m)	C _c (F/m)
Metal1	2.219E+04	8.820E-07	6.056E-07	4.039E-11	2.471E-11
Metal2	1.370E+04	7.774E-07	5.288E-07	4.378E-11	2.602E-11
Metal3	1.370E+04	7.774E-07	5.288E-07	4.378E-11	2.602E-11
Metal4	8.845E+04	6.933E-07	4.278E-07	4.416E-11	2.283E-11
Metal5	5.928E+04	6.147E-07	3.392E-07	4.606E-11	2.012E-11

실험에서 사용된 드라이버의 저항은 80 Ω 에서 140 Ω 사이로 하였고, 입력 신호의 천이 시간은 0.1ns에서 1ns의 범위의 값으로 하였다. 또한 연결선의 길이는 0.3cm 이상으로 하였고 1cm까지 다양하게 시뮬레이션 하였다^[6]. 이상에서 제시한 실험 조건을 가지고 여러 metal 레이어에 대해 반복 수행한 결과 상대오차 표는 다음과 같다.

표 2. 상대오차(%) : Rdriver = 80 Ω , Metal 1

Table 2. The relative error(%) : Rdriver = 80 Ω , Metal 1.

length(cm) \ tr(ns)	0.1	0.25	0.5	0.75	1.0
0.3	0.8	3.5	4.3	4.3	4.3
0.5	2.5	0.0	0.1	0.1	0.1
0.7	2.2	1.2	0.1	0.1	0.1
0.9	1.9	1.4	0.5	0.1	0.2
1.0	1.7	1.4	0.7	0.2	0.1

표 3. 상대오차(%) : Rdriver = 140 Ω , Metal 3

Table 3. The relative error(%) : Rdriver = 140 Ω , Metal 3.

length(cm) \ tr(ns)	0.1	0.25	0.5	0.75	1.0
0.3	1.7	0.0	0.2	0.2	0.2
0.5	2.5	0.2	0.1	0.1	0.1
0.7	2.1	0.1	0.1	0.1	0.1
0.9	1.7	1.2	0.3	0.0	0.2
1.0	1.6	1.2	0.4	0.0	0.1

이상의 실험 결과를 통해, 본 논문에서 제안한 해석적인 방법은 HSPICE 시뮬레이션 결과와의 비교에서 상

대오차 4.3%이내, 절대 수치 0.049V 이내에서 매우 정확한 결과를 보이고 있음을 확인하였다.

Metal 1, Rdriver = 100ohm, line length = 0.3cm

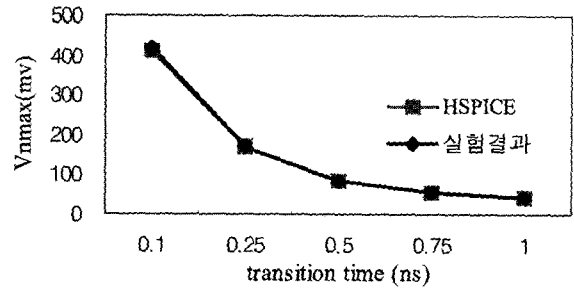


그림 5. 입력 신호의 천이 시간에 따른 최대 누화 잡음
Fig. 5. The maximum cross talk noise be followed by transition time of input signal.

또한 그림 5은 일정한 길이의 연결선에 대해 천이 시간에 따른 최대 누화 잡음의 크기를 보여주는 것으로 metal 1 레이어, 100 Ω 의 드라이버의 저항에 대해 실험한 결과를 보이고 있다. 연결선의 길이는 0.3cm로 천이 시간이 0.25ns 일 때 발생한 최대 누화 잡음은 200mV 미만으로 무시할 수 있는 정도이지만, 0.2ns 이하의 DSM (Deep Sub-Micrometer) 공정 기술에 대해서는 최대 누화 잡음의 크기가 급격히 증가하는 것을 확인하였다^[6]. 또한 그림 6에서는 천이 시간이 동일할 때 연결선의 길이가 클수록 최대 누화 잡음이 커지는 것을 보이고 있다. 즉, 빠르게 동작하는 칩이 아니라고 하여도 길이가 긴 연결선에 대해서는 누화 잡음을 반드시 고려해야만 한다는 사실을 확인할 수 있었다^[9].

Metal 1, Rdriver = 100ohm, transition time = 0.25ns

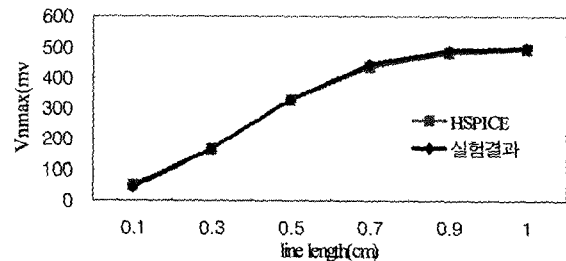
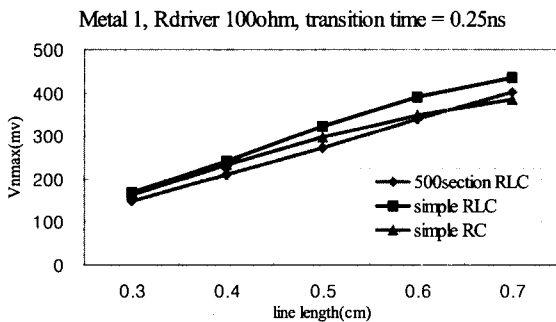


그림 6. 연결선의 길이에 따른 최대 누화 잡음
Fig. 6. The maximum cross talk noise be followed by interconnect length.

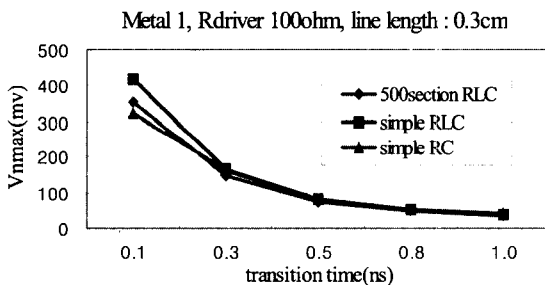
실제 연결선은 저항과 인덕턴스, 커패시턴스의 집중 소자가 무한개 연결되어있는 분포 회로 모형과 같다. 따

라서, 본 논문에서 제시한 해석적인 방법이 설계 보조 툴 개발에 사용될 정도의 신뢰성을 얻기 위해서는 실제 칩 설계 현장에서 발생할 수 있는 최대 잡음 값을 포괄하여야 한다. 이를 위해, 본 연구에서 제시한 해석적인 방법을 통해서 얻은 결과와 500개의 *RLC* 섹션을 연결하여 참값에 수렴하는 분포 회로 모형에 대한 *HSPICE* 시뮬레이션 결과를 비교하였다.



(a) 연결선 길이에 따른 비교

(a) The comparison be followed by interconnect length



(b) 입력 신호의 천이 시간에 따른 비교

(b) The comparison be followed by transition time of input signal

그림 7. 분포 회로 모형과 집중 회로 모형의 비교

Fig. 7. The comparison of distributed circuit model between lumped circuit model.

그림 7은 연결선의 모형에 따른 최대 누화 잡음을 보여주고 있다. *simple RLC*는 본 논문에서 제안한 방법에 대한 실험 결과이고, *500section RLC*는 500개의 *RLC* 섹션을 연결한 분포회로 모형에 대한 *HSPICE* 시뮬레이션 결과, *simple RC*는 연결선을 단일개의 *RC* 집중 소자로 모형화 했을 때의 결과이다. 그림 (a)를 보면 본 연구에서 제안한 방법이 다양한 집중 회로 모형에 대한 결과

를 모두 포괄하는 상한선을 제공하고 있음을 알 수 있다. 그림 (b)는 각 모형마다 입력 신호의 천이 시간의 변화에 따라 발생하는 최대 누화 잡음을 보여주고 있다. 본 연구에서 제안한 방법은 다양한 연결선의 길이뿐만 아니라 다양한 천이 시간에 대해서도 참값을 포괄하는 누화 잡음의 상한선을 제공하고 있음을 알 수 있다. 특히 천이 시간이 매우 짧을 때나 연결선의 길이가 매우 길 때 *simple RC* 모형의 최대 누화 잡음이 참값보다 낮게 예측된 것을 볼 수 있는데 이것은 인덕턴스의 영향을 무시한 결과라고 볼 수 있다.

V. 결론

회로의 지속적인 고집적·고속화 경향에 따라 칩 설계 과정에서 신호 충실성 문제가 중심 과제로 급부상하고 있다^[2]. 신호 충실성을 위협하는 요인 중 하나로 누화 잡음을 들 수 있는데, 이에 관한 연구는 꾸준히 진행되어 왔으나 *RC-class*로 모형화하는 방법은 정확도에 대해 그 한계를 드러내고 있다.

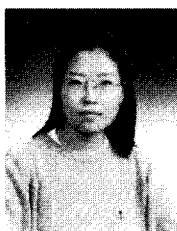
본 논문에서는 *on-chip* 상에서 신호의 충실성 보장을 위해 인접한 연결선에서 발생하는 누화 잡음의 상한가를 예측하는 해석적인 방법을 제시하였다. 최대 누화 잡음 해석을 위한 회로는 단일 *RLC*의 집중 소자로 모형화 하였고, 향후 누화 잡음 해석을 위한 설계 보조 도구에 사용할 수 있도록 최대 누화 잡음 식을 제공하였다. 본 논문에서 제안한 방법의 정확성을 입증하기 위한 실험에서는 *IBM 0.25μm*의 공정 파라미터를 사용하였고, 연결선의 전기적 성분 추출은 *LINPAR*를 사용하였다. 연결선의 길이와 입력 신호의 천이 시간, *metal* 레이어, 드라이버의 저항 값 등의 다양한 파라미터에 대해 이루어진 실험 결과는 같은 조건에서 수행한 *HSPICE* 시뮬레이션 결과와 비교하여 최대 상대오차 4.3%로 그 정확성을 입증하였다. 또한 집중 소자로 모형화 한 본 연구가 실제로 누화 잡음의 상한가를 제공하는가를 입증하기 위하여 500개의 *RLC* 세그먼트를 연결한 분포 회로 모형에 대한 시뮬레이션 결과와 비교하여 타당성을 보였다.

본 논문에서 제안한 방법은 연결선의 인덕턴스 성분을 고려하여 기존 연구에 비해 정확도를 향상 시켰고, 최대 누화 잡음식을 *closed-form*으로 제공하므로 임계 수준에 있는 연결선의 누화 잡음의 크기를 쉽게 예측함으로써 배선 및 테스트 등의 다양한 설계 보조 도구의 개발에 크게 활용될 것으로 본다.

참 고 문 헌

- [1] H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison-Wesley, 1990.
- [2] Deep-Submicron Signal Integrity, Magma Design Automation, INC., 2002.
- [3] E. Sicard and A. Rubio, "Analysis of cross talk interference in CMOS intergrated circuits," *IEEE Transactions on Electromagnetic Compatibility*, Vol. 34, 1992, pp. 124-129.
- [4] T. Sakurai, "Closed-form expression for interconnection delay, coupling, and cross talk in VLSIs," *IEEE Transaction on Electron Devices*, Vol. 40, 1993, pp. 118-124.
- [5] T. Sakurai, S. Kobayashi, and M. Noda, "Simple expressions for interconnection delay, coupling and crosstalk in VLSI's," in *Proc. Int. Symp. on Circuits and Systems*, pp. 2375-2378, June 1991.
- [6] Samuel O. Nakagawa, Dennis M. Sylvester, John G. McBride and Soo-Young Oh, "On-Chip Cross Talk Noise Model for Deep-Submicrometer ULSI Interconnect," *The Hewlett-Packard Journal*, pp. 39-45, Aug. 1998.
- [7] A. Devgan, "Efficient Coupled Noise Estimation for On-Chip Interconnects," *IEEE Proc. ICCAD*, pp. 147-153, Nov. 1997.
- [8] 정현열, 어진우 역, *선형 시스템 및 신호*, 에드텍 출판사, pp. 50-61
- [9] 김석윤, *VLSI 시스템 회로연결선의 모형화 및 해석*, IDEC 교재개발 시리즈 10, 시그마 프레스, 1999

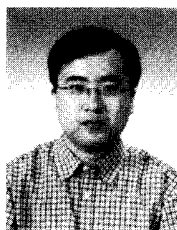
저 자 소 개



김 애 희(학생회원)

2001년 숭실대학교 컴퓨터학과졸업
학사, 2004년 현재 숭실대학교 대학
원 컴퓨터학과

<주관심분야: 설계 자동화, VLSI
회로해석 및 설계>



김 승 용(학생회원)

1994년 부산대학교 전자공학과 학
사 졸업, 1999년 숭실대학교 정보과
학대학원 전자계산기공학과 석사,

1994년 1월~2000년 8월 LG이노텍
연구소 근무, 2000년 9월~현재 숭

실대학교 컴퓨터학과 박사과정.

<주관심분야: 설계 자동화, VLSI 회로해석 및 설계>



김 석 윤(정회원)

1980년 서울대 공대 전기공학과 학
사, 1990년 University of Texas at
Austin 전기, 컴퓨터학과 석사, 1983
년 University of Texas at Austin
전기, 컴퓨터학과 박사. 1982년~

1987년 한국전자통신연구소 연구원, 1993년~1995년
Motorola Inc.Senior Staff Engineer.

1995년~현재 숭실대 컴퓨터학부 교수.

<관심분야: 설계자동화, VLSI 회로해석 및 설계, 통신
시스템>

