

A New Fault Location Algorithm for 765kV Untransposed Parallel Transmission Lines

安龍珍*·姜相熙**
(Yong-Jin Ahn · Sang-Hee Kang)

Abstract - This paper describes a new fault location algorithm based on the voltage equation at the relaying point using 6-phase current for untransposed 765kV parallel transmission lines. The proposed method uses the voltage and current collected at only the local end. By means of 3-phase circuit analysis theory to compensate the mutual coupling effects between parallel lines, the fault location is derived. The fault distance is determined by solving the 2nd distance equation based on KVL(Kirchhoff's Voltage Law). Extensive simulation results using EMTP(Electromagnetic Transients Program) have verified that the error of the fault location achieved is up to 4.56(%) in untransposed parallel transmission lines.

Key Words : Fault location, Untransposed transmission lines, Mutual coupling effect, Distance equation

1. 서 론

전력계통에 고장이 발생한 경우, 고장지점을 정확하게 찾는 것은 신속한 사고복구와 전력계통의 신뢰성을 높여 안정적인 전력 공급의 측면에서 중요한 문제이다[1].

일반적으로 송전선로는 연가되어 있기 때문에 연가된 송전선로에서의 고장점 표정에 관한 연구는 활발히 진행되어 왔다. 연가된 송전선로에서의 고장점 표정 알고리즘은 전파 방정식을 이용하는 방법[2], 거리계전기 알고리즘 보완 방법[3], 진행파를 이용하는 방법[4] 등으로 구분할 수 있으며, 적용 계통에 따라 양단 전원 1회선 계통[2-4], 병행 2회선[5-8]과 다단자 계통[9-10]으로 구분할 수 있다. 데이터의 사용에 따라 자기단의 정보만을 이용하는 방법[2-10,18]과 양단의 정보를 이용하는 방법[1,11] 등으로 구분할 수 있으나 부가적인 통신장비를 사용해야 한다는 제약조건으로 상대단의 정보는 거의 이용되지 않고 있어 자기단의 정보만을 이용한 고장점 표정 알고리즘들이 활발히 개발되었다. 비연가 송전선로에서 고장점 표정에 관한 연구는 활발하지 않으며, 양단의 정보를 이용한 방법[11]이 제안되었다.

배전계통의 경우 선로의 비동질성, 부하전류 및 부하 불평형 등의 요인으로 대칭좌표법을 적용하기가 곤란하다. 불평형 계통인 배전계통에서의 고장점 표정으로는 전압과 전류의 고조파 성분을 이용하는 방법[12], 기본파 성분과 선로 정수를 이용하는 방법[13]으로 구분할 수 있으며, 배전계통의 다양한 특이성을 고려하기 위해 전압과 전류를 재계산하

는 방법[14,15] 등이 소개되었다. 최근에 대칭좌표법을 사용하지 않고 직접 3상 회로를 해석하여 고장점을 표정하는 알고리즘이 제안되었다[16].

현재 국내 전력계통에 운영중인 디지털 송전선로 보호계전기의 리치 측정 및 고장점 표정은 연가된 송전선로를 전제로 하고 있다. 비연가 병행회선 송전선로의 경우는 병행회선사이의 불평형 상호 인덕턴스 때문에 측정오차가 발생하며, 고장점 표정을 위한 보상계수도 단일회선일 때는 효과가 있지만 병행회선일 경우는 인근회선의 각상 전류보상이 없이는 정확한 거리측정을 기대할 수 없다. 거리계전기의 경우도 인접회선의 전류보상이 없을 경우 언더리치 현상이 발생하며, 현재 사용하고 있는 디지털 거리계전기의 인근회선 영상전류보상 기능도 인근회선 고장시 오버리치 현상 때문에 적용하지 못할 것으로 생각된다[17,18].

고장점 표정 시에 오차를 일으키는 주요한 요인으로는 고장점으로 흐르는 고장점 전류, 고장점 저항의 크기, 병행회선간의 상호 임피던스, 부하전류 및 충전전류의 영향 등이다. 따라서 정확한 고장점 표정을 위하여 충전전류의 보상[19], 인접회선의 각상 전류와 상호임피던스의 보상이 필요하다. 이에, 본 논문에서는 자기단의 전압, 전류와 인접회선의 전류 정보를 사용한 고장점 표정 알고리즘을 제안하였다. 제안된 알고리즘에서 고장점 전류는 KVL을 적용하여 추정하고 고장점 저항은 수식에서 소거하였으며 병행회선간의 상호 임피던스는 EMTP의 Line Constants의 결과를 사용하였다. 사례 연구 결과 제안된 알고리즘은 765(kV) 138(km)의 연가선로에서는 bc상 단락고장 시에 최대 0.77(%)의 양호한 오차를 보였으며, 비연가 선로에서는 a상 지락고장 시에 최대 4.56(%)의 오차를 보였으나, 현재 대칭분을 이용한 일반적인 고장점 표정 알고리즘과 비교하여 볼 때 상당히 오차를 개선한 방법이라 할 수 있다.

* 正會員 : 柳湖電氣工業(株) 責任研究員 · 工碩

** 正會員 : 明知大 工大 電氣工學科 副教授 · 工博

接受日字 : 2003年 10月 17日

最終完了 : 2004年 1月 20日

2. 본 론

2.1 기호 정의

표 1에 본 논문에서 사용하는 기호를 정의하였다.

표 1 기호정의
Table 1 Nomenclature

기 호	정 의	단 위
V_{Sa}, V_{Sb}, V_{Sc}	자기단에서의 a, b, c상 전압	V
I_{Sa}, I_{Sb}, I_{Sc}	자기단에서의 a, b, c상 전류(고장회선)	A
I_{Ra}, I_{Rb}, I_{Rc}	상대단에서의 a, b, c상 전류(고장회선)	A
I_{Ta}, I_{Tb}, I_{Tc}	자기단에서의 a, b, c상 전류(인접회선)	A
I_{fa}, I_{fb}, I_{fc}	고장점 전류	A
Z_{xx}	송전선로의 자기 및 상호 임피던스(단위길이)	Ω/km
Z_{Lxx}	송전선로의 자기 및 상호 임피던스(전체길이)	Ω
I_{S0}, I_{S1}, I_{S2}	자기단에서의 대칭분 전류(고장회선)	A
I_{R0}, I_{R1}, I_{R2}	상대단에서의 대칭분 전류(고장회선)	A
I_{T0}, I_{T1}, I_{T2}	자기단에서의 대칭분 전류(인접회선)	A
I_{f0}, I_{f1}, I_{f2}	고장점에서의 대칭분 전류	A
Z_{L0}, Z_{L1}, Z_{L2}	전체 송전선로의 대칭분 임피던스(고장회선)	Ω
Z_{T0}, Z_{T1}, Z_{T2}	전체 송전선로의 대칭분 임피던스(인접회선)	Ω
Z_{S0}, Z_{S1}, Z_{S2}	S단 전원의 대칭분 임피던스	Ω
Z_{R0}, Z_{R1}, Z_{R2}	R단 전원의 대칭분 임피던스	Ω
R_f	고장점 저항	Ω
d	계전기 설치점에서 고장점까지 거리	P.U

2.2 단상지락고장 시 고장점 표정 알고리즘

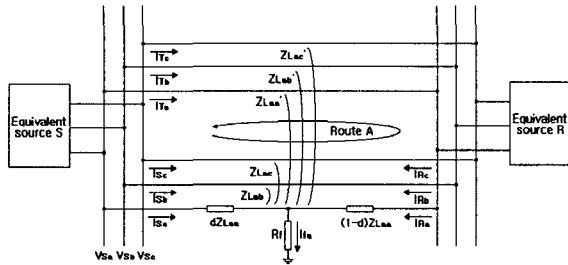


그림 1 단상 지락 고장
Fig. 1 Phase to ground fault

그림 1은 a상 지락고장 시에 계통도이며, 계전기 설치 점에서의 전압방정식은 다음과 같다.

$$V_{Sa} = d \left\{ \begin{pmatrix} Z_{Laa} & Z_{Lab} & Z_{Lac} \\ Z_{Lab} & Z_{Laa} & Z_{Lac} \\ Z_{Lac} & Z_{Lab} & Z_{Laa} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} & Z_{La'b} & Z_{La'c} \\ Z_{La'b} & Z_{La'a} & Z_{La'c} \\ Z_{La'c} & Z_{La'b} & Z_{La'a} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\} + R_f I_{fa} \quad (1)$$

그림 1의 Route A에 KVL을 적용하면 다음과 같다.

$$d \begin{pmatrix} Z_{Laa} - Z_{La'a} \\ Z_{Lab} - Z_{La'b} \\ Z_{Lac} - Z_{La'c} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} - (1-d) \begin{pmatrix} Z_{Laa} - Z_{La'a} \\ Z_{Lac} - Z_{La'c} \\ Z_{Lac} - Z_{La'c} \end{pmatrix} \begin{pmatrix} I_{Ra} \\ I_{Rb} \\ I_{Rc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} - Z_{La'd} \\ Z_{La'b} - Z_{La'd} \\ Z_{La'c} - Z_{La'd} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} = 0 \quad (2)$$

그림 1의 계통에서 충전전류를 무시한다면, 식 (2)에 $I_{Rb} = -I_{Sb}, I_{Rc} = -I_{Sc}$ 를 대입하여 정리할 수 있다.

$$I_{Ra} = \frac{\begin{pmatrix} d(Z_{Laa} - Z_{La'a}) \\ Z_{Lab} - Z_{La'b} \\ Z_{Lac} - Z_{La'c} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} - Z_{La'd} \\ Z_{La'b} - Z_{La'd} \\ Z_{La'c} - Z_{La'd} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix}}{(1-d)(Z_{Laa} - Z_{La'a})} \quad (3)$$

고장점 전류는 $I_{fa} = I_{Sa} + I_{Ra}$ 이므로,

$$I_{fa} = \frac{\begin{pmatrix} Z_{Laa} - Z_{La'a} \\ Z_{Lab} - Z_{La'b} \\ Z_{Lac} - Z_{La'c} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} - Z_{La'd} \\ Z_{La'b} - Z_{La'd} \\ Z_{La'c} - Z_{La'd} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix}}{(1-d)(Z_{Laa} - Z_{La'a})} \quad (4)$$

식 (1)에 식 (4)를 대입하여 정리하면 다음과 같다.

$$V_{Sa} = d \left\{ \begin{pmatrix} Z_{Laa} \\ Z_{Lab} \\ Z_{Lac} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} \\ Z_{La'b} \\ Z_{La'c} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\} + R_f \frac{\begin{pmatrix} Z_{La'a} - Z_{La'd} \\ Z_{La'b} - Z_{La'd} \\ Z_{La'c} - Z_{La'd} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} - Z_{La'd} \\ Z_{La'b} - Z_{La'd} \\ Z_{La'c} - Z_{La'd} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix}}{(1-d)(Z_{Laa} - Z_{La'a})} \quad (5)$$

식 (5)를 고장거리 d에 관하여 정리하면 다음과 같다.

$$(a_{11} + jb_{11})d^2 + (a_{12} + jb_{12})d + (a_{13} + jb_{13}) + (a_{14} + jb_{14})R_f = 0 \quad (6)$$

여기서,

$$a_{11} + jb_{11} = \left\{ \begin{pmatrix} Z_{Laa} \\ Z_{Lab} \\ Z_{Lac} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} \\ Z_{La'b} \\ Z_{La'c} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\} \times (Z_{Laa} - Z_{La'a})$$

$$a_{12} + jb_{12} = - \left\{ \begin{pmatrix} Z_{Laa} \\ Z_{Lab} \\ Z_{Lac} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} \\ Z_{La'b} \\ Z_{La'c} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} + V_{Sa} \right\} \times (Z_{Laa} - Z_{La'a})$$

$$a_{13} + jb_{13} = V_{Sa} \times (Z_{Laa} - Z_{La'a})$$

$$a_{14} + jb_{14} = - \left\{ \begin{pmatrix} Z_{Laa} - Z_{La'a} \\ Z_{Lab} - Z_{La'b} \\ Z_{Lac} - Z_{La'c} \end{pmatrix} \begin{pmatrix} I_{Sa} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{La'a} - Z_{La'd} \\ Z_{La'b} - Z_{La'd} \\ Z_{La'c} - Z_{La'd} \end{pmatrix} \begin{pmatrix} I_{Ta} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\}$$

식 (6)은 실수부와 허수부로 구성되므로 이를 분리하여 다음의 식을 구한다.

$$\begin{aligned} a_{11}d^2 + a_{12}d + a_{13} + a_{14}R_f &= 0 \\ b_{11}d^2 + b_{12}d + b_{13} + b_{14}R_f &= 0 \end{aligned} \quad (7)$$

고장거리 d는 고장저항 R_f 소거 후에 2차 방정식의 해를 이용하여 구한다.

$$\left(a_{11} - b_{11} \frac{a_{14}}{b_{14}} \right) d^2 + \left(a_{12} - b_{12} \frac{a_{14}}{b_{14}} \right) d + \left(a_{13} - b_{13} \frac{a_{14}}{b_{14}} \right) = 0 \quad (8)$$

2.3 삼상단락고장 시 고장점 표정 알고리즘

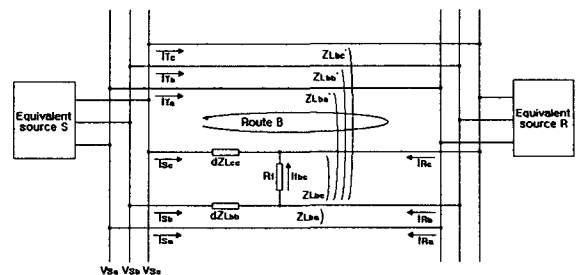


그림 2 삼상 단락 고장
Fig. 2 Phase to phase short fault

그림 2는 bc상 단락고장 시에 계통도이며, 계전기 설치 점에서의 전압방정식은 다음과 같다.

$$V_{sb} - V_{sc} = d \left\{ \begin{pmatrix} Z_{Lbn} - Z_{Len} \\ Z_{Lbb} - Z_{Lcb} \\ Z_{Lbc} - Z_{Lcc} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{Lbn'} - Z_{Len'} \\ Z_{Lbb'} - Z_{Lcb'} \\ Z_{Lbc'} - Z_{Lcc'} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\} + R_f I_{fb} \quad (9)$$

그림 2의 Route B에 KVL을 적용하면 다음과 같다.

$$d \begin{pmatrix} Z_{Lbn} - Z_{Lbn} \\ Z_{Lbb} - Z_{Lbb} \\ Z_{Lbc} - Z_{Lbc} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} - (1-d) \begin{pmatrix} Z_{Lbn} - Z_{Lbn} \\ Z_{Lbb} - Z_{Lbb} \\ Z_{Lbc} - Z_{Lbc} \end{pmatrix} \begin{pmatrix} I_{fb} \\ I_{fb} \\ I_{fc} \end{pmatrix} + \begin{pmatrix} Z_{Lbn'} - Z_{Lbn'} \\ Z_{Lbb'} - Z_{Lbb'} \\ Z_{Lbc'} - Z_{Lbc'} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} = \quad (10)$$

$$d \begin{pmatrix} Z_{Lcn} - Z_{Lcn} \\ Z_{Lcb} - Z_{Lcb} \\ Z_{Lcc} - Z_{Lcc} \end{pmatrix} \begin{pmatrix} I_{Sc} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} - (1-d) \begin{pmatrix} Z_{Lcn} - Z_{Lcn} \\ Z_{Lcb} - Z_{Lcb} \\ Z_{Lcc} - Z_{Lcc} \end{pmatrix} \begin{pmatrix} I_{fb} \\ I_{fb} \\ I_{fc} \end{pmatrix} + \begin{pmatrix} Z_{Lcn'} - Z_{Lcn'} \\ Z_{Lcb'} - Z_{Lcb'} \\ Z_{Lcc'} - Z_{Lcc'} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} = \quad (11)$$

그림 2의 계통에서 충전전류를 무시한다면, 식 (10)과 (11)에 $I_{fb} = -I_{Sb}$ 를 대입하여 정리할 수 있다.

$$(1-d) \begin{pmatrix} Z_{Lbn} - Z_{Lbn} \\ Z_{Lbb} - Z_{Lbb} \\ Z_{Lbc} - Z_{Lbc} \end{pmatrix} \begin{pmatrix} I_{fb} \\ I_{fb} \\ I_{fc} \end{pmatrix} = \begin{pmatrix} Z_{Lbn} - Z_{Lbn} \\ d(Z_{Lbn} - Z_{Lbn}) \\ d(Z_{Lbc} - Z_{Lbc}) \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{Lbn'} - Z_{Lbn'} \\ Z_{Lbb'} - Z_{Lbb'} \\ Z_{Lbc'} - Z_{Lbc'} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \quad (12)$$

$$(1-d) \begin{pmatrix} Z_{Lcn} - Z_{Lcn} \\ Z_{Lcb} - Z_{Lcb} \\ Z_{Lcc} - Z_{Lcc} \end{pmatrix} \begin{pmatrix} I_{fb} \\ I_{fb} \\ I_{fc} \end{pmatrix} = \begin{pmatrix} Z_{Lcn} - Z_{Lcn} \\ d(Z_{Lcn} - Z_{Lcn}) \\ d(Z_{Lcc} - Z_{Lcc}) \end{pmatrix} \begin{pmatrix} I_{Sc} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{Lcn'} - Z_{Lcn'} \\ Z_{Lcb'} - Z_{Lcb'} \\ Z_{Lcc'} - Z_{Lcc'} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \quad (13)$$

식 (12)와 (13)에서 I_{fb} 와 I_{fc} 를 구하면,

$$I_{fb} = \frac{\begin{pmatrix} c_{11} & dc_{12} & dc_{13} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} d_{11} & d_{12} & d_{13} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix}}{(1-d) \times c_{12}} \quad (14)$$

$$I_{fc} = \frac{\begin{pmatrix} c_{21} & dc_{22} & dc_{23} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} d_{21} & d_{22} & d_{23} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix}}{(1-d) \times c_{23}} \quad (15)$$

여기서,

$$\begin{aligned} c_{11} &= (Z_{Lcn} - Z_{Lcn})(Z_{Lbn} - Z_{Lbn}) - (Z_{Lbc} - Z_{Lbc})(Z_{Lcn} - Z_{Lcn}) \\ c_{12} &= (Z_{Lcn} - Z_{Lcn})(Z_{Lbb} - Z_{Lbb}) - (Z_{Lbc} - Z_{Lbc})(Z_{Lcb} - Z_{Lcb}) = c_{23} \\ c_{13} &= (Z_{Lcn} - Z_{Lcn})(Z_{Lbc} - Z_{Lbc}) - (Z_{Lbc} - Z_{Lbc})(Z_{Lcc} - Z_{Lcc}) = 0 \\ d_{11} &= (Z_{Lcn} - Z_{Lcn})(Z_{Lbn'} - Z_{Lbn'}) - (Z_{Lbc} - Z_{Lbc})(Z_{Lcn'} - Z_{Lcn'}) \\ d_{12} &= (Z_{Lcn} - Z_{Lcn})(Z_{Lbb'} - Z_{Lbb'}) - (Z_{Lbc} - Z_{Lbc})(Z_{Lcb'} - Z_{Lcb'}) \\ d_{13} &= (Z_{Lcn} - Z_{Lcn})(Z_{Lbc'} - Z_{Lbc'}) - (Z_{Lbc} - Z_{Lbc})(Z_{Lcc'} - Z_{Lcc'}) \\ c_{21} &= (Z_{Lbn} - Z_{Lbn})(Z_{Lcn} - Z_{Lcn}) - (Z_{Lcb} - Z_{Lcb})(Z_{Lbn} - Z_{Lbn}) \\ c_{22} &= (Z_{Lbn} - Z_{Lbn})(Z_{Lcb} - Z_{Lcb}) - (Z_{Lcb} - Z_{Lcb})(Z_{Lbb} - Z_{Lbb}) = 0 \\ c_{23} &= (Z_{Lbn} - Z_{Lbn})(Z_{Lcc} - Z_{Lcc}) - (Z_{Lcb} - Z_{Lcb})(Z_{Lbc} - Z_{Lbc}) = c_{12} \\ d_{21} &= (Z_{Lbn} - Z_{Lbn})(Z_{Lcn'} - Z_{Lcn'}) - (Z_{Lcb} - Z_{Lcb})(Z_{Lbn'} - Z_{Lbn'}) \\ d_{22} &= (Z_{Lbn} - Z_{Lbn})(Z_{Lcb'} - Z_{Lcb'}) - (Z_{Lcb} - Z_{Lcb})(Z_{Lbb'} - Z_{Lbb'}) \\ d_{23} &= (Z_{Lbn} - Z_{Lbn})(Z_{Lcc'} - Z_{Lcc'}) - (Z_{Lcb} - Z_{Lcb})(Z_{Lbc'} - Z_{Lbc'}) \end{aligned}$$

고장점 전류는 $I_{fb} = I_{Sb} + I_{fb} - I_{Sb} - I_{fb}$ 이므로,

$$I_{fb} = \frac{\begin{pmatrix} c_{11} - c_{21} \\ c_{12} - c_{22} \\ c_{13} - c_{23} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} d_{11} - d_{21} \\ d_{12} - d_{22} \\ d_{13} - d_{23} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix}}{(1-d) c_{12}} \quad (16)$$

식 (9)에 식 (16)을 대입하여 정리하면 다음과 같다.

$$V_{sb} - V_{sc} = d \left\{ \begin{pmatrix} Z_{Lbn} - Z_{Len} \\ Z_{Lbb} - Z_{Lcb} \\ Z_{Lbc} - Z_{Lcc} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{Lbn'} - Z_{Len'} \\ Z_{Lbb'} - Z_{Lcb'} \\ Z_{Lbc'} - Z_{Lcc'} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\} + R_f \frac{\begin{pmatrix} c_{11} - c_{21} \\ c_{12} - c_{22} \\ c_{13} - c_{23} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} d_{11} - d_{21} \\ d_{12} - d_{22} \\ d_{13} - d_{23} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix}}{(1-d) c_{12}} \quad (17)$$

식 (17)를 고장거리 d에 관하여 정리하면 다음과 같다.

$$(a_{21} + jb_{21})d^2 + (a_{22} + jb_{22})d + (a_{23} + jb_{23}) + (a_{24} + jb_{24})R_f = 0 \quad (18)$$

여기서,

$$\begin{aligned} a_{21} + jb_{21} &= \left\{ \begin{pmatrix} Z_{Lbn} - Z_{Len} \\ Z_{Lbb} - Z_{Lcb} \\ Z_{Lbc} - Z_{Lcc} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{Lbn'} - Z_{Len'} \\ Z_{Lbb'} - Z_{Lcb'} \\ Z_{Lbc'} - Z_{Lcc'} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\} \times c_{12} \\ a_{22} + jb_{22} &= - \left\{ \begin{pmatrix} Z_{Lbn} - Z_{Len} \\ Z_{Lbb} - Z_{Lcb} \\ Z_{Lbc} - Z_{Lcc} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} Z_{Lbn'} - Z_{Len'} \\ Z_{Lbb'} - Z_{Lcb'} \\ Z_{Lbc'} - Z_{Lcc'} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\} + (V_{sb} - V_{sc}) \times c_{12} \\ a_{23} + jb_{23} &= (V_{sb} - V_{sc}) \times c_{12} \\ a_{24} + jb_{24} &= - \left\{ \begin{pmatrix} c_{11} - c_{21} \\ c_{12} - c_{22} \\ c_{13} - c_{23} \end{pmatrix} \begin{pmatrix} I_{Sb} \\ I_{Sb} \\ I_{Sc} \end{pmatrix} + \begin{pmatrix} d_{11} - d_{21} \\ d_{12} - d_{22} \\ d_{13} - d_{23} \end{pmatrix} \begin{pmatrix} I_{Tn} \\ I_{Tb} \\ I_{Tc} \end{pmatrix} \right\} \end{aligned}$$

고장거리 d는 식 (7) 과 (8)에서와 같은 방법으로 구한다.

3. 사례 연구

3.1 시험 계통

본 논문에서 제시한 고장점 표정 알고리즘을 검증하기 위하여 그림 3에 도시한 765(kV), 137.374(km)의 연가/비연가 송전선로를 EMTP의 Line Constants를 이용하여 모의하였으며, 시험계통 전원 데이터는 표 2에 도시하였으며, 부하전류의 영향을 고려하기 위하여 양단 전원의 상차각을 10°로 하였다.

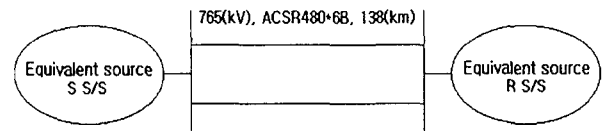


그림 3 시험 계통
Fig. 3 Model system

표 2 시험 계통 전원 데이터(Ω)

Table 2 Model system source impedance data(Ω)

구 분	S 모선	R 모선
정상분	0.7607925+j35.9328150	1.5801075+j42.487335
역상분	0.7607925+j35.7572475	1.5801075+j42.136200
영상분	3.2772600+j39.9708675	6.9056555+j62.5605525

제안된 알고리즘의 시험을 위한 데이터는 단상지락고장과 상간단락고장 각각의 경우에 대하여 고장위상각 0(°)와 90(°), 고장거리 10~90(%), 고장저항 0, 10, 20(Ω)으로 변화시켰다. 전압, 전류 데이터는 60[Hz] 계통에서 주기 당 96샘플링(5760[Hz]) 하였으며, 중첩방지(anti-aliasing) 및 고조파 제거를 위하여 차단주파수 300[Hz], 이득 0.1의 저역 필터를 통과한 후, 한 주기 이상푸리에 변환(Discrete Fourier

Transform)을 사용하여 전력 주파수 성분을 추출하였다.
 오차는 전체 선로길이(P.U)에 대한 백분율로 나타내었다.

$$Error(\%) = \frac{\text{추정고장거리} - \text{실제고장거리}}{\text{전체선로길이}} \times 100 \quad (19)$$

3.2 연가 송전선로에서 시험 결과

연가 송전선로에 본 논문에서 제시한 고장점 표정 알고리즘을 적용한 경우에 고장점 표정 오차를 표 3, 4에 도시하였으며 양호한 결과를 얻었다. 표 3에서 a상 지락고장 시에 고장거리 90(%), 고장위상각 0(°), 고장저항 0(Ω)에서 최대 0.55(%)의 오차를 보였으며, 표 4에서 bc상 단락고장 시에 고장거리 90(%), 고장위상각 90(°), 고장저항 20(Ω)에서 최대 0.77(%)의 오차를 보였다. 이러한 오차는 송전선로의 충전전류 무시, 전력주파수 추출 계산오차 등으로 볼 수 있다.

표 3 단상 지락 고장시의 오차(%)

Table 3 Estimation error(%) for phase to ground fault in transposed lines

구 분		고 장 지 점(%)								
고장 위상	고장 저항	10	20	30	40	50	60	70	80	90
0°	0	0.00	0.01	0.03	0.05	0.10	0.18	0.27	0.40	0.55
	10	0.00	0.00	0.01	0.04	0.08	0.15	0.25	0.36	0.52
	20	0.00	0.00	0.01	0.04	0.08	0.15	0.25	0.36	0.52
90°	0	0.00	0.00	0.00	0.01	0.08	0.15	0.25	0.36	0.46
	10	0.00	0.00	0.01	0.03	0.08	0.15	0.25	0.36	0.50
	20	0.00	0.00	0.01	0.04	0.08	0.15	0.25	0.37	0.52

표 4 상간 단락 고장시의 오차(%)

Table 4 Estimation error(%) for phase to phase short fault in transposed lines

구 분		고 장 지 점(%)								
고장 위상	고장 저항	10	20	30	40	50	60	70	80	90
0°	0	0.01	0.02	0.04	0.07	0.14	0.26	0.40	0.56	0.76
	10	0.00	0.01	0.03	0.06	0.13	0.22	0.36	0.54	0.77
	20	0.00	0.01	0.03	0.06	0.13	0.22	0.36	0.54	0.77
90°	0	0.01	0.02	0.04	0.06	0.13	0.33	0.42	0.57	0.76
	10	0.00	0.01	0.03	0.07	0.13	0.23	0.36	0.54	0.77
	20	0.00	0.01	0.03	0.07	0.13	0.23	0.36	0.54	0.77

3.3 비연가 송전선로에서 시험 결과

그림 4는 ab상 단락고장 시에 S단 전압을 도시한 것으로 기본과 성분 이외에 고조파 성분으로 인하여 상당히 왜곡되어 있음을 알 수 있으며 전압의 외형률은 113.7(%)로 측정되었다. 그림 5는 a상 지락고장 시에 S단 전류를 도시한 것으로 시정수(time constants)는 57.3(ms)로 분석되었다.

비연가 송전선로에서 고장점 표정 오차를 표 5~8에 도시하였다. a상 지락고장 시에 고장위상각 90(°), 고장거리 90(%), 고장저항 20(Ω)에서 최대 4.56(%)의 오차를 보였으며, ab상 단락고장 시에 고장위상각 0(°), 고장거리 90(%), 고장저항 20(Ω)에서 최대 -2.21(%)의 오차를 보였다. 이는 정상상태 시에 S모선-R모선 간의 충전전류의 크기가 약 8(%)정도 되는데 식 (3), (12)와 (13)에서 무시하였고, 그림

(4)와 (5)의 전력주파수 추출에 계산오차 등이 고장점 표정 오차를 크게 한 것으로 예상된다. 인접회선의 전류와 상호 임피던스를 사용하였음에도 불구하고 원거리 오차가 크게 나타난 것을 보면 상기 오차 또는 이외의 요인들에 대한 복합적인 고찰이 필요하다.

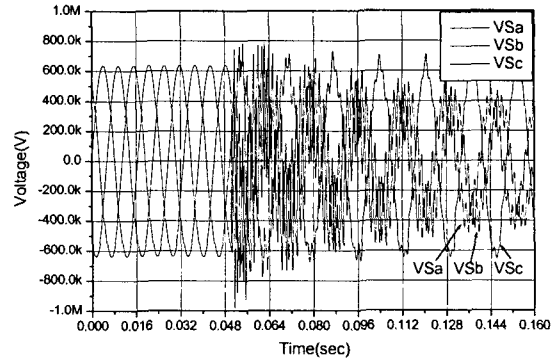


그림 4 ab상 단락고장시 S단 전압
 (고장지점 90(%), 고장저항 0(Ω), 고장위상각 90(°))
 Fig. 4 Voltage signals on ab phase to phase short fault in S BUS(fault distance 90(°), fault resistance 0(Ω), fault inception angle 90(°))

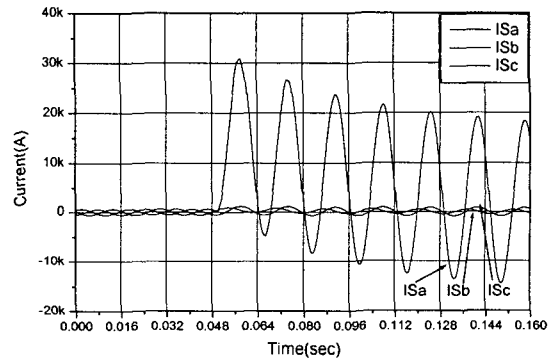


그림 5 a상 지락고장시 S단 전류
 (고장지점 10(%), 고장저항 0(Ω), 고장위상각 0(°))
 Fig. 5 Current signals on a phase to ground fault in S BUS(fault distance 10(°), fault resistance 0(Ω), fault inception angle 0(°))

표 5 단상 지락 고장시의 오차(고장위상각 0(°))(%)

Table 5 Estimation error(%) for phase to ground fault with fault inception angle 0(°) in untransposed lines

구 분		고 장 지 점(%)								
고장 위상	고장 저항	10	20	30	40	50	60	70	80	90
a	0	0.19	0.39	0.62	0.87	1.17	1.52	1.94	2.45	3.07
	10	0.21	0.41	0.64	0.90	1.21	1.58	2.05	2.66	3.62
	20	0.25	0.46	0.69	0.97	1.31	1.72	2.27	3.05	4.55
b	0	-0.05	-0.09	-0.13	-0.15	-0.17	-0.16	-0.14	-0.10	-0.05
	10	-0.05	-0.09	-0.13	-0.15	-0.16	-0.15	-0.13	-0.08	-0.03
	20	-0.05	-0.08	-0.12	-0.13	-0.14	-0.12	-0.09	-0.03	0.03
c	0	-0.10	-0.22	-0.35	-0.48	-0.61	-0.74	-0.88	-1.04	-1.23
	10	-0.11	-0.23	-0.37	-0.50	-0.64	-0.78	-0.93	-1.10	-1.31
	20	-0.11	-0.23	-0.37	-0.50	-0.65	-0.79	-0.95	-1.13	-1.37

표 6 단상 지락 고장시의 오차(고장위상각 90°)(%)
 Table 6 Estimation error(%) for phase to ground fault with fault inception angle 90° in untransposed lines

구분		고장 지점(%)								
고장상	고장저항	10	20	30	40	50	60	70	80	90
a	0	0.18	0.37	0.59	0.85	1.15	1.49	1.89	2.42	2.97
	10	0.21	0.41	0.64	0.90	1.21	1.58	2.05	2.66	3.62
	20	0.25	0.46	0.69	0.97	1.31	1.73	2.27	3.06	4.56
b	0	-0.06	-0.11	-0.15	-0.18	-0.20	-0.22	-0.19	-0.14	-0.13
	10	-0.05	-0.10	-0.13	-0.16	-0.16	-0.15	-0.13	-0.09	-0.04
	20	-0.04	-0.08	-0.11	-0.13	-0.14	-0.12	-0.08	-0.03	0.03
c	0	-0.11	-0.23	-0.35	-0.51	-0.63	-0.77	-0.90	-1.10	-1.25
	10	-0.11	-0.23	-0.36	-0.50	-0.64	-0.78	-0.93	-1.09	-1.31
	20	-0.11	-0.23	-0.36	-0.50	-0.64	-0.79	-0.95	-1.13	-1.36

표 7 상간 단락 고장시의 오차(고장위상각 0°)(%)
 Table 7 Estimation error(%) for phase to phase short fault with fault inception angle 0° in untransposed lines

구분		고장 지점(%)								
고장상	고장저항	10	20	30	40	50	60	70	80	90
ab	0	-0.14	-0.27	-0.38	-0.46	-0.49	-0.46	-0.36	-0.16	0.21
	10	-0.49	-0.65	-0.79	-0.92	-1.02	-1.07	-1.08	-1.05	-1.03
	20	-0.83	-1.02	-1.21	-1.37	-1.53	-1.66	-1.77	-1.90	-2.21
bc	0	0.02	0.04	0.08	0.13	0.20	0.29	0.41	0.57	0.77
	10	0.02	0.04	0.07	0.11	0.18	0.27	0.39	0.54	0.72
	20	0.02	0.04	0.07	0.11	0.17	0.26	0.38	0.53	0.71
ca	0	0.00	0.00	0.01	0.01	0.04	0.09	0.16	0.24	0.35
	10	0.04	0.04	0.04	0.06	0.09	0.15	0.24	0.37	0.57
	20	0.09	0.10	0.11	0.14	0.19	0.27	0.39	0.59	0.99

표 8 상간 단락 고장시의 오차(고장위상각 90°)(%)
 Table 8 Estimation error(%) for phase to phase short fault with fault inception angle 90° in untransposed lines

구분		고장 지점(%)								
고장상	고장저항	10	20	30	40	50	60	70	80	90
ab	0	-0.13	-0.31	-0.37	-0.50	-0.53	-0.49	-0.39	-0.24	0.11
	10	-0.49	-0.65	-0.79	-0.92	-1.02	-1.07	-1.08	-1.05	-1.03
	20	-0.83	-1.02	-1.20	-1.37	-1.53	-1.66	-1.77	-1.90	-2.21
bc	0	0.04	0.01	0.08	0.14	0.15	0.22	0.34	0.46	0.68
	10	0.02	0.04	0.07	0.11	0.18	0.27	0.39	0.54	0.72
	20	0.02	0.04	0.07	0.11	0.18	0.27	0.39	0.53	0.71
ca	0	-0.01	0.00	0.01	0.02	0.05	0.11	0.19	0.26	0.34
	10	0.04	0.04	0.04	0.06	0.09	0.15	0.24	0.37	0.57
	20	0.09	0.10	0.11	0.14	0.19	0.27	0.40	0.59	1.00

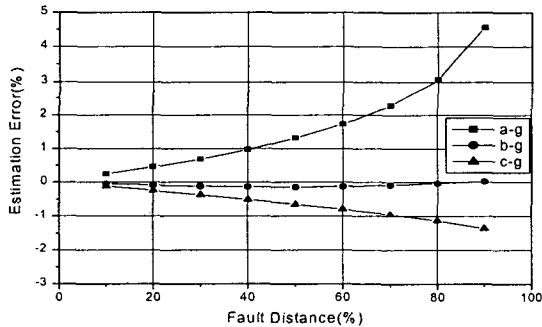


그림 6 단상 지락 고장시의 거리별 오차(%)
 (고장위상각 90°, 고장저항 20Ω)
 Fig. 6 Estimation error(%) for phase to ground fault with fault inception angle 90° and fault resistance 20Ω

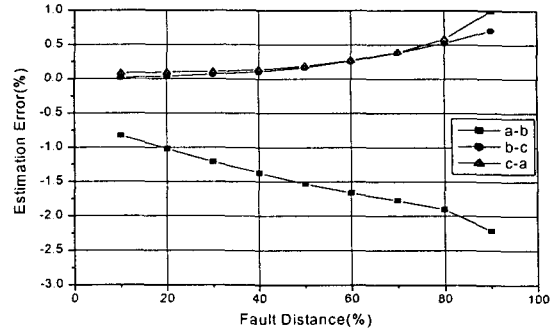


그림 7 상간 단락 고장시의 거리별 오차(%)
 (고장위상각 0°, 고장저항 20Ω)
 Fig. 7 Estimation error(%) for phase to phase short fault with fault inception angle 0° and fault resistance 20Ω

그림 6은 단상지락 고장 시에 고장위상각 90°, 고장저항이 20(Ω)일 때 거리별 고장점표정 오차를 도시한 것으로 최대 4.56(%)의 오차를 보였으며, 그림 7은 상간 단락고장 시에 고장위상각 0°, 고장저항이 20(Ω)일 때 거리별 고장점표정 오차를 도시한 것으로 최대오차 -2.21(%)를 나타내었다. 특히, a상 지락고장 시와 ab상 단락고장 시에 원거리에서 오차가 크게 나타나고 있다.

4. 결 론

본 논문에서는 비연가 송전 계통에 적용할 수 있는 고장점 표정 알고리즘을 제안하였다. 제안된 알고리즘은 계전기 설치 점에서의 3상 전압, 6상 전류와 병행회선의 상호 임피던스로 구성된 전압방정식을 기본으로 하며, 고장점 전류는 병행회선에 KVL을 적용하여 추정하고, 고장점 저항은 수식에서 소거한다. 사례 연구 결과, 연가선로에서는 bc상 단락 고장 시에 최대 0.79(%)의 양호한 오차를 보였다. 비연가 선로에서는 인접회선의 전류와 상호 임피던스를 보상하였으나, 충전전류, 전력과파수 추출 계산 오차와 불평형 부하전류 등으로 인하여 a상 지락고장 시에 최대 4.56(%)의 오차를 가져온 것으로 분석된다. 본 논문에서 제안된 고장점 표정 알고리즘은 현재 대칭분을 이용한 일반적인 고장점 표정 알고리즘의 오차를 크게 개선한 방법으로 765(kV) 비연가 송전 계통에 유용하게 사용되리라 사료되며, 향후 연구방향은 비연가 송전선로에서 인접회선의 전류와 상호 임피던스를 사용하였음에도 불구하고 원거리 오차가 크게 나타나는 원인을 고찰하여 오차를 최소화하는 것이다.

5. 부 록

5.1 기존 알고리즘에 대한 고찰

5.1.1 단상지락고장 시 고장점 표정[8]

a상 지락고장 시에 계전기 설치 점에서의 전압방정식은 다음과 같다.

$$V_{Sa} = d_i Z_{L1} I_{Sa} + (Z_{L0} - Z_{L1}) I_{S0} + Z_m I_{T0} + R_f I_{fa} \quad (20)$$

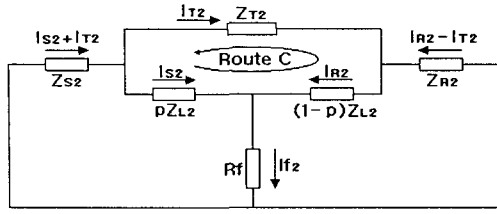


그림 8 역상분 회로
Fig. 8 Negative-sequence impedance diagram after a fault

그림 8 역상분 회로에서 Route C에 KVL을 적용하여 I_{R2} 에 대하여 정리하면,

$$I_{R2} = \frac{d Z_{L2} I_{S2} - Z_{T2} I_{T2}}{(1-d) Z_{L2}} \quad (21)$$

고장점 전류는 $I_f = I_{S2} + I_{R2}$ 이므로,

$$I_{R2} = \frac{Z_{L2} I_{S2} - Z_{T2} I_{T2}}{(1-d) Z_{L2}} \quad (22)$$

식 (20)에 식 (22)를 대입하여 정리하면 다음과 같다.

$$V_{S1} = d \{ Z_{L1} I_{S1} + (Z_{L0} - Z_{L1}) I_{S0} + Z_m I_{T0} \} + 3 R_f \frac{Z_{L2} I_{S2} - Z_{T2} I_{T2}}{(1-d) Z_{L2}} \quad (23)$$

식 (23)을 고장거리 d에 관하여 정리하면 다음과 같다,

$$(a_{31} + j b_{31}) d^2 + (a_{32} + j b_{32}) d + (a_{33} + j b_{33}) + (a_{34} + j b_{34}) R_f = 0 \quad (24)$$

여기서,

$$\begin{aligned} a_{31} + j b_{31} &= Z_{L2} \{ Z_{L1} I_{S1} + (Z_{L0} - Z_{L1}) I_{S0} + Z_m I_{T0} \} \\ a_{32} + j b_{32} &= - Z_{L2} \{ Z_{L1} I_{S1} + (Z_{L0} - Z_{L1}) I_{S0} + Z_m I_{T0} + V_{S1} \} \\ a_{33} + j b_{33} &= Z_{L2} V_{S1} \\ a_{34} + j b_{34} &= - 3 (Z_{L2} I_{S2} - Z_{T2} I_{T2}) \end{aligned}$$

고장거리 d는 식 (7) 과 (8)에서와 같은 방법으로 구한다.

5.1.2 상간단락고장 시 고장점 표정[8]

bc상 단락고장 시에 계전기 설치 점에서의 전압방정식은 다음과 같다.

$$V_{Sb} - V_{Sc} = d Z_{L1} (I_{Sb} - I_{Sc}) + R_f I_{fbc} \quad (25)$$

식 (25)에서 I_{fbc} 는 순수고장전류분과 정상분 전류분배계수를 이용하여 다음과 같이 나타낼 수 있다.

$$V_{Sb} - V_{Sc} = d Z_{L1} (I_{Sb} - I_{Sc}) + R_f \frac{I_{Sbf} - I_{Scf}}{CDF_{S1}} \quad (26)$$

여기서,

$$\begin{aligned} CDF_{S1} &= \frac{d B_{S1} + C_{S1}}{A_{S1}} \\ A_{S1} &= Z_{L1} (Z_{S1} + Z_{R1}) + Z_{T1} (Z_{S1} + Z_{R1} + Z_{L1}) \\ B_{S1} &= - Z_{L1} (Z_{S1} + Z_{R1} + Z_{T1}) \\ C_{S1} &= Z_{L1} (Z_{S1} + Z_{R1} + Z_{T1}) + Z_{T1} Z_{R1} \end{aligned}$$

식 (26)을 고장거리 d에 관하여 정리하면 다음과 같다.

$$(a_{41} + j b_{41}) d^2 + (a_{42} + j b_{42}) d + (a_{43} + j b_{43}) + (a_{44} + j b_{44}) R_f = 0 \quad (27)$$

여기서,

$$\begin{aligned} a_{41} + j b_{41} &= Z_{L1} (I_{Sb} - I_{Sc}) B_{S1} \\ a_{42} + j b_{42} &= Z_{L1} (I_{Sb} - I_{Sc}) C_{S1} - (V_{Sb} - V_{Sc}) B_{S1} \\ a_{43} + j b_{43} &= - (V_{Sb} - V_{Sc}) C_{S1} \\ a_{44} + j b_{44} &= (I_{Sbf} - I_{Scf}) A_{S1} \end{aligned}$$

고장거리 d는 식 (7) 과 (8)에서와 같은 방법으로 구한다.

5.2 기존 알고리즘에 대한 사례 연구

그림 9와 10은 5.1절에 예시한 알고리즘으로 3.1절에 언급한 동일한 시험조건 하에서 비연가 송전선로에 고장점 표정 오차를 도기한 것이다. a상 지락고장 시에 최대 -9.01(%)의 오차를 보였으며, ab상 단락고장 시에 최대 -8.28(%)의 오차를 보였다. 비연가 송전선로에서의 고장점 표정은 선로 차기 및 상호 임피던스 등에 의해 오차가 발생되므로 현재 일반적으로 이용되고 있는 대칭분을 사용하는 기존 알고리즘은 비연가 송전선로에서 정확한 고장거리를 추정하기가 힘들기 때문에 합리적인 보상방법이 필요하다.

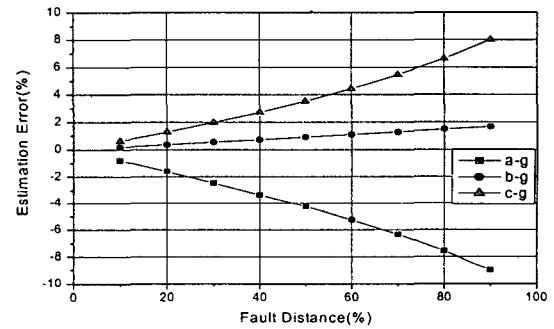


그림 9 단상 지락 고장시의 거리별 오차(%)
(고장위상각 90°, 고장저항 20(Ω))

Fig. 9 Estimation error(%) for phase to ground fault with fault inception angle 90(°) and fault resistance 20(Ω)

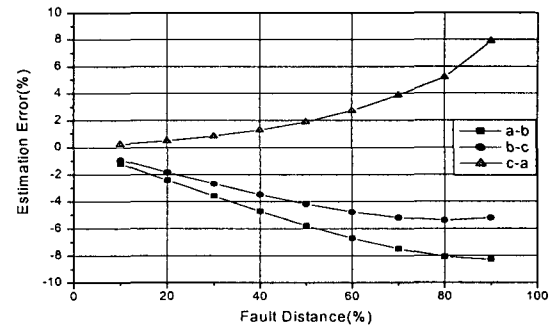


그림 10 상간 단락 고장시의 거리별 오차(%)
(고장위상각 0°, 고장저항 20(Ω))

Fig. 10 Estimation error(%) for phase to phase short fault with fault inception angle 0(°) and fault resistance 20(Ω)

참 고 문 헌

[1] Damir Novosel, David G. Hart, Eric Udren, Jim Garytty, "Unsynchronized Two-Terminal Fault Location Estimation", IEEE Trans. on PWRD Vol. 1, pp. 130-138, 1995

[2] T. Takaki, Y. Yamakoshi, J. Baba, K. Uemura, T. Sakaguchi, "A New Algorithm of an Accurate Fault Location for EHV/UHV Transmission Lines : Part I - Fourier Transform Method", IEEE Trans. on PAS-100, No. 3, pp. 1316-1323, 1988

[3] M. S. Sachdev, R. Agarwal, "A Technique for Estimating Transmission Line Fault Location Algorithms for Digital Impedance Relay Measurements", IEEE Trans. on PWRD, Vol. 3, No. 1, pp. 121-129, 1988

[4] G. B. Ansell, N. C. Pahalawaththa, "Maximun Likelihood Estimation of Fault Location on Transmission Lines Using Travelling Waves", IEEE Trans. on PWRD, Vol. 9, No. 9, pp. 680-689, 1994

[5] A. Wiszniewski, "Accurate Fault Impedance Locating Algorithm", IEE Proceedings, Vol. 130, pt. C, No. 6, pp 311-314, 1983

[6] Zhang Qingchao, Zhang Yao, Song Wennan, Fang Dazhong, "Transmission Line Fault Location for Single-phase-to-earth Fault on Non-direct-ground Neutral System", IEEE Trans. on PWRD, Vol. 13, No. 4, pp.1086-1092, 1998

[7] Zhang Qingchao, Zhang Yao, Song Wennan, Yu Yixin, Wang Zhigang, "Fault Location of Two-parallel Transmission Line for Non-earth Fault Using One-terminal Data", IEEE Trans. on PWRD, Vol. 14, No. 3, pp. 863-867, 1999

[8] Yong-Jin Ahn, Sang-Hee Kang, Myong-Song Choi, Seung-Jae Lee, "An Accurate Fault Location Algorithm for Double-Circuit Transmission Systems", IEEE PES SM 2000, pp 1344-1349, 2000

[9] T. Nagasawa, M. Abe, N. Otsuzuki, T. Emura, Y. Jikihara, M. Takeuchi, "Development of a New Fault Location Algorithm for Multi-Terminal Two Parallel Transmission Lines", IEEE Trans. on PWRD, Vol. 7, No. 3, pp. 1516-1532, 1992

[10] M. Abe, N. Otsuzuki, T. Emura, M. Takeuchi, "Development of a New Fault Location System for Multi-Terminal Single Transmission Lines", IEEE Trans. on PWRD, Vol. 10, No. 7, pp. 159-168, 1995

[11] Ching-Shan Chen, Chih-Wen Liu, Joe-Air Jiang, "A New Adaptive PMU Based Protection Scheme for Transposed/Untransposed Parallel Transmission Lines", IEEE Trans. on PWRD, Vol. 17, No. 2, pp. 395-404, 2002

[12] M. El. Hami, L. L. Lai, D. J. Daruvala, A. T. Johns, "A New Travelling-Wave Based Scheme for Fault Detextion on Overhead Power Distribution Feeders", IEEE Trans. on PWRD, Vol. 7, No. 4, pp. 1825-1833, 1992

[13] Adly A. Girgis, Christopher M. Fallon, David L. Lubkeman, "A Fault Location Technique for Rural Distribution Feeders", IEEE Trans. on Industry Applications Vol. 29, No. 6, pp. 1170-1175, 1993

[14] Jun Zhu, Lubkeman, D. L., Girgis, A. A., "Automated Fault Location and Diagnosis on Electerri Power Distribution Feeders", IEEE Trans. on PWRD,

Vol. 12, No. 2, pp. 801-809, 1997

[15] R. Das, M. S. Sachdev, T. S. Sidhu, "A Fault Locator for Radial Sub-Transmission and Distribution Lines", IEEE PES SM 2000, pp. 443-448, 2000

[16] Myeon-Song Choi, Seung-Jae Lee, Duck-Su Lee, Bo-Gun Jin, Byung-Woon Min, "A New Fault Location Algrcithm for a Line to Ground Fault Using Direct 3-Phase Circuit Analysis in Distribution Power Networks", Trans. KIEE. Vol. 51A, No. 8, pp. 409-416, 2002

[17] Soon-kyo Seo, Sei-Il Oh, Myoung-Ho Kim, "A Study of the Distance Relay and Fault Location Accuracy in Case of Un-Transposed Transmission Line", Proceedings of The PSPES Annual Conference 2001, pp. 82-89, 2001

[18] "Instruction Manual of M32EPCKR01 Transmission Line Protection Relay Scheme for KEPCO", Mitsubishi Electric Corporation

[19] "Digital Relay Seminar for Type MXL1E and D2L7E", Toshiba Corporation Seondo Electric Co., LTD, 1999

저 자 소 개



안 용 진 (安 龍 珍)

1968년생. 1998년 명지대 전기공학과 졸업. 2000년 동 대학원 전기공학과 졸업(석사). 2003년 동 대학원 전기공학과 수료(박사). 현재 유호전기공업(주) 부설연구소 책임연구원.
Tel : 031) 871-8801 ex)289
Fax : 031) 871-8810
E-mail : yjahn@youho.co.kr



강 상 희 (姜 相 熙)

1962년생. 1985년 서울대 공대 전기공학과 졸업. 1987년 동 대학원 전기공학과 졸업(석사). 1993년 동 대학원 전기공학과 졸업(공박). 현재 명지대학교 공대 전기정보제어공학부 부교수.
Tel : 031) 330-6364
Fax : 031) 330-6816
E-mail : shkang@mju.ac.kr