

## EST(Emitter Switched Thyristor) 소자의 트랜치 전극에 의한 특성 변화 연구

### A Study on the Change of Electrical Characteristics in the EST(Emitter Switched Thyristor) with Trench Electrodes

김대원<sup>1</sup>, 성만영<sup>1,a</sup>, 강이구<sup>2</sup>  
(Dae Won Kim<sup>1</sup>, Man Young Sung<sup>1,a</sup>, and Ey Goo Kang<sup>2</sup>)

#### Abstract

In this paper, a new two types of EST(Emitter Switched Thyristor) structures are proposed to improve the electrical characteristics including the current saturation capability. Besides, the two dimensional numerical simulations were carried out using MEDICI to verify the validity of the device and examine the electrical characteristics. First, a vertical trench electrode EST device is proposed to improve snap-back effect and its blocking voltage. Second, a dual trench gate EST device is proposed to obtain high voltage current saturation characteristics and high blocking voltage and to eliminate snap-back effect. The two proposed devices have superior electrical characteristics when compared to conventional devices.

In the vertical trench electrode EST, the snap-back effect is considerably improved by using the vertical trench gate and cathode electrode and the blocking voltage is one times better than that of the conventional EST. And in the dual trench gate EST, the snap-back effect is completely removed by using the series turn-on and turn-off MOSFET and the blocking voltage is one times better than that of the conventional EST. Especially current saturation capability is three times better than that of the other EST.

**Key Words** : EST, Trench electrode, Current Saturation, Snap-back, Dual Trench Gate

#### 1. 서론

전력용 반도체들은 그 주요 영역인 전력 전자 산업의 비약적인 발전과 더불어 산업 설비, 가전기 기, 수송, 정보, 통신용 시스템 등의 광범위한 분야에서 전원 장치, 전력 변환 및 제어 장치 등의 핵심 부품으로 꾸준한 발전을 계속하고 있으며 최근

전기 에너지에 대한 의존도가 높아지면서 고도 정보화 사회와 결합하여 전력 반도체 소자들의 응용 범위가 더욱 넓어지고 있는 실정이다. 현재 전력용 반도체는 대용량화, 고내압화 되는 산업 시스템의 핵심 부품으로 부각되고 있으며 냉장고, 세탁기, 청소기 등에는 인텔리전트 파워 IC 기술을 적용한 인버터가 이용되고 있고 최근 활발히 개발되고 있는 PDP(Plasma Display Panel)의 구동 IC 회로에 포함되는 등 다양한 가전제품에도 응용되고 있다. 또한 인버터는 컴퓨터의 무정전 전원, 엘리베이터, 로봇 등의 공장 설비, 전기 자동차, 지하철 등 정보, 산업, 교통, 전력의 각 분야에서 계속해서 응용 분야를 넓혀가고 있다[1-3].

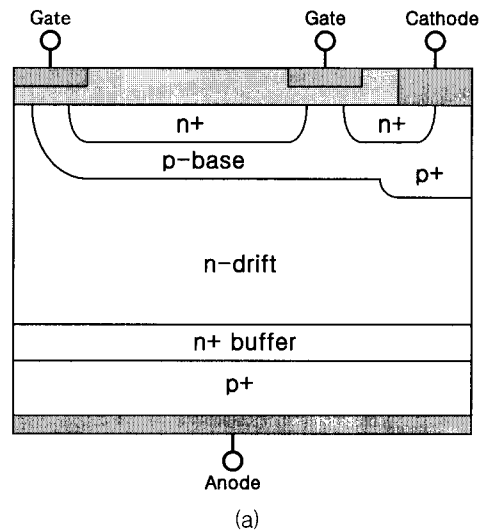
1. 고려대학교 전기공학과  
(서울시 성북구 안암동 5가)  
2. 극동대학교 전자공학과  
a. Corresponding Author : semicad@korea.ac.kr  
접수일자 : 2003. 7. 21  
1차 심사 : 2003. 8. 19  
심사완료 : 2003. 12. 2

오늘날 활발히 연구가 진행되고 있는 MOS 구동 사이리스터의 대표적인 소자는 MCT(MOS-Controlled Thyristor), BRT(Base Resistance Thyristor), EST(Emitter Switched Thyristor) 등이 발표되었고, 최근에는 DGMOT(Dual Gate MOS Thyristor), IGT(Insulated Gate Thyristor), IBMCT(Insulated Base MOS-Controlled Thyristor) 등이 보고되고 있다. 개발 초기의 MOS 구동 사이리스터인 MCT는 삼중 확산 구조로 이루어져 있어 공정이 IGBT나 전력용 MOSFET 등에 비하여 상당히 어려운 면이 있었다. 이것은 이후 EST, BRT 등이 개발되면서 IGBT와 같은 이중 확산 공정을 이용하여 사이리스터의 장점을 가지는 소자의 개발이 가능해지게 되었다. 이 가운데 EST는 MOS 게이트 제어를 통해 채널을 흐르는 사이리스터 전류를 제어할 수 있으므로 높은 전압에 대해서도 전류 포화 능력(Gate Controlled Current Saturation)을 가져서 회로의 단락 시에 소자 파괴를 자체적으로 방지(Short Circuit Protection)할 뿐만 아니라 순방향 안전 동작 영역(Forward Bias Safe Operating Area : FBSOA)이 넓은 장점을 가진다. EST의 순방향 전류-전압 특성은 PNP 트랜지스터 동작을 거쳐 사이리스터가 도통되는 원리를 이용한다. 그러나 트랜지스터의 큰 온-저항과 사이리스터의 작은 온-저항 차이에 의해 동작의 전이 과정에서 부저항(Negative Resistance) 영역을 포함하는 스냅-백(Snap-Back) 영역이 발생한다. 이 스냅-백 영역은 소자의 턴-온 시에 많은 전력의 손실을 유발하며 소자의 활용 시에 바람직하지 못한 동작을 일으킬 가능성이 있다[4-13].

따라서 본 논문에서는 EST 소자의 실용화에 있어서 가장 큰 문제가 되고 있는 스냅-백 특성을 개선하면서 기존의 EST 소자와는 크기는 동일하지만 순방향 저지 전압(Forward Blocking Voltage)을 크게 향상시킬 수 있도록 새로운 구조의 EST 소자를 제안하였다. 제안한 구조는 크게 두 가지로서 기존의 EST 구조에서 캐소드와 게이트 전극을 트랜치 구조로 대체한 경우와 두 개의 턴-오프 MOSFET와 턴-온 MOSFET를 직렬 형태의 수직방향으로 형성한 구조의 EST를 제안하였다. 그리고 이 소자의 타당성을 검증하기 위해 2차원 소자 시뮬레이터인 TMA-MEDICI를 이용하여 소자의 전기적 특성을 분석·고찰하였다.

## 2. 소자의 구조 및 동작

그림 1에서는 기존의 EST 구조와 수직형 트랜치 전극을 가지는 EST 구조 그리고 듀얼 트랜치 게이트를 가지는 EST 구조의 단면을 보여주고 있다. 본 논문에서 제안한 수직형 트랜치 전극을 가지는 EST 소자와 듀얼 트랜치 게이트를 가지는 EST 소자는 스냅-백 영향을 제거하고 항복전압을 증가시키고자 캐소드 전극과 게이트 전극의 구조를 트랜치형으로 대체하였다. 그림 1(b)에서 기존 EST와 비교해 볼 때, 캐소드 전극과 게이트 전극을 모두 트랜치 전극으로 대체한 것이 첫 번째로 제안한 수직형 트랜치 전극을 가지는 EST 구조이다. 우선 게이트 전극을 트랜치형으로 만듦으로써 수직형 턴-온 MOSFET의 채널이 수직으로 형성되기 때문에 캐소드 전극으로부터 주입된 전자 전류의 n-드리프트 영역으로 주입되는 경로가 줄어들게 된다. 따라서 낮은 전압에서 PNP 트랜지스터가 동작하여 EST가 일찍 턴-온 된다. 그리고 그림 1(c)에서 두 번째로 제안된 듀얼 트랜치 게이트를 가지는 EST 구조는 수직으로 턴-오프 MOSFET와 p+애노드/n-드리프트/p-베이스2/플로팅 n+이미터로 구성된 사이리스터가 직렬로 연결된 구조이다. 주 사이리스터를 낮은 전압에서 턴-온 시키기 위해 턴-오프 MOSFET와 턴-온 MOSFET의 게이트 산화막 두께는 0.1 μm로 하였고, p-베이스2 영역은 3차원적으로 p-베이스1 영역과 연결되어 캐소드 전극과 접지 되어 있다.



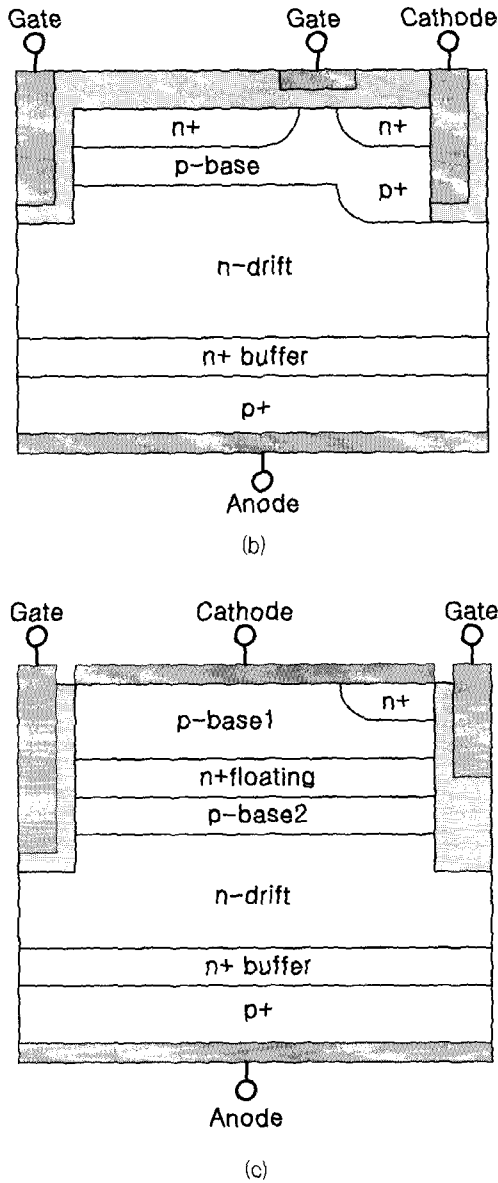


그림 1. (a) 기존의 EST  
 (b) 수직형 트랜치 전극을 가지는 EST  
 (c) 듀얼 트랜치 게이트를 가지는 EST  
 Fig. 1. (a) Conventional EST  
 (b) Vertical Trench Electrode EST  
 (c) Dual Trench Gate EST

여기서 중요한 것으로는 듀얼 트랜치 게이트 전극을 사용하기 때문에 기존의 EST나 수직형 트랜치 전극을 가지는 EST 구조에서 기생적으로 형성

되는 기생 사이리스터 구조가 제안된 EST에서는 생성되지 않는다는 것이다. 그리고 플로팅 n+이미터 영역은 캐소드 전극과 애노드 전극 사이에 직접적으로 위치해 있기 때문에 소자의 온-상태 시에 균일하고 높은 온-상태 전류 밀도를 얻을 수 있다.

EST의 순방향 동작은 게이트에 문턱 전압보다 큰 전압을 인가하면서 시작된다. 전자는 n+이미터에서 턴-오프 MOSFET을 통과하여 플로팅 n+이미터 영역과 턴-온 MOSFET을 거쳐 n-드리프트 영역으로 주입된다. 주입된 전자는 PNP 트랜지스터의 베이스 구동 전류로써 트랜지스터를 구동시킨다. 그 결과 p+애노드로부터 정공들이 주입되어 n-드리프트 영역을 거쳐 p-베이스 영역에 도달된다. p-베이스에 도달한 정공들은 p-베이스 영역과 플로팅 n+이미터 영역간의 전위장벽을 넘지 못하고 p-베이스 내에서 수평 방향으로 흘러 캐소드 전극으로 빠져나간다.

이와 같이 EST는 초반에는 트랜지스터 방식으로 도통되므로 온 저항이 크게 나타난다. 애노드 전압이 점진적으로 증가하면, p+애노드 영역으로부터 정공 주입량이 증가하여 p-베이스 영역에 도달하는 정공이 증가한다. 이러한 정공 전류가 흐르면 p-베이스 내의 수평저항 성분에 의하여 수평 경로의 전압강하가 나타나고 p-베이스 영역과 플로팅 n+이미터 영역사이의 접합에 순방향 전압을 가한 것과 같은 효과를 얻게 된다. 정공 전류가 증가하면 접합사이의 전위는 0.7 V에 도달함과 동시에 p-베이스/플로팅 n+이미터 접합은 순방향으로 도통하게 되고, NPN 트랜지스터가 도통된다. 이때 소자는 사이리스터 방식으로 동작하고, 낮은 온 저항을 보이게 된다.

이러한 두 동작 방식간의 온 저항의 차이에 의해 부저항 영역을 포함하는 스냅-백 현상이 발생하게 되며 소자의 동작 시에 좋지 않은 영향을 끼치게 된다. 이러한 스냅-백을 억제하기 위해서는 스냅-백 전류가 감소되어야 하며, 스냅-백 전류를 감소시키기 위해서는 낮은 애노드 전류 조건에서도 p-베이스/플로팅 n+이미터 접합에 0.7 V가 인가되도록 큰 수평저항 성분을 구현해야 한다. 수평저항을 증가시키기 위해서는 소자의 설계 시에 p-베이스 농도를 낮추거나 p-베이스 수평 길이를 길게 설계하는 방법이 많이 이용된다. 그러나 베이스 농도를 낮출 경우에는 게이트 하단의 채널을 형성하는 문턱전압이 낮아지고, 항복전압이 펀치 스루 현상에 의해 감소할 가능성이 있다. 농도를 낮출 경우 문턱전압이 낮아지는 효과보다는 공핍층이

넓어져 펀치 스루가 일찍 발생하여 항복전압이 낮아지는 것이 더 큰 문제라고 판단되어, 제안한 구조의 경우는 모든 전극을 트렌치 구조로 형성되었기 때문에 소자의 내부에 걸리는 전계가 형성된 트렌치 산화막에 집중된다. 따라서 p-베이스 농도를 낮추어도 기존의 구조보다 항복전압을 크게 유지할 수 있다. 또한 전자 전류가 흐르는 길이가 짧아지게 되어 스냅-백 전류-전압이 낮아지는 효과를 가져 올 수 있었다. 그리고 표 1에서는 시뮬레이션을 위해 소자의 설계 파라미터를 나타내고 있으며, 기본적으로 트렌치 게이트와 캐소드 영역을 제외한 나머지 부분에 대한 설계 및 공정 파라미터는 기존의 소자와 동일하게 구성하였다.

표 1. 기존 EST 구조와 각각의 제안한 EST 구조의 설계 파라미터.

Table 1. Device parameters of the Conventional EST and the two proposed EST used in the simulation.

		Conventional EST	VIE-EST	DTG-EST
n-드리프트	농도	$1 \times 10^{14} \text{cm}^{-3}$	$1 \times 10^{14} \text{cm}^{-3}$	$1 \times 10^{13} \text{cm}^{-3}$
	길이	40	40	40
	두께	60	55	55
p-베이스 1	농도	$1 \times 10^{16} \text{cm}^{-3}$	$1 \times 10^{16} \text{cm}^{-3}$	$1 \times 10^{16} \text{cm}^{-3}$
	전함 길이	2.5um	2.5um	5um
p-베이스 2	농도	-	-	$1 \times 10^{16} \text{cm}^{-3}$
	전함 길이	-	-	2um
n+캐소드	농도	$1 \times 10^{21} \text{cm}^{-3}$	$1 \times 10^{21} \text{cm}^{-3}$	$1 \times 10^{21} \text{cm}^{-3}$
	전함 길이	0.3um	0.5um	0.1um
p+애노드	농도	$1 \times 10^{20} \text{cm}^{-3}$	$1 \times 10^{21} \text{cm}^{-3}$	$1 \times 10^{21} \text{cm}^{-3}$
	전함 길이	3um	1.5um	3um
p+캐소드	농도	$1 \times 10^{18} \text{cm}^{-3}$	$1 \times 10^{18} \text{cm}^{-3}$	-
	전함 길이	3.5um	3.5um	-
n+버퍼층	농도	$1 \times 10^{18} \text{cm}^{-3}$	$1 \times 10^{18} \text{cm}^{-3}$	$1 \times 10^{18} \text{cm}^{-3}$
	전함 길이	3um	3um	3um
게이트 산화막	두께	0.1um	0.05um	0.1um
플로팅 n+이미터	농도	$1 \times 10^{20} \text{cm}^{-3}$	$1 \times 10^{20} \text{cm}^{-3}$	$1 \times 10^{20} \text{cm}^{-3}$
	전함 길이	0.3um	0.5um	1um

### 3. 소자 시뮬레이션 결과

#### 3.1 수직형 트렌치 전극을 가지는 EST

그림 2에서 기존의 EST와 제안한 EST의 순방향 전도 영역에서 전류-전압 특성을 비교해 보았다. 기존의 EST가 2.79 V의 애노드 전압, 36 A/cm<sup>2</sup>의 전류 밀도에서 스냅-백이 발생한 것에 비해, 제안된 EST는 기존의 EST 보다는 낮은 애노드 전압 1.2 V 와 116 A/cm<sup>2</sup>의 전류 밀도에서 스냅-백이

발생하였다.

이는 플로팅 n+이미터 영역이 제안된 EST에서는 트렌치 전극을 사용함으로써 해서 기존의 EST보다 크기 때문에 수평 저항 성분은 커지고 전류 밀도 또한 커지기 때문이다. 따라서 낮은 애노드 전압에서 래칭 전류 밀도에 도달하기 때문에 스냅-백 영향은 많이 감소된 것으로 판단된다. 그림 3에서 캐소드 전극과 게이트 전극을 트렌치형으로 대체시킨 후의 제안한 EST 소자의 기생 사이리스터에 의한 래치-업 전·후의 전류 흐름을 나타내었다. 기생 사이리스터에 의한 래치-업이 일어나기 전에는 모든 전도 전류가 채널 영역을 통해서 흐르던 것이 기생 사이리스터에 의한 래치-업이 일어난 후에는 채널 영역을 통하지 않고 바로 n+cathode와 p+cathode 영역을 통해서 전도 전류가 흐르는 것을 볼 수 있다. 이는 게이트에 의한 전류 조절이 불가능함을 알 수 있다.

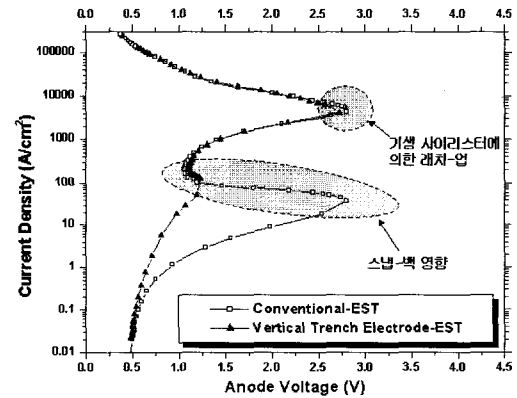


그림 2. 기존의 EST와 수직형 트렌치 전극을 갖는 EST의 순방향 전도 모드 시의 전류-전압 특성.

Fig. 2. Forward conduction characteristics of conventional EST and vertical trench electrode EST.

기존의 EST에서 게이트 전극과 캐소드 전극을 트렌치 전극으로 대체함으로써 해서 제안된 EST는 기존의 EST보다 높은 항복 전압과 동시에 높은 순방향 안전 동작 영역(FBSOA)을 얻을 수 있었다. 그림 4에서 기존의 EST는 627 V의 항복 전압을 가지는 반면에 제안한 EST의 항복 전압은 729 V로 거의 100 V 정도가 개선이 된 것을 볼 수 있다. 또한, 이는 순방향 안전 동작 영역(FBSOA)에 있어서의 증가를 의미한다.

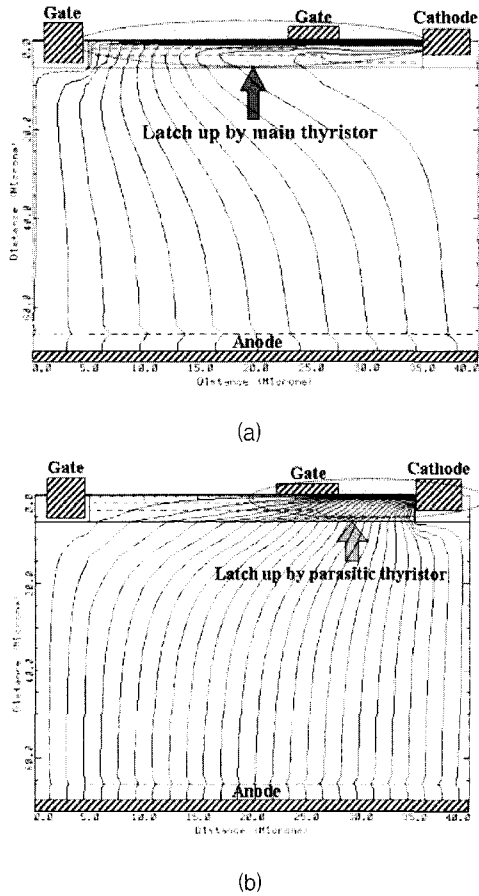


그림 3. 수직형 트랜치 전극을 갖는 EST의 기생 사이리스터에 의한 (a) 래치-업 전 (b) 래치-업 후의 전류 흐름.

Fig. 3. Current flow line (a) before latch-up by parasitic thyristor occurs ( $V_g=20V$ ) (b) after latch-up by parasitic thyristor occurs ( $V_g=20V$ ).

기존의 EST는 소자 내부의 전계가 게이트 산화막 아래의 채널 영역에 집중되기 때문에 펀치-스루 항복 메커니즘보다는 채널 영역의 강한 전계에 의한 충격 이온화가 유도되어 캐리어의 증배가 일어나 발생하는 애벌런치 항복 메커니즘이 지배적이어서 낮은 항복 전압을 가진다. 하지만 제안한 EST는 순방향 저지 모드 시에 소자 내부에 분포하는 전계가 트랜치 산화막에 집중하여 상대적으로 그 외의 영역에 분포되는 전계는 작기 때문에

충격이온화에 의한 캐리어의 증배가 일어나서 발생하는 애벌런치 항복 메커니즘보다는 n-드리프트 영역에서의 공핍층 확산에 의한 펀치-스루 항복 메커니즘이 지배적이다.

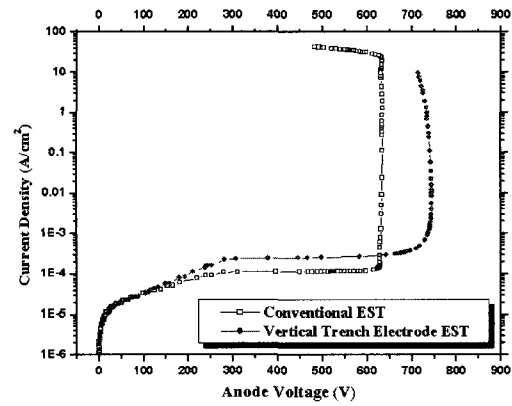


그림 4. 수직형 트랜치 전극을 가지는 EST의 순방향 저지 모드 시의 항복 특성.

Fig. 4. Forward blocking characteristics of the vertical trench electrode EST ( $V_g=0V$ ).

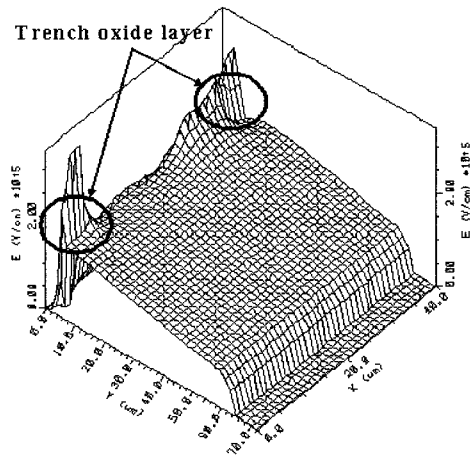


그림 5. 수직형 트랜치 전극을 가지는 EST 항복 시의 3차원 전계 분포.

Fig. 5. The electric field distribution when the breakdown occurs ( $V_g=0V$ ) in the vertical trench electrode EST.

따라서 기존의 EST 보다는 높은 항복 전압을 가지는 것으로 판단된다. 그림 5에서는 제안된 소

자의 순방향 지지 모드 시에 항복이 일어날 때의 3차원적인 전계 분포를 나타내었는데 소자 내부의 많은 전계가 트랜치 산화막에 집중함으로써 그 외의 부분은 상대적으로 낮은 전계가 걸리는 것을 볼 수 있다.

### 3.2 듀얼 트랜치 게이트 전극을 가지는 EST

그림 6에서 제안한 EST 소자와 기존의 EST 소자 그리고 수직형 트랜치 전극을 가지는 EST 소자의 순방향 전도 모드 시의 전류-전압 특성을 나타내었다. 그림 6에서 알 수 있듯이 제안한 소자에서 스냅-백 영향은 거의 제거가 되었으며, 최대 제어 가능 전류 밀도는 애노드 전압 6.11 V에서 3797 A/cm<sup>2</sup>이다. 제안된 EST에서는 플로팅 n+이미터의 길이가 다른 EST 소자에 비해 길고, 듀얼 트랜치 게이트가 수직방향으로 전류를 균일하게 소자 전체를 통해서 흐르게 하여 높은 전류 밀도를 가지기 때문에 낮은 애노드 전압에서 래칭 전류 밀도에 이르게 된다. 따라서 스냅-백 영향은 거의 제거되어 IGBT 동작 모드에서 바로 사이리스터 동작 모드로 전이하게 된다. 또한 기존의 EST와 수직형 트랜치 전극을 가지는 EST는 애노드로부터 주입된 정공 전류 밀도가 높아짐에 따라 소자 구조 내에 형성된 기생 사이리스터에 의한 래치-업이 발생하는데, 이는 소자의 게이트에 의한 전류 조절을 불가능하게 하기 때문에 최대 제어 가능 전류를 결정 짓는 중요한 요소이다.

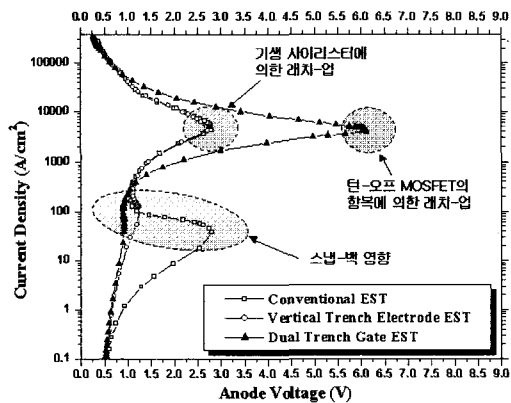
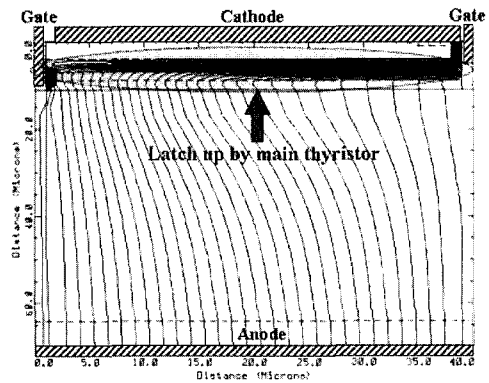


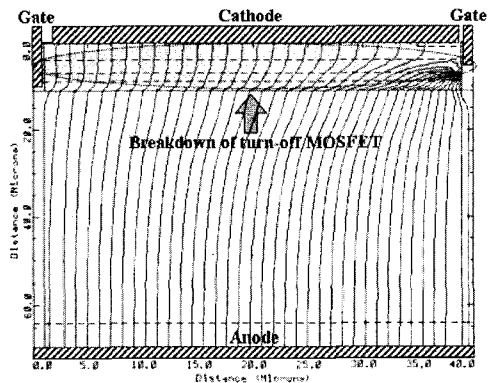
그림 6. 듀얼 트랜치 게이트를 가지는 EST의 순방향 전도 모드 시의 전류-전압 특성.

Fig. 6. Forward conduction characteristics of the dual trench gate EST.

그러나 제안된 듀얼 트랜치 게이트를 가지는 EST 구조에서는 그러한 기생사이리스터가 구조적으로 형성이 되지 않기 때문에 기생 사이리스터에 의한 래치-업은 발생되지 않는다. 다만 턴-오프 MOSFET의 항복이 일어나면 게이트에 의한 전류 조절이 불가능하게 되며 이때의 전류밀도가 최대 제어 가능 전류 밀도가 된다. 그림 7에서는 순방향 전도 모드 시에 제안된 EST의 턴-오프 MOSFET의 항복 전과 후의 전류 흐름을 나타내었다.



(a)



(b)

그림 7. 듀얼 트랜치 게이트를 가지는 EST의 턴-오프 MOSFET의 항복에 의한 (a) 래치-업 전 (b) 래치-업 후의 전류흐름.

Fig. 7. Current flow line (a) before latch-up by parasitic thyristor occurs ( $V_g=20V$ ) (b) after latch-up by parasitic thyristor occurs ( $V_g=20V$ ).

턴-오프 MOSFET의 항복이 일어나기 전에는 턴-오프 MOSFET의 채널을 통해서 흐르던 모든 전류가 항복이 일어난 후에는 p-베이스 영역을 통해서 흐르는 것을 그림 7을 통해서 확인 할 수 있다.

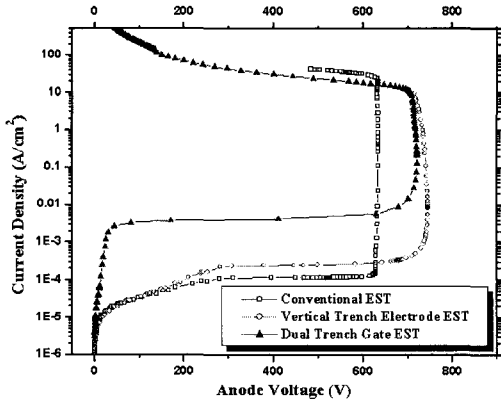


그림 8. 듀얼 트랜치 게이트를 가지는 EST의 순방향 저지 모드 시의 항복 특성.  
Fig. 8. Forward blocking characteristics of the dual trench gate EST( $V_g=0V$ ).

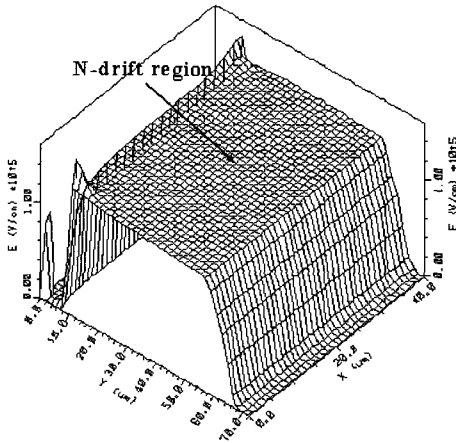


그림 9. 듀얼 트랜치 게이트를 가지는 EST의 항복 시의 3차원 전계 분포.  
Fig. 9. The electric field distribution when the breakdown occurs ( $V_g=0V$ ) in the dual trench gate EST.

제안된 EST 구조는 트랜치형 게이트 전극을 사용했기 때문에 순방향 저지 영역에서의 항복 전압은 수직형 트랜치 전극을 가지는 EST와 비슷하지만 기존의 EST와는 90 V 정도 항복 전압에 있어서의 향상을 보이는 것으로 나타났다. 실제로 그림 8에서 보면 기존의 EST가 627 V의 항복 전압을 가지는 반면에 제안한 EST는 716 V의 항복 전압을 가지며, 수직형 트랜치 전극을 가지는 EST는 729 V의 항복 전압을 가지는 것으로 나타났다.

그림 9에서는 제안된 EST의 항복이 발생했을 때의 3차원 전계 분포를 나타내었다. 수직형 트랜치 전극을 가지는 EST와 마찬가지로 트랜치 게이트 산화막에 전계가 많이 집중되며 넓은 n-드리프트 영역에 걸쳐서도 균일하게 전계가 분포되는 것을 확인할 수 있다.

#### 4. 결 론

최근 전력용 반도체 소자는 산업 전반에 걸쳐서 그 적용 범위가 확대 되어가면서 점차 고전압 대용량화되어 가고 있다. 그에 따라 소자 내부에서의 전력 손실은 줄이면서 향상된 전기적 특성을 보이는 소자 구조에 대한 연구가 활발히 진행되고 있다. 따라서 본 논문에서는 EST 소자에 대해 스넵-백 특성, 래치-업 특성, 항복 특성, 전류 포화 특성 등으로 대표되는 전기적 특성을 개선하기 위하여 트랜치 구조를 사용한 새로운 구조들을 제안하고, 본 논문에서 제안한 구조들에 대하여 2차원 시뮬레이터인 TMA-MEDICI를 이용한 시뮬레이션을 수행하여 그 특성을 비교 분석하였다. 본 논문에서 제안한 두 가지 EST 구조는 기존의 EST에 트랜치 구조를 도입함으로써 해서 스넵-백 특성과 최대 제어가능 전류 밀도 그리고 항복 특성 등의 전기적 특성에서 우수한 특성을 갖는 것으로 판명되어 전력용 반도체 소자의 고성능화에 크게 기여할 것으로 판단된다.

#### 감사의 글

본 연구는 고려대학교 특별 연구비 지원(2003년도)과 과학기술부 중점 연구 개발 사업(2000-J-EH-01-B02)의 지원에 의해 수행되었음. 연구비 지원에 감사 드립니다.

### 참고 문헌

- [1] B. J. Baliga, "Power semiconductor devices", PWS Publishing Company, 1996.
- [2] V. Benda, J. Gowar, and D. A. Grant, "Power semiconductor devices", John Wiley & Sons, Inc., 1999.
- [3] H. S. Sumida, A. Hirabayashi, H. Shinmabukuro, Y. Takazawa, and Y. Shigeta, "A high performance plasma display driver IC using SOI", Proc. Int. Symposium on Power Semiconductor Devices & ICs, p. 1613, 1998.
- [4] B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray, and N. D. Zommer, "The insulated gate transistor : A new three-terminal MOS-controlled bipolar power devices", IEEE Trans. on Electron Devices, Vol. ED-31, No. 6, p. 683, 1984.
- [5] T. Trajkovic, F. Udrea, G. A. J. Amaratunga, W. I. Milne, S. S. M. Chan, P. R. Waing, J. Thomson, and D. E. Crees, "Silicon MOS controlled bipolar power switching devices using trench technology", Int. J. Electronics, Vol. 86, No. 10, p. 1153, 1999.
- [6] Bauer, F., Roggwiler, P., Aemmer, A., Fichtner, W., Vuilleumier, R., and Moret, J., "Design aspects of MOS controlled thyristor elements", IEDM Tech. Dig., p. 297, 1989.
- [7] B. Jayant Baliga, "The future of power semiconductor device technology", Proc. of the IEEE, Vol. 89, No. 6, p. 822, 2001.
- [8] E. G. Kang, S. H. Moon, and M. Y. Sung, "Simulation of a novel lateral trench electrode IGBT with improved latch-up and forward blocking characteristics", Trans. on EEM, Vol. 2, No. 1, p. 32, 2001.
- [9] 강이구, 성만영, "래치 업 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT", 전기전자재료학회논문지, 13권, 5호, p. 371, 2000.
- [10] Ey Goo Kang and Man Young Sung, "A novel lateral trench electrode IGBT for super electrical characteristics", Trans. on EEM, Vol. 15, No. 3, p. 758, 2002.
- [11] M. S. Shekar, B. J. Baligar, M. Nandakumar, S. Tandon, and A. Reismann, "Characteristics of the emitter switched thyristor", IEEE. Trans. on Electron Devices, Vol. 38, p. 1619, 1991.
- [12] 오재근, 변대석, 한민구, 최연익, "세그먼트 p-베이스를 이용한 수평형 이중 채널 EST", 대한전기학회, 48권, 7호, p. 530, 1999.
- [13] E. G. Kang and M. Y. Sung, "A novel EST with trench electrode to immunize snab-back effect and to obtain high blocking voltage", Trans. on EEM, Vol. 2, No. 3, p. 33, 2001.