

# Acoustic Echo Canceller 설계 및 구현

정회원 장수안, 문대철\*

## Design and Implementation of Acoustic Echo Canceller

Su-An Jang, Dai-Tchul Moon\* *Regular Members*

### 요 약

본 논문에서는 이동통신에서 발생할 수 있는 반향 성분을 제거하기 위한 반향제거기의 새로운 구조를 제안하였다. 제안한 구조는 블록 데이터 흐름구조로서 고성능, 고효율, high throughput, 연산속도가 거의 선형적으로 증가시킬 수 있는 병렬구조이다. 이 구조를 TMS320C6711에 적용해 실시간 구현함으로써 반향 제거기의 성능을 개선하였다. 제안한 반향제거기는 firmware 형태로 구현이 가능하기 때문에 단말기 내부에 적용하여 이동통신 시스템에서 발생할 수 있는 여러 형태의 반향을 제거할 수가 있다. TMS320C6711 보드에서 적응 알고리즘을 이용한 필터링 작업을 한 후 연산 후에 나온 오차신호를 PC에서 모니터링하여 ERLE 연산을 통해 반향제거기의 성능을 확인할 수 있도록 하였다. 시뮬레이션 결과 500 샘플링 데이터에서 반향신호가 수렴되었고 ERLE값은 100dB가 넘는 우수한 특성을 보였다.

Key Words : Block Data Flow Architecture, ERLE, TMS320C6711, Acoustic Echo Canceller

### ABSTRACT

In this paper, a new structure for the AEC(Acoustic Echo Canceller) is proposed in which echo signal components that can be created in mobile communications is effectively eliminated. Block Data Flow Architecture is a parallel architecture that achieves high performance, high efficiency, high throughput, and almost linear speed up. The proposed architecture employs AEC and is implemented using the TMS320C6711 for real-time applications. The proposed AEC shows improved performance by eliminating echoes at 55ms delay path. Since the proposed AEC can also be implemented in Firmware, it is believed to effectively work on various types of echoes if it is applied on CDMA mobile devices. The TMS320C6711 shows much better performance comparing to previous

DSPs. For experimental verifications, filtering operation using adaptive algorithm is performed on TMS320C6711 board and error signals resulted from computations are monitored on PC, and then the performance of the implemented AEC is verified through ERLE computation. According the results of simulation, good characteristic of 100dB are shown after 500 sampling data.

### I. 서 론

CDMA 이동통신 시스템에서 사용되는 QCELP 방식이나 EVRC 방식의 보코더는 입력신호에 의하

여 전송률을 조절하게 된다. 그러나 반향신호와 같은 불필요한 신호의 입력이 있을 경우 제대로 된 가변 음성부호기의 성능을 낼 수 없으므로 이동통신 시스템에서는 반향제거기를 필요로 한다.[4] 또한 음성 부호화와 전송과정에서 55[ms]이상의 지연

\* 호서대학교 정보통신공학과 VLSI 신호처리 연구실 (dtmoon@office.hoseo.ac.kr)  
 논문번호 : 030391-0905, 접수일자 : 2003년 9월 8일

이 발생할 경우에 반향을 제거하기가 더욱 힘들어진다. 본 논문에서는 적응 알고리즘을 이용한 필터링 방법과 블록 데이터 흐름 구조를 적용한 시스템 구조로 반향 제거기를 구현하여 반향을 제거하고자 한다. 이는 반향경로를 매시간 추정하여 새로 생성된 반향 성분만을 없애주는 방법으로서, 기존의 다른 방법들에서 발생하는 통화의 부차연성 또는 음질의 저하 등이 현저히 줄어들기 때문에 반향 문제를 해결할 수 있는 궁극적인 방법이다.[8]

적응 알고리즘을 이용한 필터링 방식은 응용하고자 하는 주변환경에 대한 구체적인 정보 없이, 매순간 추정오차의 임의의 함수형태, 즉 비용함수가 최소화 되도록 스스로 필터 계수를 조절하여 최적치를 찾아내는 방식이다. 이 때 사용되는 적응 알고리즘은 LMS 알고리즘을 기본으로 하는 Block update NLMS 알고리즘으로 TI사의 DSP인 TMS320C6711에 적용하여 실시간 구현함으로써 실제 이동통신 시스템에 이용될 수 있도록 할 예정이다.[7][8]

구현 방법에 있어서는 C언어를 이용한 Echo Canceller 신호의 데이터를 통합 개발 환경을 지원하는 Code Composer와 Spectrum Digital USB JTAG 에뮬레이터를 이용하여 TMS320C67X DSK 보드에 다운 로드 하여 Echo Canceller를 구현하였다.

## II. 적응 알고리즘 및 블록 데이터 흐름구조

### 2.1. Block update NLMS 알고리즘

Block update NLMS 알고리즘은 NLMS 알고리즘에 기반을 둔 알고리즘으로 NLMS 알고리즘보다 초기수렴속도가 빠르다는 장점을 가지고 있다. NLMS 알고리즘과 Block update NLMS 알고리즘은 각각 식(1), 식(2)으로 나타낼 수 있다.[1][3]

$$W_{k+1} = W_k + 2\mu_N e_k X_k \quad (1)$$

$$W_{k+1+M} = W_k + 2\mu_N \sum_{m=0}^M e_{k+M-m} X_{k+M-m} \quad (2)$$

식(1)과 식(2)을 비교하면 NLMS는 다음에 갱신할 필터 계수를 현재 샘플의 입력값과 오차값을 이용해 계산하는 방식인 반면에 Block update NLMS 알고리즘은 Block Size를 M이라 할 때 다음에 갱신할 필터 계수를 현재 샘플부터 이전 M-1개까지의

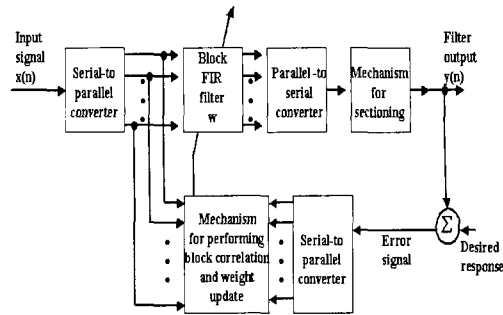


그림 1. Block update NLMS Adaptive 필터 구조

입력값과 오차신호로서 추정하여 계산하는 방식이다. 이는 적응필터의 수렴속도 향상과 입력값의 변화가 큰 경우에도 NLMS 보다 빠른 수렴성능을 보여준다. 그러나 상대적으로 연산량이 많아지고 메모리의 용량이 더 많이 필요하다는 단점이 있다.

그림1은 Block update NLMS adaptive filter 구조를 나타내고 있으며, 그림2는 필터 탭수와 블록 사이드를 위한 입력 매트릭스의 처리 구조를 보여주고 있다.

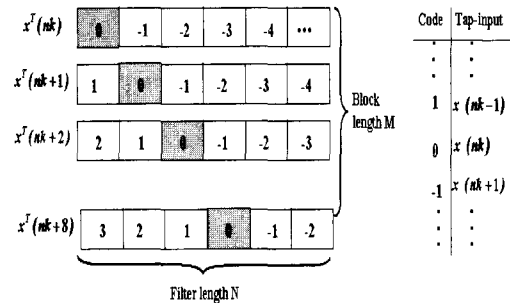


그림 2. 필터 탭수와 블록 사이드를 위한 입력 매트릭스

### 2.2. 블록 데이터 흐름구조

본 논문에서 구현된 구조는 블록 데이터 흐름구조(block data flow architecture)로서 기존 방식에 비해 고성능, 고효율, 고속 연산을 수행할 수 있는 병렬 구조로서 Input module, processor array, output module로 이루어진다.

그림2와 같은 매트릭스 형태의 입력이 블록단위 데이터로 연속으로 들어오는 경우 분해(decomposition) 하여 연산을 수행함으로써 기존 병렬처리 방법에 비해 연산량을 현저히 줄일 수 있는

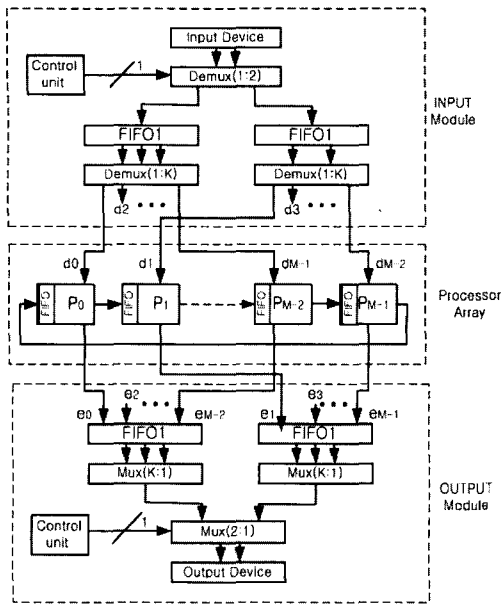


그림 3. 블록 데이터 흐름구조 블록도

구조이다. 블록 입력 데이터들은 sub-블럭들로 분할되고 데이터의 각 블록들은 할당된 데이터 버스를 통해서 프로세서(P)에 전송된다. 즉, 블록1은 P<sub>1</sub>, 블록2는 P<sub>2</sub>로 ... 블록 M-1는 P<sub>M-1</sub>로 할당 전송되어 연산이 수행된다(여기서, 데이터 블록은 Column, Low or sub-matrix 일수도 있다). Processor Array 구조는 LU decomposition을 행하여 처리할 수 있는 구조로 설계되었다. 그림3은 블록 데이터 흐름구조 블록도이다.

### III. 실시간 반향제거기의 구현

#### 3.1. TMS320C6711 구조 및 특징

TMS320C67X는 부동 소수점 연산을 하는 VelociTI 라는 구조를 가지고 있는 DSP이다. VelociTI 구조란 멀티채널, 멀티기능 응용프로그램을 위한 뛰어난 성능을 만들기 위해 Texas Instrument 사에 의해 개발된 VLIW 구조의 기반을 가지고 있다. 그림4에서 보는 바와 같이 TMS320C67X 프로세서는 크게 세 가지인 CPU 코어 부분, 메모리 부분 그리고 주변장치로 구성된다. 각각의 구성요소들은 프로그램 버스, 데이터 버스, 주변장치 버스 등을 통해 연결된다.

CPU 코어는 6개의 32/40bit ALU와 2개의 16bit

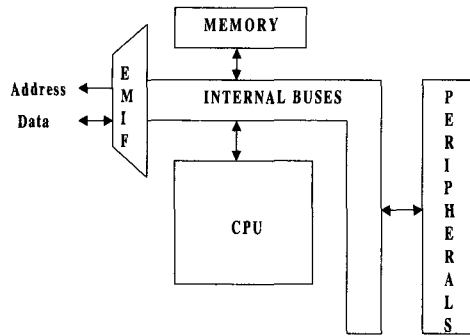


그림 4. TMS320C67X DSP 구조

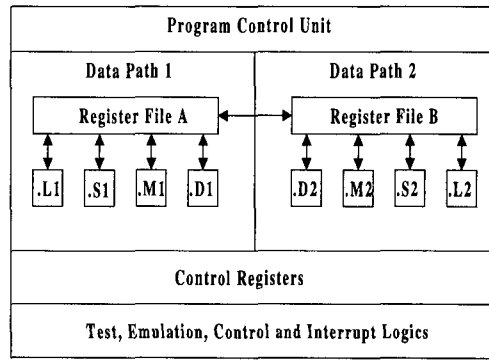


그림 5. TMS320C67X CPU 코어 구조

multiplier 8개의 functional unit과 load-store 구조를 갖는 32개의 32bit 범용 레지스터 구조로 되어 있다는 것이 특징이다. 또한 320C67X에는 14개의 인터럽트가 있는데 각각 reset, nonmaskable interrupt (NMI), INT4-INT15로 구성되어 있다. 그림 5는 CPU 코어 구조를 보여주고 있다.[2]

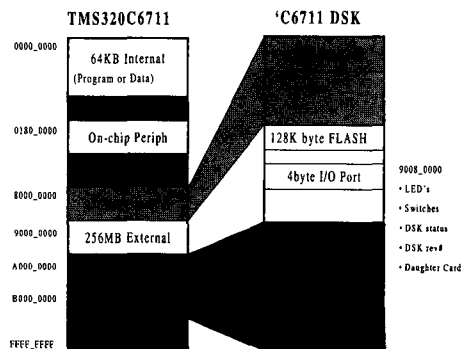


그림 6. TMS320C67X 메모리 맵

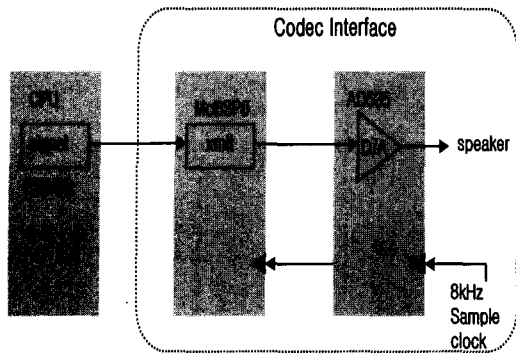


그림 7. 하드웨어 인터럽트 시스템 구조

메모리 구조로는 데이터 메모리와 프로그램 메모리가 따로 분리되어 있는 하바드 구조(harvard architecture)로 되어 있다.

그림6은 메모리 맵을 보여주고 그림7은 하드웨어 인터럽트 시스템구조를 보여주고 있다.

### 3.2. TMS320C6711을 이용한 실시간 반향제거기 구현

본 논문에서는 최적의 실시간 반향제거기를 실현하기 위해서 Block update NLMS 알고리즘을 적용하여 구현하고 수렴특성과 성능을 비교 분석하였다.

FIR 필터는 적응 알고리즘을 이용하여 계수를 갱신하는 역할을 하게 된다. 이 FIR 필터는 구조가 간단하고 구현이 용이한 트랜스버설형 FIR 필터를 사용하여 DSP에 적용 시 메모리 용량이 격자형 구조에 비해 상대적으로 적으므로 굳이 외부 메모리를 사용하지 않더라도 구현이 용이하다. FIR 필터를 이용하여 반향경로를 모델링한 것이 경로 필터이다. 반향경로의 변화를 시뮬레이션 하기 위하여 다음의 임펄스 응답을 사용하였다.

$$h_1(i) = r(i) \times 0.4 \times e^{(-0.027 \times i)}, 1 \leq i \leq 150 \quad (3)$$

식(3)에서  $r(i)$ 는 평균이 1, 표준편차가 0.13인 가우시안 노이즈이다.

그림8은 일반적인 음성 신호처리를 위한 DSP 회로 설계 블록도이다. 일반적인 인간의 음성이 주로 3kHz 이내라고 볼 때 샘플링 주파수는 8kHz 정도면 충분하다. 또 보통은 8 bit로 양자화를 한다. 좀더 정밀도를 높이고 싶으면 9 bit 정도로 양자화 하여 최하위 비트를 버리는 방법도 간혹 사용된다.

본 논문에서는 제안된 알고리즘을 TMS320C6711 Floating-point DSP 어셈블리어로 직접 코딩을 수행

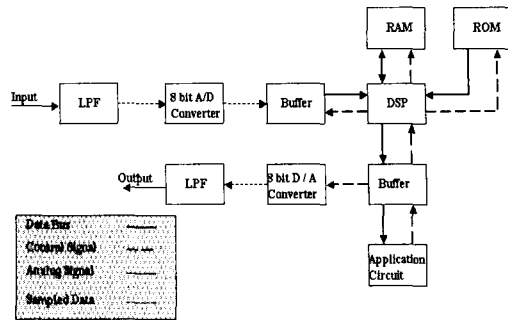


그림 8.음성 처리 시스템 설계 블록도

하였고 성능평가를 하였다.

DSP 알고리즘 구현을 위하여 크게 3단계의 개발 과정을 거쳤다. 먼저 C-modeling을 통한 성능평가로 알고리즘을 검증한다. 이어서 검증된 알고리즘에 따라 TMS320C6711 DSP C 언어 프로그램으로 작성하여 DSK를 이용, 디버깅 및 검증을 한다. DSK 검증을 통하여 확인된 DSP 프로그램을 PC에서 DSP를 구동하는 호스트 프로그램과 같이 컴파일하여 MDS에 의해 DSP의 RAM에 다운로드 한 후 보드 상에서 테스트를 실시하였다. 그림9는 C-modeling의 흐름도이다.

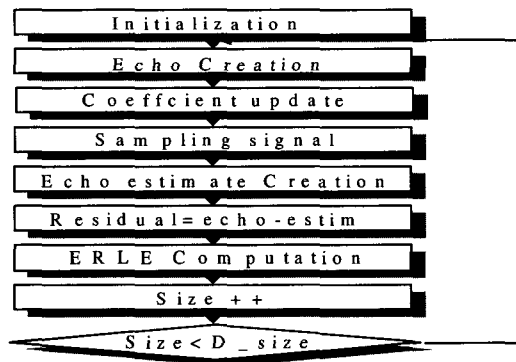


그림 9. C-modeling 흐름도

시스템 구성은 DSK 보드를 이용하여 host PC의 PCI 슬롯에 연결하는 방법과 JTAG(joint test action) 에뮬레이터를 이용하여 보드에 다운로드하는 stand alone으로 구성하는 방법을 이용하였다. 그림10은 TMS320C6711을 이용하여 실제로 구현한 실시간 반향제거기의 블록도를 보여준다.

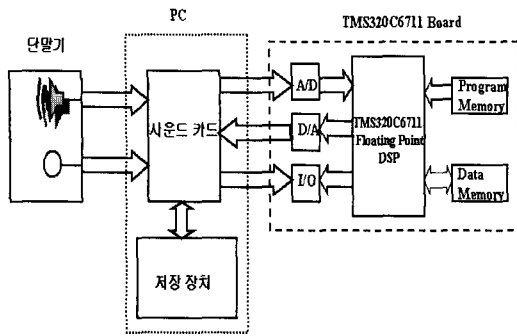


그림 10. 구현된 실시간 반향 제거기의 블록도

전체적인 실험과정은 PC에서 단말기로부터 원단 화자신호와 반향신호에 근단화자 신호가 더해진 신호를 사운드 카드를 통하여 저장 장치에 PCM 방식으로 녹음하고, 이 신호가 TMS320C6711 보드의 ADC로 입력되어 디지털 신호로 변환된다. 변환된 디지털 신호를 DSP에서 본 논문에서 제안한 반향 제거기의 구조로 반향을 제거하게 된다. 반향을 제거한 후의 오차신호는 다시 보드의 DAC를 통해 아날로그 신호로 변환된 뒤 PC의 사운드 카드를 통하여 PCM 방식으로 녹음되어 저장한다. 또한 반향제거 과정에서 DSP에서 계산되어진 ERLE 값과 residual 값을 PC에 저장하여 반향제거기의 성능을 확인 할 수 있도록 하였다.

#### IV. 시뮬레이션 결과

본 논문에서는 실험 방법을 두 가지로 하였다. 먼저 알고리즘에 대한 실험과 실제 음성 샘플을 이용한 실험 결과를 바탕으로 실시간으로 수행하였다.

본 논문에서 제안한 반향제거기의 성능 평가는 ERLE로 하였다.

$$ERLE(n) = 10 \log_{10} \left\{ \frac{\sum_{i=0}^{n-1} y^2(n-i)}{\sum_{i=0}^{n-1} (y(n-i) - \hat{n}(n-i))^2} \right\} \quad (4)$$

여기서  $y$ 는 반향신호,  $\hat{n}$ 은 반향 추정신호를 나타낸다. ERLE 곡선은 1초 동안의 타이밍 시뮬레이션 결과 나온 반향신호와 반향추정신호를 이용하여 ERLE 계산을 하였다(그림14참조).

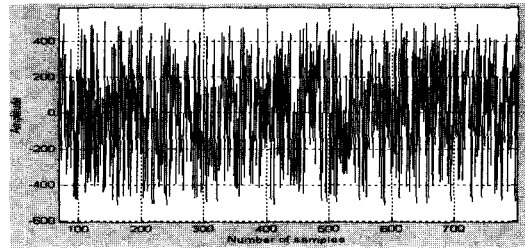


그림 11. 임의의 파형을 이용한 가상 음성신호

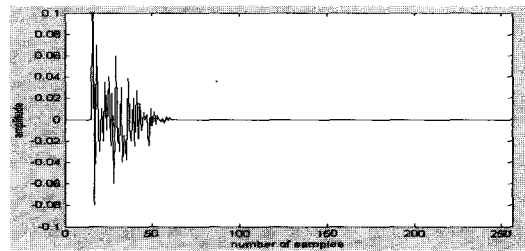


그림 12. 반향경로의 임펄스 응답

#### 4.1. 알고리즘에 대한 시뮬레이션 결과

무선 환경에서의 사용자의 신호는 서로 다른 시간 지연과 위상을 갖는 여러 신호가 합성되어 수신이 되고 다중경로 신호에 의해 반향이 발생한다. 따라서 이러한 시스템을 평가하기 위해서 DSK 보드를 이용하여 시뮬레이션을 수행하였다. 그림11은 임의의 파형을 이용한 가상 음성신호를 나타내고 있다.

최적의 실시간 반향제거기를 실현하기 위해서 시간에 따라 빠르게 변하는 반향경로를 추적 할 수 있도록 빠른 수렴특성을 갖는 Block update NLMS 알고리즘을 택하여 설계하고 수렴 특성과 성능 검사를 수행하였다.

그림13은 Residual 신호에 대한 타이밍 시뮬레이션 결과를 보여주며, 이때 블록 사이즈는 8샘플로 하였다. 오차 신호가 NLMS 알고리즘을 적용한 경우의 약 1/2에 해당하는 250 샘플 포인트 근처에서 정상상태에 도달하는 것을 알 수 있다. 그림14는 ERLE곡선으로서 500샘플 이상에서 거의 100dB정도로 아주 우수한 특성을 보여주고 있다.

Block update NLMS의 경우 블록 사이즈를 크게 잡으면 더욱 좋은 수렴성능을 보이지만 반면에 연산량이 증가하므로 본 논문에서는 실험결과 적정수준인 8 샘플로 설정하였다.

표1은 Block update NLMS 알고리즘을 이용하여

반향제거기를 구현 할 때 필요한 메모리 크기와 연산량을 나타낸다. 표2는 기존 방법과 본 논문에서 제안된 결과와 비교한 성능 비교표이다.

표 1. Block update NLMS 알고리즘의 블록사이즈 변화에 따른 수렴속도와 연산량 비교

	ref[3]	ref[4]	ref[7]	This Paper
Target Technology	Xilinx C4000	TM320C54X	Altera Flex10K	DSP320C6 7X
Filter Taps	8	256	256	256
ADC Resolution	8bit	14bit	10bit	10bit
Algorithm	LMS	NLMS	NLMS	Block NLMS
ERLE	30dB	40dB	83dB	100dB

표 2. 본 논문과 기존방법간 성능비교

Block Size	수렴속도(samples)	연산량(cycles)
0	500	1400
2	400	1500
4	300	1700
8	260	2300
16	230	3700

4.2. 실제 음성샘플을 사용한 실험

구현한 반향제거기에 실제 샘플링 한 음성신호를 이용하여 실험을 수행하였다. 반향신호는 근단화자 마이크로폰에서 입력된 배경잡음과 반향신호가 첨가 되어 그림 15와 같은 형태가 된다.

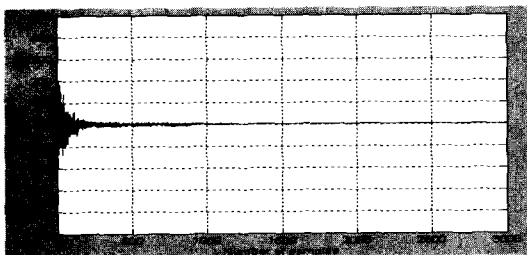


그림 13. Residual 신호에 대한 타이밍 시뮬레이션 결과

그림 16은 본 논문에서 적용한 Block update NLMS 알고리즘을 적용하여 설계된 AEC(Acoustic

Echo Canceller)의 신호로서 반향이 제거되었음을 알 수 있다.

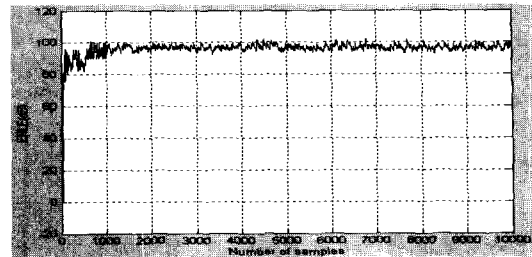


그림 14. 타이밍 시뮬레이션에 의한 ERLE 곡선

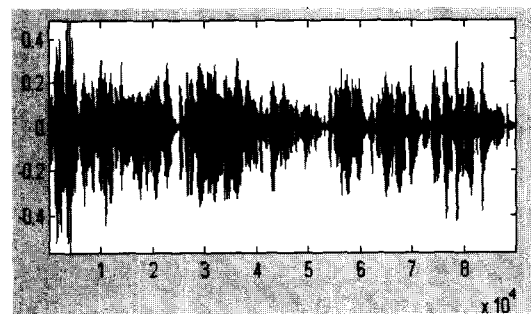


그림 15. 반향신호가 포함된 원단화자의 신호

V. 결 론

본 논문에서는 이동통신 시스템에서 발생할 수 있는 반향 성분을 제거하기 위한 반향제거기의 새로운 구조를 제안하였다. 제안한 구조에 적용한 알고리즘은 Block update NLMS 알고리즘이다. 수렴 특성은 NLMS 알고리즘을 사용하였을 경우보다 TMS320C54X를 사용하였을 경우보다 성능이 우수하였다. 시뮬레이션은 실제 DSP 구현시와 동일한 조건인 8kHz의 입력신호와 탭 수가 256인 필터를 이용하였고, 실제 DSP 보드에 적용하기 위해 Code Composer를 사용하여 C로 코딩하여 적용 알고리즘을 검증하였다. 제안한 반향제거기는 firmware 형태로 구현이 가능하기 때문에 단말기 내부에 적용하여 이동통신 시스템에서 발생할 수 있는 여러 형태의 반향을 제거할 수가 있다. 전체적인 시스템은 블록 데이터 흐름구조와 TI의 DSP를 이용하여 실시간으로 처리속도를 향상 시켰다.

시뮬레이션 결과 500 샘플링 데이터에서 반향신

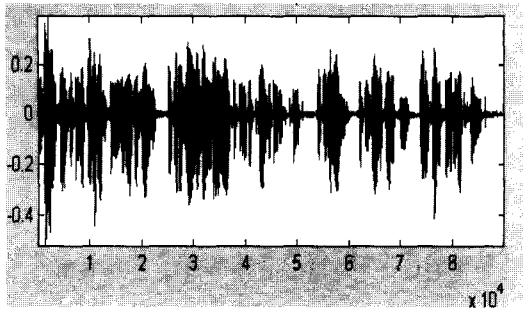


그림 16. 반향을 제거한 후의 신호

호가 수렴되었고 ERLE 값은 500 샘플 반복 연산 이후부터 100dB가 넘는 우수한 특성을 나타내었다. 본 논문에서 실현한 구조를 보다 최적화 한다면 55 ms 이상의 지연을 갖는 광대역 차세대 이동 통신 시스템에도 적용할 수 있을 것으로 사료된다.

### 참 고 문 헌

[1] S. Haykin, "Adaptive Filter theory," Prentice-Hall, Englewood Cliffs, NJ, 1991

[2] TMS320C6000 CPU and Instruction Set Reference Guide, Texas Instrument, 2000.

[3] LK Ting, RF Woods, CFN Cowan, P Cork, C Sprigings, "High-Performance Fine-Grained Pipelined LMS Algorithm In Virtex FPGA", Proceedings of SPIE Vol.4116, 2000.

[4] T.H. You, "Implementation of Echo Canceller for CDMA Mobile Communication Systems Using a Fixed-Point DSP", Kookmin University, 1999.

[5] TMS320C6000 Peripherals Reference Guide, Texas Instrument, 1997.

[6] P. M. Embree and B. Kimble, C Language Algorithm for Digital Signal Processing, Prentice-Hall, 1991.

[7] Naim Dahnoun, "DSP Implementation using the TMS320C6000 DSP Platform", Prentice-Hall, 2000.

[8] Su An Jang, You Jin Lee, Dai Tchul Moon, "Design and Implementation of an Acoustic Echo Canceller" vol3. p299, IEEE AP-ASIC confernece, 2002

[9] Application Report, "Implementation of Echo Control for ITU G. 165/DECT on

TMS320C62XX Processors, 1999.

[10] J. Nikolic, "Implementing a line echo canceller using the block update and NLMS algorithm on the TMS320C54X DSP", Texas Instrument, April 1997.

장 수 안(Su-An Jang)



2001년 2월 : 호서대학교 정보통신공학과 학사졸업  
2003년 2월 : 호서대학교 대학원 정보통신공학과  
2003년 2월~현재 : (주)포인칩스 연구원

<관심분야> VLSI 신호처리, 영상 신호처리, DSP 응용

문 대 철(Dai-Tchul Moon)

1984년 3월 1일~현재 : 호서대학교 정보통신공학과 정교수

<관심분야> VLSI 신호처리, 영상신호처리, SoC 설계, DSP 응용