

논문 2004-41SD-2-6

1.5GHz 직렬 ATA 물리층 회로 설계

(Design of 1.5GHz Serial ATA Physical Layer)

박 상 봉*, 신 영 호**

(Sang-Bong Park and Young-Ho Shin)

요 약

본 논문에서는 직렬 ATA 물리층에 대한 설계 및 칩 제작 후 테스트 결과와 성능 평가를 서술하였다. 직렬 ATA 의 물리층은 +/-250mV 의 전압 레벨과 1.5Gbps 속도를 지니는 차등 NRZ 직렬 데이터 스트림을 송신 및 수신하는 회로와 1.5GHz 송신 PLL 회로, 수신된 1.5Gbps 직렬 데이터 스트림에서 데이터 및 송신 클럭을 복원하는 회로와 SERDES 회로 및 OOB 신호 발생 및 검파 회로 등으로 구성하였다. 설계된 직렬 ATA 물리층은 UMC 사의 0.18 μ m 표준 CMOS 공정을 이용하여 칩으로 제작 후 성능을 검증하였다. 특성 검토 결과 대부분 사양을 만족하였고, 데이터 전송 속도 1.5Gbps 사양은 실지 측정치가 1.38Gbps 로 목표 사양에 8% 미달되었다.

Abstract

This paper describes the design and implementation of Serial ATA physical layer and performance measurement. It is composed of tranceiver circuit that has the NRZ data stream with +/-250mV voltage level and 1.5Gbps data rate, transmission PLL circuit, clock & data recovery circuit, serializer/deserializer circuit and OOB(Out Of Band) generation/detection circuit. We implement the verification of the silicon chip with 0.18 μ m Standard CMOS process. It can be seen that all of the blocks operate with no errors but the data transfer rate is limited to the 1.28Gbps even this should support 1.5Gbps data transfer rate.

Keywords : Serial ATA, Physical layer, PLL, OOB

I. 서 론

직렬 ATA(Serial Advanced Technology Attachment) 는 현재 PC 의 스토리지 디바이스 인터페이스로 사용하고 있는 병렬 ATA를 대체하기 위하여 개발된 표준이다. 직렬 ATA 는 최근 PC 내부의 메인보드와 하드 디스크 이외에도 CD ROM, DVD ROM 의 인터페이스 뿐만 아니라 외장 하드 디스크의 인터페이스로 사용될 가능성도 높다. 미국의 인텔을 주축으로 직렬 ATA 의 사양을 개발하고 있는 워킹 그룹은 직렬 ATA 가 하나의 호스트에 여러 개의 디바이스를 연결하거나 혹은 여러

개의 호스트에 하나의 디바이스를 연결할 수 있도록 지원하는 포트 멀티 플라이어 및 포트 선택기와 같은 새로운 사양을 계속 발표하고 있다. 또한 직렬 ATA 는 가격과 성능이 주요 요소인 서버와 네트워크로 구성된 스토리지에서 대안으로 등장하고 있다^[1]. 직렬 ATA 는 3 가지의 네트워크 스토리지 즉, DAS (Direct Attached Storage), NAS(Network Attached Storage), SAN (Storage Area Network) 에 적용될 수 있다. 이러한 직렬 ATA 가 기존 병렬 ATA 에 비해서 장점은 각각 연결된 디바이스에 전체 대역폭을 제공하는 점-대-점 방식이고, 핫 플러그가 지원 디바이스에 대한 150M bytes/sec 전송 속도에 필요한 직렬 ATA 1.0 사양이 발표되고 제품화된 이후에 서버와 네트워크 스토리지의 사용을 위한 직렬 ATA 2.0 사양이 2002년 12월에 발표되어서 개발 중이다. 직렬 ATA 2.2 는 데스크 톱과 네트워

* 정희원, 세명대학교 정보통신과
(Dept. of Information & Communication, Semyung Univ)

** 정희원, (주)에트랩

접수일자 : 2003년 8월 5일, 수정완료일 : 2004년 2월 6일

크 된 스토리지 시스템에 대한 2 세대 전송 속도 300M bytes/sec를 지원하는 사양으로 고급 네트워크 스토리지에 응용 예정이다^{[3][4]}.

본 논문에서는 직렬 ATA 1.0 사양인 1.5Gbps 전송을 지니는 물리층의 호스트와 디바이스에 대한 송신, 수신 칩을 설계하여 대만 UMC 0.18 μ m CMOS 표준 공정을 이용하여 칩을 제작하고, 성능 검토한 내용으로 구성된다. 본론에서는 직렬 ATA 의 물리 층에서 요구하는 기능별 블록도와 각 블록에 대한 기능과 신호 및 목표 사양치를 기술하였다^[5]. 설계된 직렬 ATA 물리층의 블록도와 각 블록에 대한 회로도 및 기능과 회로 시뮬레이션 결과를 기술하였다. 칩 제작과 측정된 아날로그 특성과 성능 검토 내용을 적고, 결론에서는 특성 검토 시 사양을 만족하지 못하는 부분에 대한 분석 결과를 적었다.

II. 본 론

1. 직렬 ATA 물리층 블록별 기능

그림 1은 구현된 직렬 ATA 물리층 블록도이다. 시스템 클럭 37.5MHz 입력으로부터 동기화된 송신단 PLL 회로는 물리층의 송신부의 디지털 논리 블록에 37.5MHz 클럭을 전달하고, 10비트 병렬 데이터를 1 비트 직렬 데이터로 변환하는 회로(Serializer)에 150MHz와 1.5GHz 클럭을 생성해서 제공한다. 또, OOB(Out Of Band) 검파 회로에서 사용하는 375MHz 클럭을 생성해서 제공한다. 만약 선택 사항인 SSC(Spread Spectrum Clocking)가 선택되면, 송신단 PLL이 제공하는 37.5MHz, 150MHz, 375MHz, 1.5GHz 클럭들은 0~0.5%의 범위에서 클럭이 분산된다.

송신 단 PLL CDR(Clock Data Recovery)은 수신 입력 RXP와 RXN 편을 통하여 입력되는 데이터에 동기화되어서 클럭과 데이터를 복원한다. 수신단 PLL은 복원된 클럭으로부터 37.5MHz, 150MHz, 1.5GHz 클럭을 생성해서 수신단의 디지털 논리 블록과 1비트 직렬 데이터를 10비트 병렬 데이터로 변환하는 회로(Desrializer)에 제공한다. 송신단과 수신단의 PLL은 전원이 인가되면, 1.5GHz의 프리-런닝 주파수로 초기화된다.

송신단 드라이버는 Serializer의 출력 값을 1.5Gbps 속도로 250mV 공통 모드 전압으로 변환하여 출력 편 TXP와 TXN을 통해서 송신한다. 수신단 드라이버는 데이터가 1.5Gbps 속도로 250mV 공통 모드 전압인 RXP, RXN을 통해서 입력되면, 1비트 디지털 값으로 변환하

여 출력한다. 임피던스 조정 회로(Impedance calibration)는 송신단과 수신단의 임피던스 값을 조정하는 회로로써 동작이 선택되었을 경우 또는 전원인가 시 동작된다.

스quelch 회로(Squelch circuit)는 RXP와 RXN을 통하여 1.5Gbps 속도로 250mV 공통 모드 전압으로부터 두 입력의 전압 차가 발생하지 않는 정적인 상태를 검파하기 위한 회로이다. 이 회로의 출력 값은 OOB 검파 회로에서 OOB가 어떤 종류인지 알아내기 위해서 사용된다.

10비트 병렬-1비트 직렬화 회로(Serializer)는 물리층 논리 회로에서 150MHz로 10비트의 병렬 데이터와 정적 조건 구간을 제어 부로부터 받아서, 1.5GHz 직렬 데이터로 변환하여 송신단 드라이버에 0 또는 1과 보수 형태의 값인 serial_out+와 serial_out-으로 변환하여 출력한다. 1비트 직렬-10비트 병렬화 회로(Deserializer)는 수신단 PLL로부터 1.5GHz 직렬 데이터를 받아서, 150MHz의 병렬 데이터로 바꾸고 10비트 중 위드 정돈에 사용되는 특정 패턴인 콤마 문자를 검파 한다.

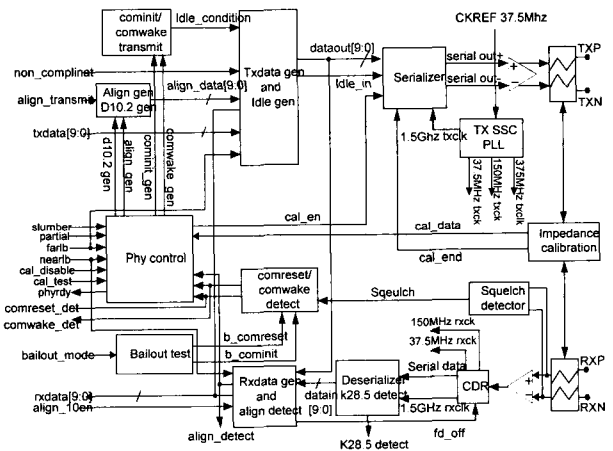


그림 1. 물리층 블록도
Fig. 1. Physical layer block diagram.

물리층에서 디지털 논리 회로로 구성되는 블록은 제어 회로(Phy control), OOB 신호 발생 회로(cominit/comwake transmit), 특정 패턴 발생 회로(Align gen/D10.2 gen)와 OOB 신호 검파 회로(comreset/comwake transmit) 및 10비트 수신 회로(RX data gen/align detect), 테스트 관련 회로(Bailout test)로 구성된다. 제어 블록은 전체 물리층에 대한 제어 신호를 생성해서, 각 블록에 제공한다. OOB 발생 회로는 물리층 제어부로부터 COMWAKE, COMRESET, COMINIT과 같은 OOB 신호의

발생을 요구한 경우, ALIGN 과 정적 상태를 카운트 값에 의해서 원하는 시간만큼 제어해서 생성한다. 10 비트 전송 회로는 링크 층에서 온 실제 데이터와 정적인 상태를 나타내는 구간 및 OOB 신호의 ALIGN 이나 D10.2 에 대한 10비트 병렬 데이터를 생성하는 회로이다. OOB 검파 회로는 스킴치 회로에서 정적인 상태 구간과 데이터 구간에 대한 신호를 감지한 후 카운트 값을 이용해서 입력된 OOB 가 어떤 종류인지 감지하고, 그 결과를 제어부로 보낸 준다. 테스트 관련 회로는 OOB 신호 감지 회로에 문제가 발생되어 통신이 어려울 경우, 초기 전원인가 시부터 OOB 신호 생성 및 감지 기능을 대신하는 bailout 테스트 기능과 특정한 패턴을 발생해서 테스트하는 경우의 입력 벡터를 생성 및 결과를 분석하는 회로이다.

2. 직렬 ATA 물리층 송신부 블록

1) 송신단 드라이버 회로

그림 2 는 송신 단 드라이버 회로이다. 송신 단 드라이버는 차등 증폭기를 사용하여 구현하였으면 드라이버의 로드 Z 는 저항과 스위치를 이용하여 출력 임피던스를 조정할 수 있도록 하였다. 그림 2 에 표시되어 있는 송신 단 임피던스 조정 회로는 송신단 드라이버, 기준 전압 발생기, 레벨 비교기와 임피던스 조정기로 구성하였다. 송신 단 드라이버는 전달되는 데이터를 저 임피던스 로드로 구동하여 칩 외부로 출력시키는 역할을 하고 기준 전압 발생기는 내부의 로드 임피던스와 외부 케이블과 임피던스 비교를 할 때 기준 전압을 발생한다. 레벨 비교기는 내부에서 발생된 기준 전압과 TXP, TXN의 출력 신호의 레벨을 비교하여 업 또는 다운 신호를 임피던

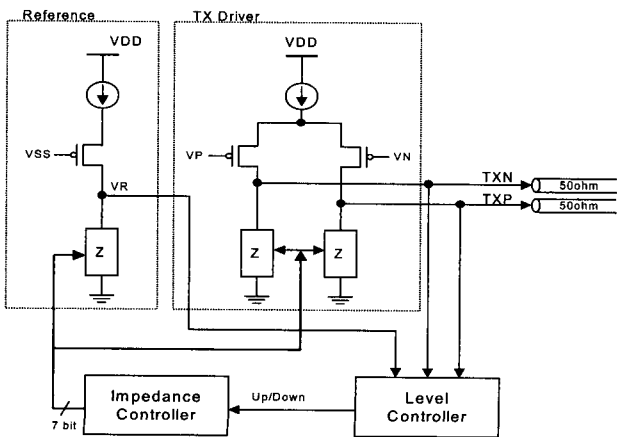


그림 2. 송신단 드라이버 회로도
Fig. 2. RX driver circuit.

스 조정기로 전달하는 역할을 하고 임피던스 조정기는 내부의 임피던스를 조정하는 7 비트의 신호를 출력한다. 최초 Vp-p 전압이 약 92.5mV~375mV로 출력되는 사양에서 규정한 출력 전압 규격으로 조정하였다.

2) 송신단 SSC PLL 회로

그림 3 은 송신단 SSC PLL의 블록도이다. 송신단의 각종 기준 클럭을 발생하기 위하여 PLL을 사용하였고, PLL 은 외부 기준 클럭인 37.5MHz 에 동기되어 1.5GHz 클럭을 발생한다. 송신단 SSC PLL 블록은 위상 비교기, 전하 충전기, 루프 필터, 전압 제어 발진기, SSC 용 분주기로 구성되어 있으며 초기에 PLL 의 자주 발진 주파수가 1.5 GHz 가 되도록 조정하여 주는 자동 조정 모드가 내장되어 있다. SSC 기능을 구현하기 위하여 SSC 용 분주기를 사용하였다. SSC 기능이 꺼져있는 동안에는 연속적으로 N 분주를 하고 SSC 기능이 켜져있는 동안에는 N 분주와 N-1 분주를 적절한 비율로 조정하여 분주를 하는 스월로우 카운터를 사용하였다.

SSC를 구현하기 위한 1/N 분주기는 그림 4 와 같이 구성되어 있다. DIV 38/40 은 카운터를 사용한다.

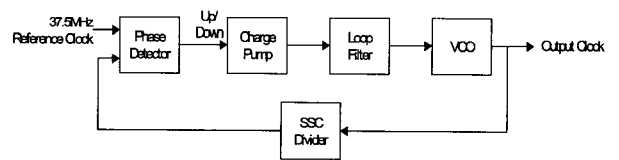


그림 3. 송신단 SSC PLL 블록도
Fig. 3. Block diagram of the TX SSC PLL.

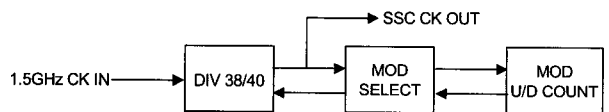


그림 4. SSC를 구현하기 위한 1/N 분주기
Fig. 4. 1/N divider for SSC.

분주기로 MOD SELECT 의 출력 신호에 따라 38 분주 또는 40 분주를 하고, MOD SELECT 는 MODU/D COUNT 의 카운트 값에 따라 DIV 38/40 에 MOD SELECT 신호를 전달하는 역할을 한다.

3) OOB 신호 발생 회로

OOB 신호의 발생은 디지털 논리 회로를 사용하여 설계하였다. 송신단 SSC PLL로부터 받은 150MHz 클럭을 사

용하여 OOB 신호를 사양에서 주어진 조건에 맞게 생성한다. 물리 층 제어 상태에서 OOB 신호 생성에 대한 신호를 보내면 정적 상태를 위한 주기를 계산하여 COMRESET /COMINIT 또는 COM- WAKE 의 전송이 이루어진다.

$$\text{COMRESET/INIT} : 48 * 6.67\text{ns}(150\text{MHz}) = 320.16\text{ns}$$

$$\text{COMWAKE} : 16 * 6.67\text{ns}(150\text{MHz}) = 106.72\text{ns}$$

이와 같이 정적 상태의 주기가 6번 반복적으로 전송이 이루어진다. 수신 측의 경우 4번 연속적으로 주기를 검파하면 OOB 신호를 감지하도록 설계되었다.

4) 10 비트 병렬 - 1 비트 직렬화 회로

링크 층으로부터 수신된 150MHz 의 10 비트 데이터를 10 배 빠른 1.5GHz 의 1 비트 직렬 데이터로 변환한다. 1.5 GHz 의 동작은 0.67ns 안에 플립플롭 사이의 모든 동작이 이루어져야 한다. 따라서 이러한 조건을 충족하기 위해서 플립플롭 설계를 하였고, 대략 0.4ns 정도에서 동작이 이루어진다. 직렬화 회로는 정적 상태 신호와 임피던스 조정 회로를 구동시키는 입력 신호를 받아 정적 상태를 나타내는 신호와 임피던스 조정 데이터를 보내게 된다. 직렬화 회로의 출력은 송신단 드라이버의 입력이 되므로 차등 출력을 보낸다. 링크층으로부터 수신된 데이터는 TXP 로 보내고 TXN 의 경우는 반전된 값이 출력된다. 정적 상태의 수신시에는 TXP 와 TXN 의 값이 모드 '0' 이 되도록 설계하였다. 임피던스 조정용 데이터 전송 시에는 임피던스 조정 회로로부터 수신된 데이터를 링크층에서 데이터를 송신하는 것과 같은 방식으로 보낸다. 이런 세 가지 종류의 입력들은 서로 다른 주파수 (37.5MHz, 150MHz, 1.5GHz)에서 생성되는 데이터들이므로 직렬화 회로는 출력 전에 이들에 대한 동기를 서로 맞추어야 한다.

3. 직렬 ATA 물리층 수신부 블록

1) 입력 단 임피던스 조정 회로

송신 드라이버의 로드 임피던스로 사용된 것과 동일한 로드를 입력단 종단 로드로 사용하고 로드 임피던스의 조정 신호는 송신단 임피던스 조정 회로에서 발생한 것을 동일하게 사용한다. 따라서 송신단 임피던스와 입력단 임피던스는 동일하게 된다. 별도의 입력단 임피던스 조정 회로는 사용하지 않았다.

2) 수신단 CDR(Clock Data Recovery) 회로

수신 단에는 PLL을 이용한 CDR을 사용하여 설계하였다. 그림 5 는 수신단 CDR 블록도이다.

전체적인 구성은 위상 감지기와 전하 충전기로 구성된 위상 감지 루프와 주파수 감지기와 전하 충전기로 구성된 주파수 감지 루프, 그리고 공통되는 루프 필터와 전압 제어 발진기로 구성되어 있다. 주파수 감지 루프의 이득을 위상 감지 루프의 이득보다 상당히 크게 설정하여줌으로써 대략적인 조정은 주파수 감지 루프가 행하고 미세한 조정은 위상 감지 루프가 담당하게 된다. 위상 감지 루프는 입력되는 데이터의 위상과 전압 제어 발진기의 출력 신호의 위상을 비교하여 두 신호의 위상이 동기 되도록 전하 충전기를 구동한다. 여기서 위상 감지기는 Hogge 타입 위상 감지기를 사용하였다. 주파수 감지 루프는 입력되는 데이터의 주파수와 전압 제어 발진기의 주파수를 비교하여 두 신호의 주파수가 동일해지도록 전하 충전기를 구동한다.

3) 스퀘엘치(Squelch) 회로

스quelch 회로는 엔벨로프(envelope) 추출기와 주파수 판별기 두 블록으로 구성되어 있다 엔벨로프 추출기는 입력되는 OOB 신호의 엔벨로프를 추출한다. 직렬 ATA 규격에서 일정 수준 이하의 OOB 신호는 잡음으로 간주하게 되어 있으므로 엔벨로프 추출기는 히스테리시스를 가지는 비교기를 사용하여 일정수준 이상의 OOB 신호가 입력되는 동안만 출력을 '1' 로 유지시키고, 일정 수준 이하의 OOB 신호가 입력되는 동안은 출력을 '0' 으로 유지시키는 방법을 사용하여 엔벨로프를 추출해 내게 된다. 주파수 판별기는 엔벨로프 추출기에서 추출된 신호의 길이를 일정한 기준 클럭으로 카운트하는 방식을 사용하여 입력되는 신호의 주파수를 판별하게 된다. 주파수 판별기에서 사용되는 기준 클럭은 송신단 SSC PLL에서 발생된 신호를 사용한다.

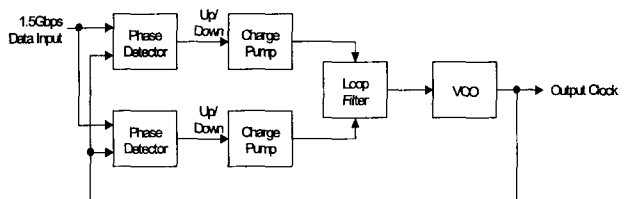


그림 5. 수신단 CDR 블록도
Fig. 5. Block diagram of the RX CDR.

4) OOB 신호 검파 회로

수신단에서 스퀘치 회로로부터 추출된 1비트 스퀘치 신호가 '1'을 나타내는 경우에 OOB 신호는 주기를 측정하기 시작한다. 주기의 측정은 카운터를 사용하였으며 미세한 특성 확보를 위해서 37.5MHz 클록을 사용하였다.

COMRESET/INT : 304ns < squelch_in < 336ns
 COMWAKE : 101.3ns < squelch_in < 112ns

위와 같은 조건을 만족하는 정적 상태가 4번 이상 연속적으로 발생할 경우 OOB 신호가 감지되었음을 나타내는 신호를 생성한다. OOB 신호가 감지된 후 해제하기 위한 조건은 다음과 같다.

COMRESET/INT : 175ns > squelch_in 또는 squelch_in > 525ns
 COMWAKE : 55ns > squelch_in 또는 squelch_in > 175ns

5) 1비트-10비트 병렬화/콤마 검파 회로

수신 CDR 로부터 1.5GHz 동작의 복원된 데이터와 클록을 받아서 150MHz 10비트 데이터를 링크층으로 전송하는 역할을 한다. 이와 더불어 어떤 순간부터 10비트 데이터를 만들지를 결정하기 위한 콤마 검파 회로를 구현한다. 이 블록도 1.5GHz 의 클록에 동기 되어 동작한다. 직렬 ATA 사양에 규정된 대로 전원인가 시 송신측은 항상

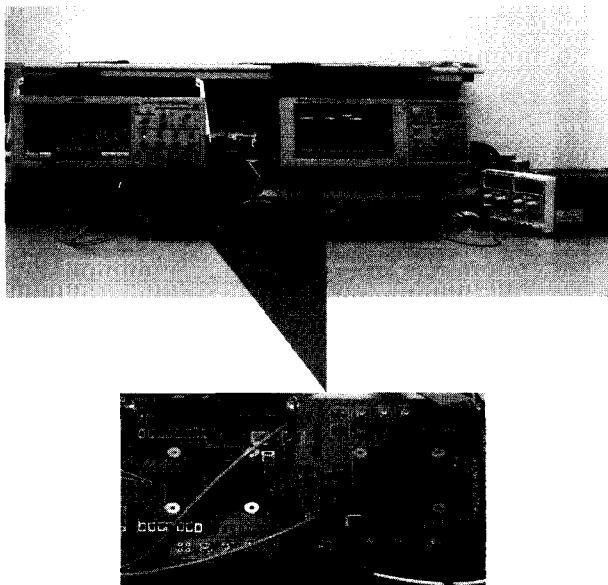


그림 6. 직렬 ATA 물리층 테스트보드 시스템
 Fig. 6. Test board system of serial ATA.

ALIGN 데이터를 전송해야 하는데 이 때 하위 10 비트들이 콤마 신호로 이루어진다. "1100000101" 또는 "0011111010" 와 같은 10비트 데이터가 입력되는 경우 위 패턴을 감지하여 그때부터 10비트씩 병렬화 된 데이터를 물리층 로직블록에 보내어 다시 링크층으로 보내게 된다.

4. 직렬 ATA 물리층 칩 제작

설계된 직렬 ATA 물리층 특성을 검증하기 위하여 UMC 사의 0.18μm 표준 CMOS 로직 공정을 이용하여 칩으로 제작하였다. 전원은 내부 코어는 1.8V를 사용하였고, 3.3V 는 ESD 수준을 확보하기 위한 패드의 입력/출력 셀에 전원을 공급하기 위하여 사용되었다. 로직 블록에서 생기는 잡음 성분이 아날로그 특성에 영향을 미치지 않도록 아날로그 전원과 디지털 전원을 분리하여 배치하였다. 그림 6 은 설계된 칩의 테스트 보드 시스템을 나타낸다.

5. 제작된 칩 성능 검증

제작된 칩의 물리층 특성은 지터 특성과 아이 패턴 및 OOB 관련 신호 발생 및 검파, 데이터 복원 및 콤마 검파, 송신 출력 전압 레벨, 수신 입력 전압 레벨, 출력 상승 및 하강 시간 등 실제 파형을 측정된 결과 직렬 ATA 사양을 만족하였다. 검증은 송신단에서 전송한 파형을 수신단에서 수신하여 RX 클록과 데이터로 복원하는 신호는 1Gbps에서 확인하였다. 직렬 ATA 1세대 사양에서 링크층에서 입력되는 10비트의 병렬 데이터를 1.5Gbps 의 속도로 직렬화 하여 전송하도록 규정하고 있는데, 구현된 직렬 ATA 칩의 특성 검토 결과 최대 1.28Gbps 의 속도까지 직렬화 및 전송이 가능한 것으로 확인되었다. 설계 목표 사양인 1.5Gbps 와 칩의 특성 차이는 레이아웃 후 발생하는 배선 기생 성분에 대한 고려가 충분하지 못한 것으로 판명되었다. 레이아웃 후 LPE를 이용한 배선 관련 기생 성분을 제대로 추출하지 못하여 포스트-레이아웃 시뮬레이션이 제대로 진행되지 못한 문제로 분석되었다. 이러한 기생 성분의 영향으로 데이터의 직렬화 블록뿐만 아니라 스퀘치 회로와 다른 블록에도 영향을 미쳤다. 기생 성분의 영향을 가장 심각하게 받은 블록은 PLL 블록으로, 직렬 ATA 칩이 1.5Gbps 의 속도로 데이터를 전송하기 위해서는 PLL 블록에서 1.5GHz 의 클록을 발생하여 관련 블록에 전달해 주어야 하는데, PLL 클럭이 1.28GHz 이상이 되면 다른 블록으로 클록 전송을 하지

못하는 것으로 판명되었다. 그림 7 은 지터 특성을 애질런트 장비로 측정한 그림이다. 직렬 ATA 사양에서 0.15UI 와 033U 사이에 분포할 것을 요구하고 있으므로, 본 제작된 칩은 0.15UI(100ps) 특성을 지니므로 사양을 만족한다.

그림 8 은 COMRESET 신호가 발생된 신호를 출력단에서 측정된 파형이다.

그림 9 는 전송단에서 송신한 데이터를 수신단에서 수신하여 클럭과 데이터로 복원한 신호를 측정된 파형이다.

6. 개선된 아날로그 회로 시뮬레이션 결과

제작된 칩의 특성 중에서 직렬 ATA 의 사양을 만족하지 못한 일부 아날로그 특성에 대한 원인을 조사해서 SPICE 회로 시뮬레이션을 통하여 확인하고 특성 개선을 위한 설계 수정 내용을 기술하였다.

그림 10 은 양호했던 신호가 배선 기생 성분의 영향으로 각 블록으로 전달되면서 감소되는 것을 볼 수 있는데, 제작된 칩에서 발생되었던 문제점이다. 그림 11 은 특성을 개선하여 양호한 회로 시뮬레이션 결과 파형을 나타낸다. 그림 12 는 회로 수정 후 TXP, TXN 단자를 통하여, 1.5Gbps 의 속도로 데이터가 전송되는 회로 시뮬레이션 결과 파형을 나타낸다.

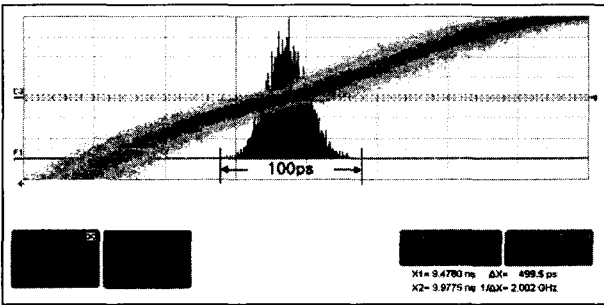


그림 7. 지터 특성 측정 결과
Fig. 7. Jitter characteristic.

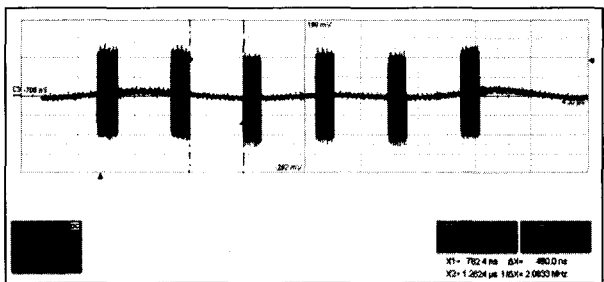


그림 8. 측정된 COMRESET 신호
Fig. 8. Measured COMRESET signal.

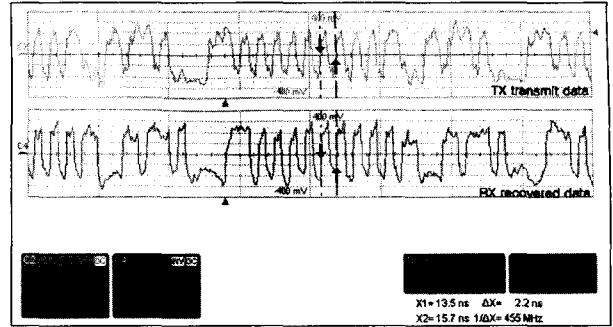


그림 9. RX 블록에서 수신한 데이터
Fig. 9. RX recovered data.

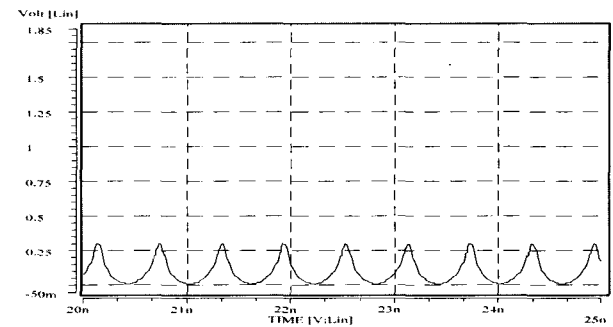


그림 10. 회로 수정 전의 신호 감쇠
Fig. 10. Attenuated signal – before circuit revision.

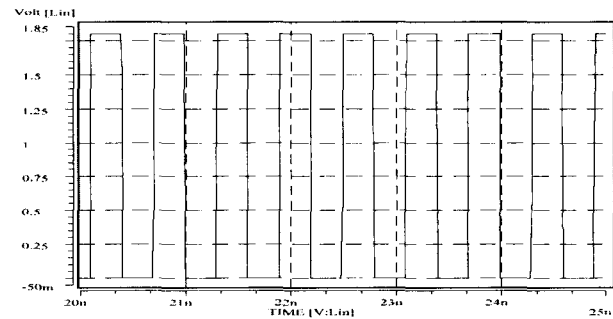


그림 11. 회로 수정 후의 신호 특성
Fig. 11. Improved signal – after circuit revision.

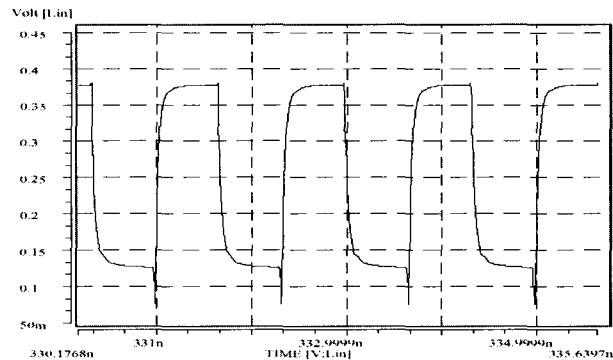


그림 12. 회로 수정 후의 1.5Gbps 출력 파형
Fig. 12. 1.5Gbps output – after circuit revision.

Ⅲ. 결 론

본 논문에서는 1.5Gbps 의 직렬 데이터 전송 속도를 지니는 직렬 ATA 물리층을 직렬화 및 병렬화 회로와 전원 초기인가 시의 리셋 발생 회로, OOB 신호 발생 및 검파 회로, 1.5GHz PLL 회로 데이터로부터 클럭 및 데이터를 복원하는 회로, 스켈치 회로 및 입력, 출력 버퍼 회로, 저전압 차등 증폭기 및 임피던스 조정 회로와 콤마 발생 및 검파 회로로 구성된다. 전력 관리를 위하여 상위 계층에서 전력 관리 모드 진입을 요구하는 경우에 물리 층에서는 각 모드에 따라서 PLL 관련 게이트나 PLL 자체의 동작을 중지하는 회로도 설계하였다. 특성 검증을 위하여 칩의 제작은 UMC 사의 0.18 μ m CMOS 표준 로직 공정을 이용하여 제작되었고 칩 내부의 테스트 기능과 계측기를 통하여 성능이 검증되었다. 성능 검토 결과 공통 모드 출력 직류 전압, 송신단 출력 전압 및 수신 단 입력 전압, 드라이버 출력 지터 특성, OOB 신호의 송신 및 검파, ALIGN 전송 및 검파, 송, 수신 준비 신호 발생 및 링크 층과의 통신 등 대부분의 특성이 직렬 ATA 의 사양을 만족하였다. 데이터 전송 율은 원래 사양인 1.5Gbps 의 속도보다 약 8% 정도 미달되는 1.28Gbps 의 속도를 지녔고, 분석 결과 포스트 레이아웃 시뮬레이션이 충분치

않은 것으로 판정되었다. 현재 분석 후 회로 수정한 내용으로 다시 칩을 제작 중에 있다. 차후 직렬 ATA 1세대 뿐만 아니라 직렬 ATA 2세대 표준인 3.0Gbps 데이터 전송률을 지니는 칩을 확보할 예정이다.

참 고 문 헌

- [1] Jeffrey Ravencraft, "Serial ATA- the Long-term Solutions for Storage Connectivity", Intel Developer, March, 2001.
- [2] Joint Whitepaper prepared by Eurologic Systems, Intel and Western Digital Corporation, "Serial ATA A Promising New Alternative for Enterprise Storage Applications", September, 2002.
- [3] Serial ATA II Connectivity Expansion through RSM Specification Revision 1.0, Serial ATA II Workgroup, April, 2003.
- [4] Serial ATA II : Port Multiplier 1.0, Serial ATA II Workgroup, April, 2003.
- [5] Serial ATA I 1.0, Serial ATA I Workgroup, November, 2000.

저 자 소 개



박 상 봉(정회원)

1985년 2월 : 광운대 전자재료공학과 졸업

1987년 2월 : 고려대 전자공학 석사

1992년 2월 : 고려대 전자공학과 공학 박사

1992년 3월~1999년 2월 : 삼성전자 선임 연구원

1999년 3월~현재 : 세명대학교 정보통신학과 조교수

2000년 2월~현재 : 음니미디어(주) ASIC팀 기술고문

2000년 7월~현재 : @lab(주) Digital 설계팀 기술고문

<주관심분야 : Digital TV, Serial ATA>



신 영 호(정회원)

1982년 2월 : 경북대 전자공학과 졸업

1984년 2월 : 경북대 전자공학과 석사

1983년 10월~2000년 12월 : 삼성전

자수석 개발 팀장

2001년 1월~현재 : @lab 연구소장

2002년 3월~현재 : 세명대학교 겸임교수

<주관심분야 : Serial ATA, 아날로그 반도체 설계>

