

논문 2004-41SD-2-1

광통신 모듈용 단일칩 CMOS 트랜시버의 설계

(Design of a Single Chip CMOS Transceiver for the Fiber Optic Modules)

채 상 훈*, 김 태 련*, 권 광 호**

(Sang-Hoon Chai, Tae-Lyun Kim, and Kwang-Ho Kwon)

요 약

STM-1 체계의 광통신용 광모듈 송수신부에 내장하기 위한 155.52 Mbps 트랜시버 ASIC을 0.6 μm 2-poly 3-metal 실리콘 CMOS 기술을 이용하여 설계하였다. 설계된 ASIC은 시스템에 의해서 처리된 155.52 Mbps 데이터 신호를 LD를 통하여 광신호로 변환하여 상대 시스템으로 송신하는 트랜스미터의 역할과, 상대 시스템으로부터 전송되어온 155.52 Mbps 광신호를 PD로 수신하여 전기신호로 변환하고 원형으로 복구하는 리시버의 역할을 한다. 트랜스미터와 리시버를 하나의 실리콘 기판에 집적하여 단일칩 형태의 트랜시버를 설계하기 위하여, 잡음 및 상호 간섭 현상을 방지하기 위한 배치 상의 소자 격리 방법뿐만 아니라 전원분리, 가드링, 격리장벽 등을 도입한 새로운 설계 방법을 적용하였다. 설계된 칩의 크기는 4 x 4 mm²이며, 5 V 전원 공급상태에서 소모전력은 900 mW로 예측할 수 있었다.

Abstract

This paper describes the design of monolithic optical transceiver circuitry being used as a part of the fiber optic modules. It has been designed in 0.6 μm 2-poly 3-metal silicon CMOS analog technology and operates at 155.52 Mbps(STM-1) data rates. It drives laser diode to transmit intensity modulated optical signal according to 155.52 Mbps electrical data from system. Also, it receives 155.52 Mbps optical data that transmitted from other systems and converts it to electrical data using photo diode and amplifier. To avoid noise and interference between transmitter and receiver on one chip, layout techniques such as special placement, power supply separation, guard ring, and protection wall were used in the design. The die area is 4 x 4 mm² and the estimated power dissipation is less than 900 mW with a single 5 V supply.

Keywords : CMOS 트랜시버, 단일칩, 광통신 모듈, ASIC 설계, 레이아웃

I. 서 론

정보화 시대를 맞이하여 사용하는 정보의 양이 폭발적으로 증가함에 따라 국가종합 정보통신망인 B-ISDN과 같은 정보통신 기간 망뿐만 아니라, 음성, 데이터, 영상 등을 동시에 취급하는 ATM(asynchronous transfer mode) 체계의 가입자 망, TCP-IP를 기반으로 하는 인터넷 가입자 망 등에서도 광섬유(optical fi-

ber)를 이용한 광통신(optical communication) 방식으로 정보를 전송하게 되었다. 이에 따라 광통신 송수신부에 위치하여 전기신호를 광신호로 변환해 주고, 광신호를 전기신호로 변환해 주는 광모듈(optic module)의 중요성도 급격히 부상하고 있다.

광모듈은 정보의 양과 처리 속도의 증가 등을 고려해 볼 때 최대 가입자 1인당 송수신기 1세트까지도 쓰일 수 있으므로 광통신이 보편화된다면 그 수요는 엄청나게 늘어날 것으로 판단된다. 그러나 그 동안 국내에서는 이 분야에 대한 연구 개발을 소홀히 하여 아직도 LD(laser diode), PD(photo diode), ASIC(주문형 반도체)을 비롯한 핵심부품 대부분을 반제품 또는 완제

* 정회원, 호서대학교 전자공학과
(Dept. of Electronic Engineering, Hoseo University)

** 정회원, 한서대학교 전자공학과
(Dept. of Electronic Engineering, Haseo University)
접수일자 : 2003년 6월 12일, 수정완료일 : 2004년 2월 10일

품 형태로 외국에서 수입하여 조립하는 단계에 머물러 있는 실정이다. 그 중에서도 특히 LD, PD 구동을 위한 ASIC은 Maxim, Philips, Analog Devices 등 몇몇 업체에서 트랜스미터 ASIC 및 리시버 ASIC의 2칩 형태로 생산되고 있으나 국내 개발은 미흡한 실정이다.

본 논문에서는 광통신 시스템 및 가입자의 광모듈에 내장되어 STM - 1 신호 체계의 155.52 Mbps 전기적 데이터신호를 LD를 통하여 광신호로 변환해주고, PD를 통하여 수신된 광신호를 155.52 Mbps의 전기적 데이터신호로 복원하는 고속 트랜시버 회로를 기존의 2칩 형태에서 한 걸음 더 나아가 단일칩 형태의 ASIC으로 설계하고자 한다. 이 경우 칩 동작 시 트랜스미터 및 리시버 회로 상호간에 잡음 발생 및 상호 간섭 등의 문제점이 대두될 수 있으므로 이를 해결하기 위한 특별한 설계 방법을 사용하고자 한다.

II. 광모듈의 구성

그림 1은 광 송수신부에 쓰이는 광모듈의 구조를 개략적으로 나타낸 것이다. 일반적으로 광모듈은 광발생기, 트랜스미터와 광검출기, 전치 증폭기(pre-amplifier), 리시버가 하나의 모듈 속에 내장되어 있으며, 외부는 주로 금속이나 플라스틱으로 패키징(packaging)되어 있다. 여기서 트랜스미터는 시스템으로부터 발생한 전기적 신호를 전류신호로 변환하며, 광발생기는 이 전류신호를 특정한 파장을 갖는 광신호로 변환해주는 역할을 한다. 보통 광발생기는 LD 또는 LED(light emitting diode)가 쓰인다. 광 검출기는 광섬유를 통해서 전송된 광신호를 받아서 전류신호로 바꾸어 주는 역할을 하며, PIN(P-intrinsic-N) 다이오드 또는 에벌런치(avalanche) 다이오드가 많이 쓰인다. 전치 증폭기는 광검출기에 의해 변환된 전류신호를 전압신호로 바꾸어 주는 트랜스 임피던스(trans-impedance) 증폭기로서 GaAs등 화합물반도체를 사용하여 제작한 MESFET가 많이 쓰인다. 리시버는 전치증폭기의 출력을 증폭하여 데이터를 복원하는 역할을 하며, 데이터 전송 중단을 경보하기 위한 LOS(loss of signal) 회로 등도 포함하고 있다. 현재 트랜스미터와 리시버는 속도, 전류 용량 등 회로 특성을 고려하여 주로 실리콘을 이용한 아날로그 바이폴라의 2칩ASIC 형태로 제작되고 있다¹⁻³⁾. 본 연구에서는 광모듈 제작 시 경제

성을 고려하여 그림 1에서와 같이 트랜스미터와 리시버를 통합한 트랜시버를 CMOS 기술에 의한 단일칩 ASIC 형태로 설계하고자 한다.

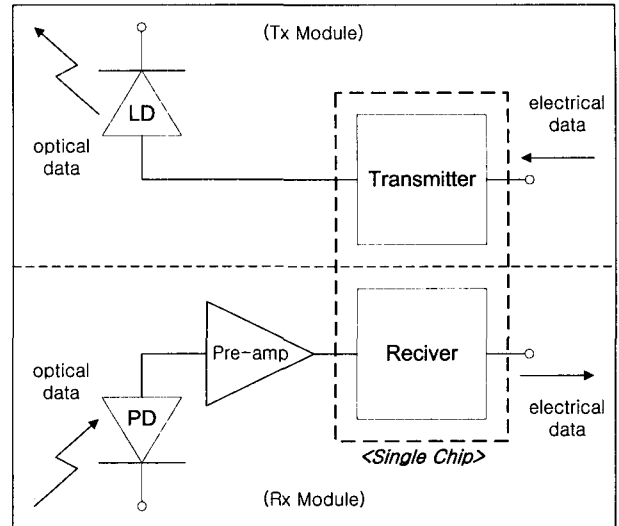


그림 1. 광모듈의 구성도

Fig. 1. Block diagram of fiber optic modules.

III. 트랜스미터 회로의 설계

그림 2는 본 논문에서 설계한 LD 모듈을 포함한 트랜스미터 회로의 구조를 나타낸 블록도이다.

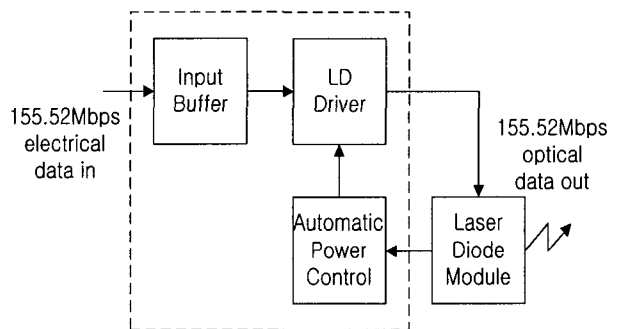


그림 2. 설계된 트랜스미터의 구성도

Fig. 2. Block diagram of designed transmitter.

LD 모듈에는 광 발생을 위한 LD와 LD에서 발생한 광 출력을 모니터링하기 위한 PD가 포함되어 있다. 점선 안의 트랜스미터 회로에는 PECL 레벨의 입력 신호를 LD 변조전류 제어신호로 바꾸어주는 버퍼회로와

LD 구동 회로로 구성되어 있으며, LD 구동 회로에는 광출력의 직류(DC) 성분을 일정하게 유지하기 위한 바이어스 회로와 전기적 신호를 광신호로 바꾸어주는 소신호(AC) 모듈레이션(modulation) 회로가 포함되어 있다.

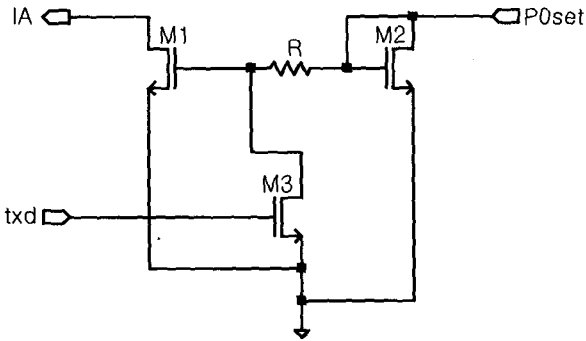


그림 3. 레이저 다이오드 바이어스 드라이버
Fig. 3. Bias driver of laser diode.

그림 3은 레이저 다이오드의 바이어스 전류 I_A 를 설정하는 회로로서 동작점이 레이저 다이오드의 문턱위로 설정되도록 P0set에 연결되는 칩 외부 연결 저항을 조정한다. M1과 M2는 전류거울(current mirror) 관계로, 채널 길이 변조(channel length modulation) 효과를 무시하면 두 트랜지스터의 전류는 다음과 같다.

$$I_{M2} = (V_{DD} - V_{D2}) / R1 = \mu_n C_{ox} (V_{D2} - V_{THN2})^2$$

$$I_{M1} = I_A = K \cdot I_{M2}$$

여기서 V_{D2} 는 M2의 드레인(또는 게이트) 전압이고, R1은 칩 외부에서 Vdd와 P0set 단자 사이에 연결된 저항이며, K는 M1과 M2의 크기 비(aspect ratio)이다. M3는 트랜스미터가 동작하지 않을 때 소비 전력을 줄임과 동시에 레이저 다이오드의 노화(aging)를 막기 위해 M1을 off시키는 스위치 역할을 한다. 트랜스미터가 정상 동작할 때는 M3의 게이트 전압 txd는 0 V가 되어 M3가 off되므로 M1과 M2의 게이트 전압이 동일하게 되어 전류거울 동작에 의한 전류 복제가 이루어진다. 전송 중단 상태가 되면 시스템 컨트롤러는 txd를 5 V로 만들게 되고, M3가 on되면서 전압을 드롭시켜 M1의 게이트와 소오스간 전압을 문턱전압(V_{th} , threshold voltage) 아래로 떨어뜨린다. 이렇게 함으로써 M1의 드레인 전류 I_A 는 약반전(subthreshold) 전류를 무시할 경우 거의 0이 된다. M3가 on되었을 때 값

은 선형영역(deep triode)에서 동작할 수 있도록 R과 M3의 크기를 조정한다.

트랜스미터 회로에는 주위환경이나 LD의 특성변화에 관계없이 항상 일정한 광 출력을 유지하기 위한 APC(automatic power control) 회로도 포함되어 있다. 이 APC 회로는 LD 모듈의 PD에서 출력된 전압을 LD 바이어스 회로로 피드백시켜 온도 등 주위 환경이나 LD의 장시간 사용에 따른 특성변화가 고려된 LD의 바이어스 전류를 결정해 주는 역할을 한다^[4]. 그림 4는 레이저 다이오드의 광출력을 안정시키기 위한 APC(Automatic Power Control) 회로의 블록도를 나타낸 것이다.

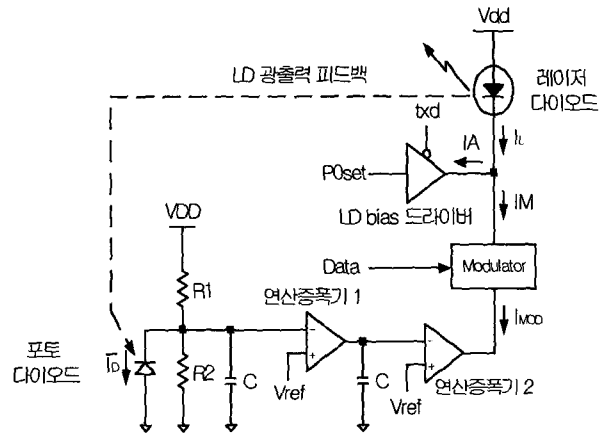


그림 4. APC 회로의 블록도
Fig. 4. Block diagram of APC circuit.

레이저 다이오드의 광출력은 흐르는 전류량에 의해 결정된다. 레이저 다이오드 전류는 바이어스 전류 I_A 와 변조전류 I_M 으로 구성된다. 변조전류 I_M 은 전송하려는 데이터와 광출력 제어회로에 의해 변하게 된다. 전송 데이터가 '0' 이면 $I_M = 0$ 이고, 전송 데이터가 '1' 이면 $I_M = I_{MOD}$ 가 된다. I_{MOD} 의 크기는 레이저 다이오드의 특성 변화에 따라 달라지게 된다. 즉, 장기간 사용 및 온도에 따라 레이저 특성이 저하되면 광출력 제어회로는 원래의 광출력을 유지하기 위해 변조전류 $I_M = I_{MOD}$ 를 증가시키게 된다. 데이터 패턴에 따라 광출력 제어회로가 변조되는 것을 막기 위해 R1, R2, C를 이용하여 저역통과 필터를 구성함으로써, 일정시간 이상 지속되는 레이저 다이오드의 특성 변화에만 광출력 제어회로가 반응하도록 하였다. 연산증폭기 1과 2는 입력되는 기준전압 V_{ref} 와 광출력의 일부가 피드백되어 전압으로 변환된 전압이 같게 되도록 출력

Vout을 제어하게 되며, 이것에 의해 레이저 다이오드의 광출력은 일정하게 유지된다.

IV. 리시버 회로의 설계

그림 5는 본 논문에서 설계한 PD 모듈을 포함한 리시버 회로의 개략적인 구조를 나타낸 블록도이다. PD 모듈은 광섬유를 통해 전송된 광신호를 전류신호로 바꾸어주는 PD와, 출력된 전류신호를 전압신호로 변환하는 전치증폭기로 구성된다. 리시버 회로에는 전치증폭기의 출력 전압을 증폭하는 제한증폭기(limit amplifier)와 신호 미입력을 감지하는 LOS 회로 및 신호 레벨을 CMOS에서 PECL로 변환해 주기 위한 버퍼(buffer) 회로가 배치되어 있다. 제한 증폭기는 연산 증폭기를 5단 직렬로 연결한 형태로 각단의 소신호 전압이득은 약 10으로 설계되어 명목상의 전체 전압 이득은 약 100,000 이나, 각단을 거치면서 신호의 크기가 커짐에 따라 증폭도는 떨어져 실제 증폭도는 약 2,000 정도가 된다^[5-6]. 제한증폭기 각 단 연산증폭기는 그림 6과 같이 차동증폭기와 버퍼로 구성된다.

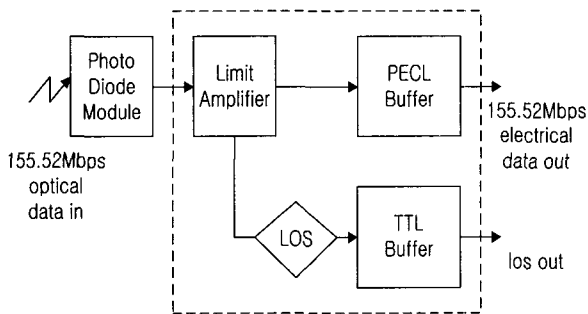


그림 5. 설계된 리시버의 구성도
Fig. 5. Block diagram of designed receiver.

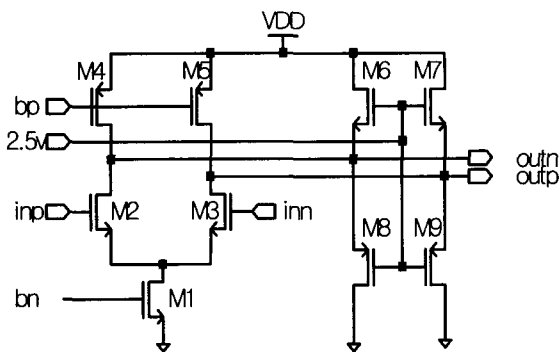


그림 6. 제한증폭기 각 단의 구조
Fig. 6. Each stage of limit-amplifier.

버퍼 회로의 NMOS와 PMOS는 배타적으로 on된다. 이 버퍼는 연산증폭기 출력 노드의 임피던스를 낮추어 대역폭을 키워주는 역할을 하게 된다. 즉, 버퍼가 on되면 출력 임피던스는 $ro3 \parallel ro5$ 에서 또는 로 크게 줄어들게 된다. 이 회로의 전압 이득은 버퍼의 on, off 경계점 및 포화영역과 선형영역의 경계점에서 크게 변한다. 버퍼가 on되기 전의 전압 이득은 버퍼 트랜지스터의 약반전 전류를 무시할 경우 대략 $gm3(ro3 \parallel ro5)$ 이나 버퍼가 일단 on되면 전압 이득은 로 급격히 떨어지게 된다. 즉, 제한증폭기에서 첫째 단의 전압 이득이 가장 크며 각 단을 거치면서 신호 레벨이 커질수록 전압 이득은 떨어지게 된다.

LOS 감지 회로는 신호의 입력 유무를 파악하여 정상적인 신호 입력 상태일 때 제한 증폭기의 출력을 PECL 버퍼로 전달하고, 전송 중단 상태일 때는 차단하는 역할을 한다. 전송 중단 시 의미 없는 제한증폭기의 출력이 PECL 버퍼로 가는 것을 차단함으로써 리시버 출력이 발진하지 않도록 하여, 시스템의 안정적인 동작을 확보함과 동시에, 선로 이상에 의한 지속적인 전송 중단 시 시스템에 이를 알려줌으로써 필요한 조치가 취해 질 수 있도록 하였다^[7]. 그림 7은 LOS 감지 회로의 등가회로이다.

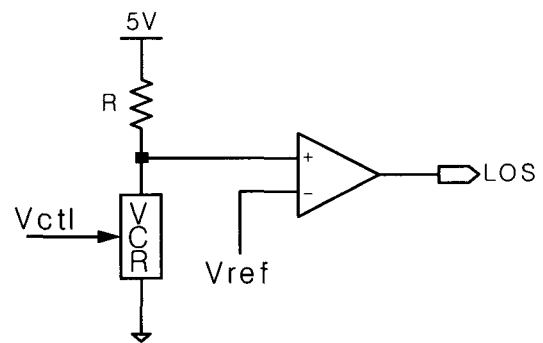


그림 7. LOS 감지 회로의 등가회로
Fig. 7. Equivalent circuit of LOS sensing circuit.

칩 외부에 연결되는 고정저항 R 과 전압 제어저항 (voltage controlled resistor)의 비에 의해 비교기 입력 전압이 결정되고, 이것은 기준전압 Vref 와 비교되어 출력 LOS를 결정하게 된다. 정상적인 신호 입력시 Vctl은 올라가고 따라서 VCR은 떨어져 LOS는 low가 된다. 반대로 신호 미 입력시 Vctl은 떨어지고, VCR은 올라가게 되어 LOS는 high가 된다.

V. 시뮬레이션 결과

설계된 칩에 대하여 Cadence사의 SpectreS를 이용하여 시뮬레이션해 보았다. 모듈별 특성을 분석하기 위하여 ASIC을 크게 트랜스미터 부분과 리시버 부분으로 나누어 시뮬레이션한 다음 칩의 특성을 분석하였다. 그림 8은 설계된 트랜스미터의 동작을 레이아웃(layout) 설계 데이터로부터 기생성분(parasitic parameter)까지 추출하여 최종(post) 시뮬레이션한 결과로서, 그림 아래쪽의 155.52Mbps PECL 'data'를 입력하였을 때 LD 구동을 위한 바이어스 전류 'IA'와 모듈레이션 전류 'IM'이 흐르는 노드(node)에 전압이 나타나는 것을 보여 준다. 또한, 'Vxin' 은 APC 회로에 의해 나타나는 전압으로서 이 전압의 크기에 따라 LD에 흐르는 바이어스 전류가 조절되는 것을 확인할 수 있었다.

그림 9는 설계된 리시버의 특성에 대하여 역시 최종 시뮬레이션을 수행한 결과이다.

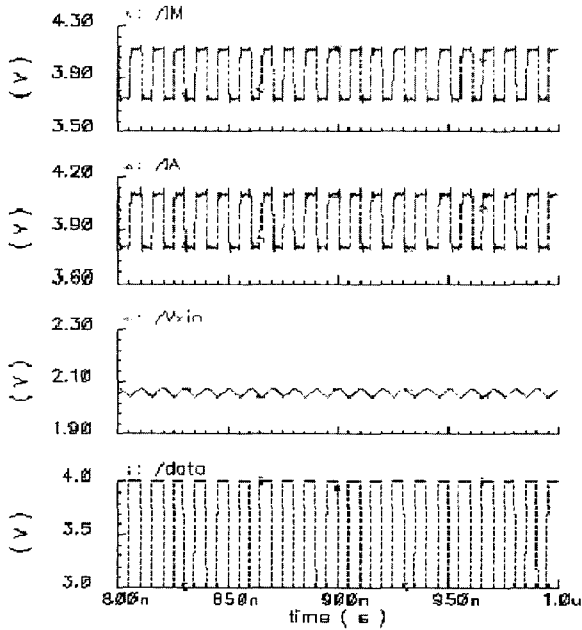


그림 8. 트랜스미터 회로 시뮬레이션 결과
Fig. 8. Simulation result of transmitter circuit.

입력 신호의 찌그러짐과 퍼짐을 고려하여 155.52 Mbps에 해당하는 77.76 MHz, 10 mVp-p의 정현파(sine wave)를 그림과 같이 입력 데이터('input_data')로 사용하였다. 그림에서 보듯이 데이터 미입력시 'los'는 high가 되고, PECL 버퍼 출력('PECL_positive_output' 및 'PECL_negative_output')은 high 또

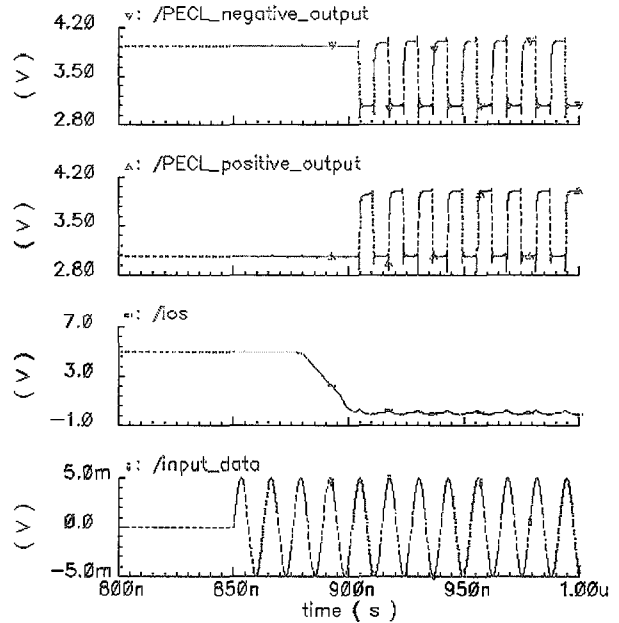


그림 9. 리시버 회로 시뮬레이션 결과
Fig. 9. Simulation result of receiver circuit.

는 low로 고정된다. 입력 데이터가 제한 증폭기를 통해 입력되었을 때 'los'는 low로 떨어지게 되고, PECL 버퍼 출력은 3 V에서 4 V의 PECL 전압으로 스윙을 하고 있음을 알 수 있다. 전체 회로에 대한 분석 결과 칩 동작 시의 최대 소비전력은 900 mW 정도로 나타났다.

VI. 레이아웃 설계

설계된 회로도에 대하여 Hynix 0.6 μm 2-poly 3-metal CMOS 아날로그 디자인 룰(design rule)을 이용하여 레이아웃 설계를 하였다. 그림 10은 IDEC(반도체설계교육센터) MPW(multi-project wafer) 형태로 설계한 칩의 도면으로서 I/O 패드(pad)를 포함한 크기는 4 x 4 mm²이다. 양산을 위한 실용화 설계 시는 불필요한 면적을 줄임으로써, 칩 면적을 현재의 반 이하로 줄일 수 있을 것으로 예상된다. 그림에서 위 부분은 리시버이고, 아래 부분은 트랜스미터에 해당한다.

본 설계에서는 단일칩 구성을 위하여 새로운 회로 및 레이아웃 설계 방법을 적용하였다. 즉, 회로는 잡음 방지를 위하여 차동(differential)회로 구조를 기본적으로 적용하였으며, 그림 10에서와 같이 상단의 리시버와 하단의 트랜스미터 사이의 전기적 상호작용 및 간

섭을 최소화하기 위하여 트랜스미터와 리시버의 위치를 물리적으로 완전 분리하였다. 이에 따라 두 회로의 전원(VDD) 및 접지(ground) 패드도 완전 분리하였다. 또한, 두 회로 사이에는 그림 10에서와 같이 전원에 연결된 n-웰(well)과 접지에 연결된 p-확산층(diffusion layer)으로 구성된 그림 11과 같은 구조의 띠(strip) 모양의 격리장벽(isolation wall)을 칩을 가로질러 교대로 설치하여 각 회로에서 발생하는 기판잡음(substrate noise) 및 주입 소수반송자(injected minority carrier)를 전기적으로 흡수하도록 함으로서 두 회로 상호간의 전하 교환이 전혀 일어나지 않도록 격리하였다.

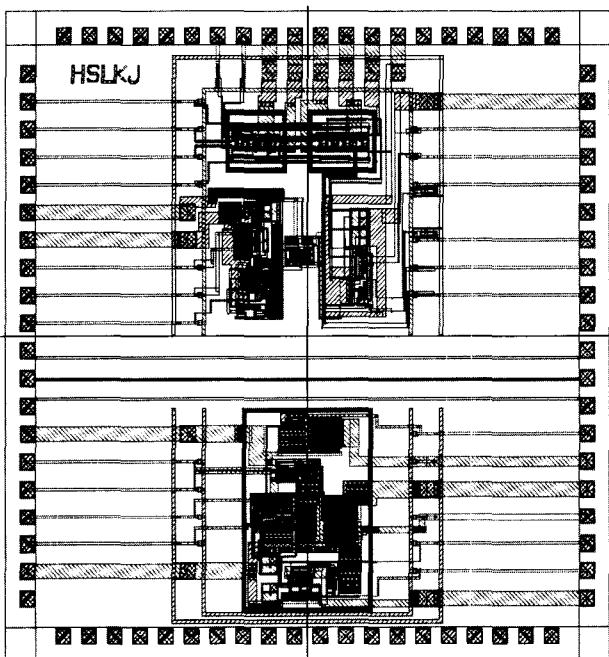


그림 10. 설계된 칩의 레이아웃 도면
Fig. 10. Layout of designed chip.

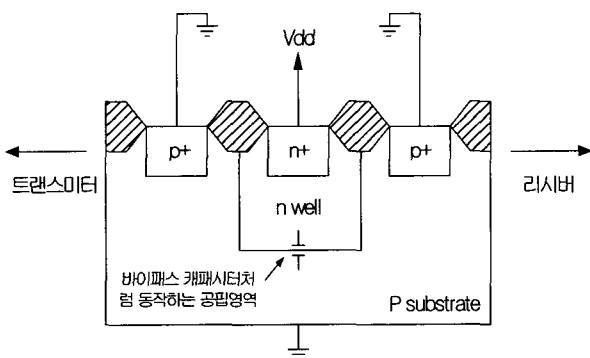


그림 11. 기판 잡음 방지를 위한 격리장벽의 단면도
Fig. 11. Cross section of isolation wall for avoiding substrate noise.

그리고, 제한증폭기, LD 드라이버 등 중요한 회로가 포함된 블록들도 그림 11과 유사한 구조의 p/n 가드링(guard ring)을 이용하여 외부로부터 격리시킴으로서 주위에서 발생하는 잡음에 대하여 영향을 받지 않도록 조치하였다. 그밖에 트랜스미터와 리시버가 사용하는 전원 및 접지 단자를 각 회로 안에서도 블록 별로 완전 분리하였다. 즉, 트랜스미터와 리시버 상호간의 전원 잡음 영향을 줄이기 위하여 그림 12와 같이 패드에서부터 각각의 전원을 분리하였으며, 트랜스미터와 리시버 내에서도 서로 다른 블록은 전원 패드를 완전 분리하였다. 또한, 블록 간에는 가드링을 사이에 두어 기판 잡음에 의한 상호 간섭을 최소화하고 래치업(latch-up)도 방지토록 하였다. 이와 함께 신호 입출력 부에는 ESD(electrostatic discharge)에 의한 입력 트랜지스터의 게이트 산화막 파괴와(gate oxide breakdown)를 방지하고 과도한 전원 오버슈터(overshoot)에 의한 래치업을 방지하기 위하여 입력패드에 클램프 다이오드(clamp diode)도 설치하였다.

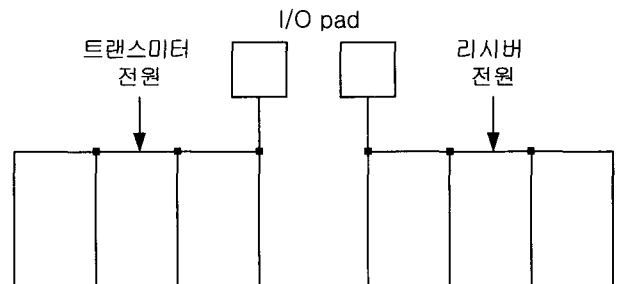


그림 12. 간섭 방지를 위한 전원 전압선의 분리
Fig. 12. Separation of power line for avoiding interference.

그밖에 안테나(antenna) 효과 방지를 위해 게이트 연결용 금속(metal) 배선의 길이가 지나치게 길어지지 않도록 하였으며, 금속 1층(metal1)과 금속 2층(metal2)을 적절히 배치하였다. 또, 신호 입력 라인에는 GND에 연결된 금속 층을 이용하여 신호선 전체를 덮어서 차폐(shield) 처리함으로써 외부로부터 잡음이 유입되지 않도록 설계하였다.

Ⅶ. 결 론

B-ISDN의 가입자 송수신부 광모듈용 155.52 Mbps 트랜스미터 및 리시버를 실리콘 0.6 μm 아날로그 CMOS

기술을 이용하여 단일 칩 트랜시버 ASIC으로 설계하였다. 트랜스미터는 PECL 레벨의 입력을 LD의 광출력 변화에 따라 다르게 레벨 변환하는 버퍼회로, 입력 신호를 이용하여 LD 구동전류를 만들어주는 LD 구동회로, LD에서 출력되는 빛의 세기를 PD를 통해 감지하여 주위환경이나 LD의 특성변화에 관계없이 항상 일정한 광출력을 유지하는 기능을 하는 APC 회로로 구성되어 있다. 리시버는 5 mV - 1 V의 넓은 입력 전압에 걸쳐 데이터 재정형을 위한 제한증폭기, 데이터 전송상태를 감시하여 전송이 중단되면 LOS 신호를 출력하는 LOS 회로 및 CMOS에서 PECL으로의 레벨 변환 버퍼회로로 구성된다. 2칩 형태의 트랜스미터와 리시버를 단일 칩으로 설계할 때 발생할 수 있는 잡음 대응력을 키우고 상호간섭 현상을 방지하기 위하여 회로적으로는 모든 부분을 차동 회로로 설계하였으며, 레이아웃 설계에서도 두 회로를 상하로 완전히 구분하여 배치 및 배선을 하였다. 또한, 트랜스미터와 리시버 사이에 전원에 연결된 n-웰 및 접지에 연결된 p-확산층을 사용한 띠 모양의 격리장벽을 설치하여 기판잡음 및 불필요한 소수 반송자를 흡수함으로써 상호 간섭에 의한 잡음발생을 최소화 할 수 있도록 하였으며, 같은 이유로 각 블록별로도 가드링을 적용하였다. 그밖에 전원잡음을 방지하기 위하여 전원도 블록별로 완전 분리하였다. 이러한 단일 칩 트랜시버 ASIC을 사용하여 광모듈을 제작함으로써 광모듈의 크기와 제작비용 및 소모전력을 줄일 수 있을 뿐만 아니라, 칩 제작에 있어서도 기존 제품이 주로 바이폴라로 이루어져 있는데 비해 제작비용이 적게드는 CMOS 기술을 사용하여 설계함으로써 대량생산시 경제적인 면에서 큰 효과가 있을 것으로 기대된다.

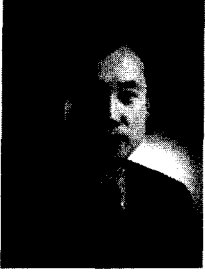
감사의 글

본 연구를 필요한 Cadence tool을 지원해 주신 IDEC에 진심으로 감사드립니다.

참 고 문 헌

- [1] D. Jeong, G. Borriello, D. Hodges, R. Katz, "Design of PLL-based clock generation circuits", IEEE JSSC, Vol. sc-22, No. 2, April, 1987.
- [2] Z. Wang, U. Langmann, "Multi-Gb/s silicon bipolar clock recovery IC", IEEE JSSC, Vol. 9, No. 5, pp. 656-663, Jun. 1991.
- [3] F. Gardner, "Charge-pump phase locked loops", IEEE Communication, com-28, No. 11, pp.1848-1858, Nov. 1980.
- [4] 이흥수, 채상훈, 송원철, 김경수, "155.52 Mbps 광통신용 트랜스미터(Tx) ASIC의 설계", 대한전자공학회 추계학술대회 논문집, 1996년 12월
- [5] 채상훈, 정희범, "광통신 모듈용 155.52 Mbps CMOS 리시버의 설계", 한국통신학회 논문지, 제 24 권, 제 6 호, 1999년 6월
- [6] D.W. Faulkner, "A wide-band limiting amplifier for optical fiber repeaters," IEEE J. Solid-State Circuits, vol. SC-18, no. 3, pp. 333-340, June 1983.
- [7] 이길재, 채상훈, "광통신 모듈용 155.52 MHz 클럭 복원 리시버의 구현", 한국통신학회 논문지, 제 26 권, 제 12C 호, 2001년 12월

저 자 소 개

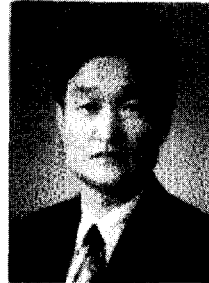


채 상 훈(정회원)

1981년 2월 : 경북대학교 전자공학과 학사졸업. 1983년 2월 : 부산대학교 전자공학과 석사졸업. 1992년 8월 : 부산대학교 전자공학과 박사졸업. 1983년 3월 ~ 1997년 9월 : 한국전자통신연구원

반도체연구단 책임연구원. 1997년 9월 ~ 현재 : 호서대학교 전자공학과 부교수

<주관심분야 : 아날로그회로 설계, 반도체 소자 및 공정, 광통신 시스템, 전력선통신, ITS 등>



권 광 호(정회원)

1985년 2월 : 고려대학교 전기공학과 학사졸업. 1987년 2월 : 고려대학교 전기공학과 석사졸업. 1993년 2월 : 고려대학교 전기공학과 박사졸업. 1985년 3월 ~ 1995년 3월 : 한국전자통신연구원 반도체연구단 선임연구원.

1995년 3월 ~ 현재 : 한서대학교 전자공학과 부교수

<주관심분야 : 반도체 설계, 반도체 소자, 반도체 공정 등>

김 태 련(정회원)

1991년 2월 : 경북대학교 전자공학과 학사졸업. 2001년 8월 : 호서대학교 전자공학과 석사졸업. 1991년 3월 ~ 2000년 7월 삼성전자 반도체시험 부분. 2001년 12월 ~ 현재 (주)프롬서티 반도체장비연구소 개발3팀장.

<주관심분야 : 아날로그회로 설계, 반도체 측정 및 시험, 반도체장비 설계개발 등>