

이중밴드 저잡음 증폭기 설계를 위한 공통 소스 접지형 CMOS 쌍의 잡음해석

Noise Analysis of Common Source CMOS Pair for Dual-Band LNA

조 민 수 · 김 태 성 · 김 병 성

Min-Soo Cho · Tae-Sung Kim · Byung-Sung Kim

요 약

직렬 공진형 공통 소스 접지 트랜지스터 쌍은 선택형 이중 밴드 LNA에 가장 널리 사용되는 구조이다. 본 논문은 이러한 선택형 이중밴드 저잡음 증폭기를 동시에 서로 다른 주파수에서 구동하였을 때 나타나는 잡음 지수의 악화 정도를 해석하고, 0.18 μm CMOS 공정으로 구현한 LNA의 실험 결과와 비교한다. 아울러, 잡음 해석을 통해 다른 밴드 LNA로부터 발생하는 트랜지스터의 채널 잡음과 전원 잡음의 기여도를 분석하고, 동시형 LNA로 사용하였을 때 잡음을 최소화하기 위한 정합구조를 제안한다.

Abstract

The selectable dual band LNA usually uses common source transistor pair each input of which is selectively driven at a different frequency in a series resonant form. This paper analyzes the degradation in noise figures of the MOSFET common source pair with series resonance when it is driven concurrently at both inputs with different frequencies as a concurrent dual band LNA. Results of analysis will be compared with the measured noise figures of CMOS LNA with double inputs fabricated in 0.18 μm CMOS process. Additionally, analyzing the contributions of FET channel noise and source noise from the LNA operating in the other band, this paper proposes optimum matching topology which minimizes the added noises for concurrent operation.

Key words : Dual-band, Selectable, Concurrent, CMOS, Noise Figure

I. 서 론

현재 무선통신 기술의 동향을 살펴 볼 때 가까운 미래에는 다양한 무선 통신 서비스를 하나의 단말기에서 제공하기 위한 다중모드, 다중 밴드 수신기가 일반화될 것으로 예측된다. 이러한 요구에 부응하여 여러 분야에서 많은 연구가 수행되어지고 있는데, 수신기에서는 다중 밴드 LNA가 널리 연구되고 있다. 현재까지는 선택적으로 한 밴드에서 동작하는 선택형 이중 밴드 LNA가 널리 연구되었고^{[1],[2]}, 동시형 LNA에 대한 연구는 [3]의 연구가 가장 대표적인

다. 선택형 LNA에 가장 널리 사용되는 구조는 캐스 코드 LNA에서 공통 소스(또는 에미터) 트랜지스터를 두개 사용하여, 한 트랜지스터를 선택적으로 활성화시키는 것이다. 이러한 구조를 두 주파수에서 동시에 입력을 가하여 구동하면 잘 알려져 있는 바와 같이 다른 밴드에서 동작하는 트랜지스터의 고유한 잡음과 신호원의 잡음이 추가되어 잡음지수가 선택적으로 동작시킬 때보다 열화되게 된다. 따라서, [3]에서는 단일 트랜지스터에 대해 다중 밴드에서 동시에 잡음을 최소화할 수 있는 입력정합 조건을 유도하고, 이를 기초로 입력단에서 이중 공진회로를

성균관대학교 전기전자 및 컴퓨터공학과(School of Information and Communication Engineering, Sungkyunkwan University)

· 논문 번호 : 20031115-04S

· 수정완료일자 : 2004년 1월 2일

사용하여 동시형 이중 밴드 LNA를 구현하였다. 이러한 구조는 저전력에 이중 밴드 LNA를 구현하기 위한 최적의 방법이나, 항상 두 밴드가 활성화 되어 있어 선택적인 동작이 힘들고, 이중밴드 필터를 필요로 하는 한계가 있다. 본 논문에서는 선택형 LNA에 널리 쓰이는 두개의 입력을 갖는 구조에 대해 잡음 해석을 수행하여, 선택형을 동시형으로 동작시켰을 때 잡음지수가 정량적으로 얼마나 악화되는지를 분석하고, 실험 결과와 비교해 보고자 하며, 해석 결과를 기초로 동시형으로 동작시켰을 때 추가잡음을 최소화하기 위한 개선 방법을 제안하고자 한다.

II. CMOS 저잡음 증폭기에 관한 이론

이중 밴드 구조에서 잡음 해석을 위해 일반적인 적렬공진형 CMOS LNA의 잡음 이론을 살펴보면 다음과 같다. 그림 1에 나타난 공통 소스 저잡음 증폭기의 입력 임피던스를 살펴보면 식 (1)과 같이 나타내어질 수 있다^[4].

$$Z_{in} = j\omega(L_s + L_g) + \frac{1}{j\omega C_{gs}} + \frac{g_m}{C_{gs}} L_s \quad (1)$$

위 식은 공통 접지 트랜지스터에서 이론적 간결성을 위해 피드백 캐패시턴스를 무시하고 유도된 형태로, 이 식을 보면 L_s 로 입력 임피던스의 실수부를 만들 수 있고, 적절한 값의 L_g 를 이용하여 입력 임피던스의 허수부를 제거할 수 있음을 알 수 있다. MOS의 잡음전력은 드레인 전류 잡음과 게이트 잡음으로 이루어지며, 각각의 전력밀도는 다음과 같다.

$$\overline{i_{nd}^2} = 4kT\gamma g_{d0} \quad (2)$$

$$\overline{i_{ng}^2} = 4kT\delta g_g \quad (3)$$

식 (2), (3)에서 k 는 볼츠만 상수이고 T 는 절대온

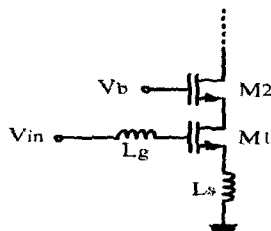


그림 1. CMOS 캐스코드 저잡음 증폭기
Fig. 1. Cascode CMOS LNA.

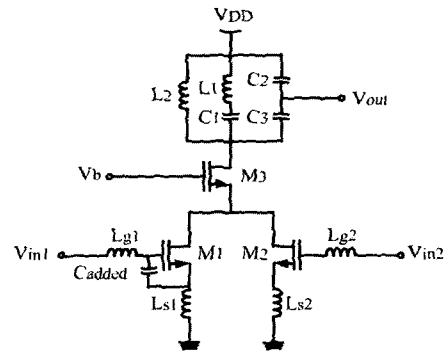


그림 2. 공통 소스 접지형 MOS 쌍을 갖는 이중밴드 저잡음 증폭기
Fig. 2. Dual band LNA using common source MOSFET pair.

도이고 g_{d0} 는 $V_{DS}=0$ V일 때 드레인과 소스 사이의 컨덕턴스를 나타낸 것이며 γ 는 드레인 전류의 잡음 계수이며 긴 채널의 경우 그 값은 2/3이고 δ 는 게이트 잡음계수이며 긴 채널의 경우 4/3이고 게이트 잡음과 관련된 파라미터 $g_g = \omega^2 C_{gs}^2 / 5g_{d0}$ 이다^[4].

III. 공통 소스 접지형 CMOS쌍의 잡음해석

본 논문에서 제안하는 이중밴드 저잡음 증폭기의 구조는 그림 2에서 볼 수 있는 것과 같이 공통 소스 접지형 MOS쌍을 갖고 하나의 공통 게이트 구조를 갖는 변형된 캐스코드 구조의 저잡음 증폭기이다. 공통소스 접지형 MOS쌍의 게이트는 입력부로 사용되며 공통 게이트 구조의 드레인은 출력부로 사용된다. 그림 2에서 바이어스 회로는 생략하였다. v_{in1} 은 2.14 GHz의 입력부이고 v_{in2} 는 5.25 GHz의 입력부이다. C_{added} 는 L_{g1} 의 값을 줄이기 위하여 사용되었고, L_1, L_2, C_1, C_2, C_3 는 출력단에서 이중 공진을 이루기 위하여 사용되었다. C_2, C_3 는 50 Ω 정합을 위한 임피던스 변환 회로를 구성한다. 그림 2 회로의 잡음 지수를 유도하기 위한 소신호 잡음 등가 모델은 그림 3과 같다. 유도 게이트 잡음까지 고려하여 잡음지수를 유도할 수 있으나, 직관적 이해를 위해 그림 2 구조에서 가장 중요한 잡음원은 전원 잡음과 FET의 채널 잡음만을 고려하였다. 그림 2에서 M1은 주파수 f_1 에서 공진하며, M2는 주파수 f_2 에서 공진한다. M2에는 f_2 의 신호만 입력되며, 따라

서, 주파수 f_1 대역에 존재하는 M2의 전원 잡음과 FET 채널 잡음이 M1의 잡음지수를 악화시키게 된다. M2에 대해서는 M1이 동일한 역할을 하며 f_2 주파수에서의 잡음지수를 악화시키게 된다.

그림 3의 잡음해석을 위해 그림 1의 단일 공통소스 저잡음 증폭기 구조에서 출력 잡음을 소스저항에 의한 성분과, 채널 잡음에 의한 성분으로 나누어 구하면 식 (4), (5)와 같다. 식 (4)는 전원에 의한 잡음이며, 식 (5)는 채널에 의한 잡음이다.

$$i_{os} = 4kTR_s \left| \frac{Z_{gs}g_m}{Z_g + Z_{gs} + Z_s + Z_s Z_{gs}g_m + R_s} \right| \quad (4)$$

$$i_{oc} = \frac{4kT\gamma g_d}{|1 + Z_s Z_{gs}g_m / (Z_g + Z_{gs} + Z_s + R_s)|^2} \quad (5)$$

위 식에서 $Z_g = j\omega L_g$, $Z_{gs1} = 1/j\omega C_{gs}$, $Z_s = j\omega L_s$ 에 해당하며, R_s 는 신호원의 내부 저항으로 일반적으로 50Ω 이다. 식 (4), (5)의 결과를 이용하여 이중 공통 소스 구조에서 f_1 주파수에 대해 M1의 잡음지수를 구하면 다음과 같다.

$$F_1 = 1 + |1 + Y_s(Z_{gs} + Z_{gs1} + Z_{s1})|^2 \cdot \frac{1}{g_m^2 |Z_{gs1}|^2} \cdot \frac{\gamma g_d 0.1}{R_s} + F_{add} \quad (6)$$

$$F_{1add} = \left[\left| \frac{Z_{gs2}g_m}{Z_{gs1}g_m} \right|^2 + |1 + Y_s(Z_{gs2} + Z_{gs2} + Z_{s2})|^2 \cdot \frac{1}{g_m^2 |Z_{gs1}|^2} \cdot \frac{\gamma g_d 0.1}{R_s} \right] \cdot \left| \frac{Z_{in1} + R_s}{Z_{in2} + R_s} \right| \quad (7)$$

M1과 M2 및 입력 정합회로가 완전히 대칭적인

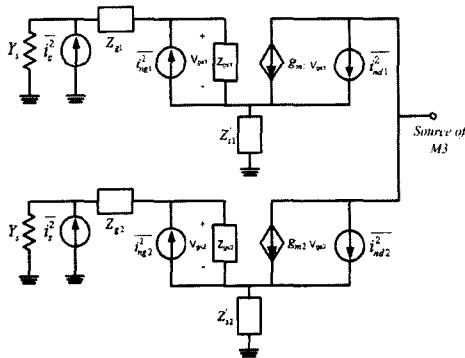


그림 3. 잡음 계산을 위한 그림 2의 소신호 잡음 등가 모델

Fig. 3. Small signal model of circuit in Fig. 2 for noise calculation.

경우에, 즉 $f_1=f_2$ 가 되는 경우에는 식 (6)은 다음과 같은 식이 된다.

$$F = 1 + 2 \cdot |1 + Y_s(Z_g + Z_{gs} + Z_s)|^2 \cdot \frac{1}{g_m^2 |Z_{gs}|^2} \cdot \frac{\gamma g_d 0.1}{R_s} \quad (8)$$

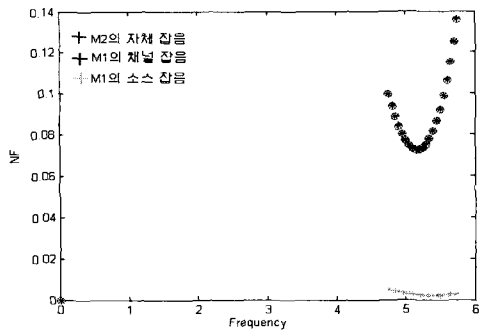
식 (8)은 입력이 한 쪽에서만 인가된 것으로 가정하고 유도된 것이기 때문에, 차동 증폭기의 잡음지수와는 식 (8)의 두 번째 항에서 2 배수만큼 차이가 있다. 또한, 동일한 게이트 폭과 바이어스 조건을 사용하여 서로 다른 주파수에서 직렬공진 구조로 동작시키면 낮은 밴드 f_1 과 높은 밴드 f_2 에서 잡음 지수는 각각의 LNA를 선택적으로 동작시킬 때의 각 주파수에서의 잡음지수의 간단한 합수로 주어진다.

$$F_{tot}(\omega_1) = F_1(\omega_1) + \left| \frac{Z_{in1} + R_s}{Z_{in2} + R_s} \right| F_2(\omega_1) \quad (9)$$

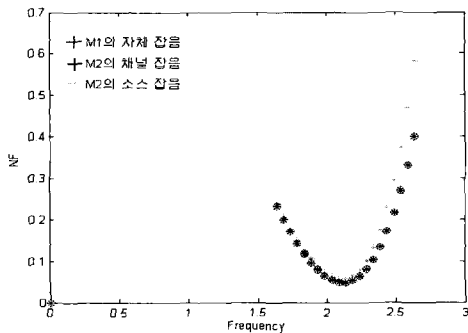
$$F_{tot}(\omega_2) = F_2(\omega_2) + \left| \frac{Z_{in2} + R_s}{Z_{in1} + R_s} \right| F_1(\omega_2) \quad (10)$$

식 (6)과 (7)을 이용하여 추가잡음을 성분별로 구하면 그림 4와 같다. 그림 4는 $f_1=2.14$ GHz, $f_2=5.25$ GHz에서 $g_m=50$ mS, $C_{gs1}=300$ fF, $C_{gs2}=150$ fF에서 구한 것이다. 그림 4(a)의 결과를 보면 5.25 GHz에서는 다른 밴드 저잡음 증폭기의 소스에서 들어오는 잡음은 거의 무시할만함을 알 수 있으며, 그림 4(b)의 결과를 보면 2.14 GHz에서는 5.25 GHz 저잡음 증폭기에서 들어오는 소스 잡음이 가장 주요함을 알 수 있다. 이러한 현상은 저잡음 증폭기의 입력단에 사용된 직렬 정합 회로가 저역통과 특성을 나타내기 때문에 5.25 GHz의 입력에서 2.14 GHz의 전력이득이 나타나게 되었고 이 전력 이득에 의하여 소스 잡음이 증폭되게 되어 2.14 GHz의 잡음지수가 나빠지게 된다.

그림 5는 그림 2에 있는 구조의 회로를 $0.18 \mu\text{m}$ CMOS 공정을 이용하여 설계 제작한 이중밴드 저잡음 증폭기의 구조이다. 모든 수동소자를 on-chip 형태로 제작한 것으로 이득과 잡음지수 특성은 표 1과 같다. 표 1에서 괄호안의 값은 입력단의 직렬 공진 회로에 off-chip 인덕터를 사용한 결과로 출력단은 이중 공진회로를 제거한 상태에서 단순히 50Ω 종단하여 측정된 결과이다. 이론적으로 예상한 바와 같이 측정 결과 또한 낮은 밴드 쪽의 잡음지수가 때



(a) 5.25 GHz



(b) 2.14 GHz

그림 4. 추가 잡음계수의 비교
Fig. 4. Comparison of added noise factor.

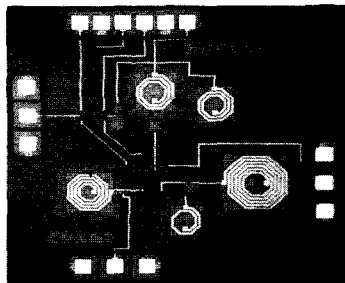


그림 5. 공통 소스접지 MOSFET 쌍을 이용한 이중밴드 CMOS 저잡음 증폭기
Fig. 5. Dual band CMOS LNA using common source pair.

우 악화된 반면 5.25 GHz 대역의 잡음지수는 상대적으로 적게 악화됨을 확인할 수 있다. 이는 on-chip과 off-chip을 사용한 두 경우에 모두 공통적으로 나타나는 현상이다. 따라서, MOSFET 쌍을 이용하여 이중 밴드 LNA를 구현할 때, 낮은 밴드의 잡음지수를 개선하기 위해서는 높은 주파수 대역의 전원 잡음의

표 1. 이중 밴드 LNA의 잡음 지수 및 이득. 괄호안의 값은 off-chip 인덕터를 사용하여 정합한 결과임

Table 1. Noise figures and Gains of dual band LNA. Results in the parenthesis are obtained using off-chip inductors.

	잡음[dB]		이득[dB]	
	선택적 구동	동시 구동	선택적 구동	동시 구동
2.14 GHz	4.54 (1.86)	7.44 (3.26)	7.82 (13.5)	8.02 (14)
5.25 GHz	6.03 (4.42)	6.58 (4.64)	8.14 (11)	8.35 (9)

유입을 줄일 수 있는 정합회로를 사용해야 함을 알 수 있다.

IV. 저주파 대의 잡음특성 개선 방법

MOSFET 쌍을 이용하여 두 개의 입력을 갖는 이중 밴드 LNA를 구현할 때 두 입력단을 직렬공진 구조로 유지하면 앞 절에서 살펴본 바와 같이 낮은 주파수대의 잡음지수가 심하게 악화된다. 이는 직렬공진구조의 특성이 저역통과 구조이기 때문이며 이를 해결하기 위해서는 높은 주파수대의 입력 정합구조를 개선해야 한다. 즉, 입력 전원 잡음의 영향을 최대한 줄이기 위하여 5.25 GHz 증폭기의 저주파 전력 이득을 줄일 수 있는 정합구조가 바람직하며 그림 6과 같이 인덕터를 이용한 병렬 정합구조가 사용

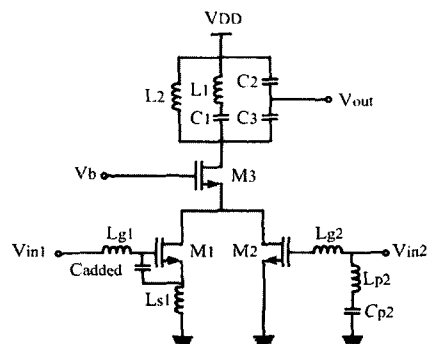


그림 6. 저주파 전원 잡음을 최소화시키기 위한 고주파 대 입력 정합 구조

Fig. 6. Matching topology of high band input for minimizing the source noise added to the low band.

될 수 있다. 모의실험을 통해 2.14 GHz에서의 잡음 지수가 줄어드는 것을 확인할 수 있었다. L_{P_2} 와 C_{P_2} 는 2.14 GHz에서 직렬공진하며, 5.25 GHz에서는 정합용 인덕터 성분을 제공한다.

V. 결 론

본 논문은 MOSFET 쌍을 이용한 선택적 이중 밴드 LNA를 동시에 구동하였을 때 발생하는 잡음지수의 악화를 정량적으로 분석하고, 0.18 μm CMOS 공정을 이용하여 구현한 LNA의 측정결과와 비교하였다. 제작된 LNA는 1.8 V 공급전압 조건에서 10 mA를 소모하며, 완전 on-chip형 LNA의 경우 2.14 GHz 단에서는 약 7.69 dB를 얻었으며 5.25 GHz 단에서는 7.44 dB 전력 이득을 얻었다. 동시형으로 측정된 결과 잡음지수가 매우 높게 나타났는데, 2.14 GHz 단에서는 NF=7.44 dB, 5.25 GHz 단에서는 NF=6.58 dB를 얻었다. off-chip으로 정합한 경우, 동시 구동하였을 때 2.14 GHz 단에서는 약 14 dB를 얻었으며 5.25 GHz 단에서는 9 dB 전력 이득을 얻었다. 잡음지수는 2.14 GHz 단에서는 NF=3.26 dB, 5.25 GHz 단에서는 NF=4.64 dB를 얻었다. on-chip 정합과 off-chip 정합의 차이는 인덕터의 Q 값의 차이 때문이며, 두 경우 모두 2.14 GHz 대역의 잡음지수가 심하게 악화

되며, 이는 이론적 예측과 일치하였다. 저주파 LNA의 잡음지수를 개선하기 위해서는 고주파 대역 LNA의 입력정합구조를 고역 통과 구조로 변경해야 함을 확인하였다.

참 고 문 헌

- [1] T. K. K. Tsang, M. N. El-Gamal, "Dual-band sub-1 V CMOS LNA for 802.11a/b WLAN applications", *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, vol. 1, pp. I-217-I-220, May 2003.
- [2] A. Catala Schmidt, "S. A universal dual band LNA implementation in SiGe technology for wireless applications", *IEEE J. Solid-State Circuits*, vol. 36, no. 7, pp. 1127-1131, Jul. 2001.
- [3] H. Hashemi, A. Hajimiri, "Concurrent Multi-band Low-Noise Amplifiers-Theory, Design, and Applications", *IEEE Trans. Microwave Theory Tech.*, vol. 50, no. 1, pp. 280-301, Jan. 2002.
- [4] D. K. Shaeffer, T. H. Lee, "A 1.5-V, 1.5-GHz CMOS low noise amplifier", *IEEE J. Solid-State Circuits*, vol. 32, pp. 745-759, May 1997.

조 민 수



2001년 8월: 성균관대학교 전자공학과 (공학사)
 2002년 3월~현재: 성균관대학교 전기전자 및 컴퓨터공학과 석사과정
 [주 관심분야] 초고주파 능동회로 설계, 저잡음 증폭기 등

김 병 성



1989년 2월: 서울대학교 전자공학과 (공학사)
 1991년 2월: 서울대학교 전자공학과 (공학석사)
 1997년 2월: 서울대학교 전자공학과 (공학박사)
 1997년 9월~현재: 성균관대학교

정보통신공학부 부교수

[주 관심분야] RFIC, RF 소자 모델링

김 태 성



2002년 2월: 성균관대학교 전기전자 및 컴퓨터공학부 (공학사)
 2002년 3월~현재: 성균관대학교 전기전자 및 컴퓨터공학과 석사과정
 [주 관심분야] 초고주파 능동회로 설계, CMOS 모델링