

# 리플렉터 형태의 K-대역 주파수 체배기 구현에 관한 연구

한석균\* · 최병하\*\*

\*목포해양대학교 해양전자·통신공학과, \*\*목포해양대학교 해양전자·통신공학부 교수

## A Study on Design of Reflector Type Frequency Doubler in K-Band

Sok-Kyun Han\* · Hyung-Ha Choi\*\*

\*Division of Marine Electronic & Comm. Eng., Mokpo National Maritime University, Mokpo 530-729, Korea

\*\*Division of Marine Electronic & Comm. Eng., Mokpo National Maritime University, Mokpo 530-729, Korea

**요 약** : 본 논문에서는 고주파 특성이 우수한 NEC사의 ne71300-N MESFET를 이용하여 24GHz 대역 국부발진기용 주파수 체배기를 설계 및 제작하였다. 멀티하모닉 로드 풀 시뮬레이션을 통하여 최적의 고조파 소스·부하 임피던스를 선택하였다. 리플렉터를 이용하여 변환 이득을 개선할 수 있었고, 대역저지필터를 이용하여 기본파와 3차 고조파 성분을 억제하였다. 측정된 결과 0 dBm의 입력신호에 대해 출력주파수인 24GHz에서의 출력 전력은 -3.776 dBm이고, 변환 이득은 0.736 dB, 41.064 dBc의 높은 고조파 억압 특성을 얻었다.

**핵심용어** : 주파수 체배기, 멀티하모닉 로드 풀, 리플렉터, 변환 이득

**Abstract** : In this paper, a reflector type frequency doubler for local oscillator at 24GHz is designed and fabricated with ne71300-N MESFET. Optimum source and load impedances are decided through a multiharmonic load pull simulation technique. A conversion gain can be improved using the reflector and fundamental and third harmonics are well suppressed with open stub of  $\lambda/4$  length. Measured results show output power at 0dBm of input power is -3.776dBm, conversion gain 0.736dB, harmonic suppression 41.064dBc, respectively.

**Key words** : frequency doubler, multiharmonic load pull, reflector, conversion gain

## 1. 서 론

오늘날 정보 통신 용량의 증가에 따라 통신시스템의 사용 주파수가 점차 높아지고 있다. 마이크로파, 밀리미터파 통신 시스템에서는 직접 높은 주파수 안정도와 낮은 위상 잡음을 갖는 깨끗한 신호원을 만들기가 어렵다. 따라서 주파수 체배기를 이용하여 고주파 신호를 발생시킬 경우 위상잡음이  $20\log(N)$ (체배 차수)에 따라 증가하지만, 밀리미터파 대역에서의 레이더나 통신 등의 시스템 구성에 있어, 높은 주파수 안정도와 저잡음 특성을 갖는 저주파 신호원이나 PLL의 신호를 체배하여 고주파 신호원을 만드는 방법을 사용하고 있다.

일반적인 주파수 체배기의 경우 낮은 변환이득이나 손실을 가질 수 있고, 체배기의 출력단에서 원하지 않은 고조파 성분들을 제거하기 위하여 대역통과필터를 사용하는 경우에는 필터의 삽입 손실로 인하여 체배된 신호의 크기가 감소하며 전체 회로의 크기가 증가하게 된다. 따라서 본 논문에서는 출력측의 원하지 않는 하모닉 성분을 억제하기 위한 단순한 개방 스테르브의 대역저지필터와 그리고 변환이득을 개선하기 위한 직렬 스테르브로 구성된 리플렉터 형태를 선택함으로써 기존의 체배기와 비교하여 변환이득을 개선하면서도 구조는 단순화된

주파수 체배기를 설계하고자한다.

본 논문에서는 12 GHz 신호원을 입력하여 24 GHz의 2차 하모닉 성분을 출력하는 리플렉터 형태의 능동 주파수 체배기를 구현하였다. 주파수 특성이 우수한 NEC사의 ne71300-N MESFET를 사용하였으며, 체배기 바이어스는 변환 효율을 위하여  $I_{ds}$  바이어스를 선택하였다.

주파수 체배기 설계를 위한 회로 해석은 멀티하모닉 로드 풀 시뮬레이션을 통해 고조파 성분들의 최적의 소스·부하점을 찾을 수 있고, 고조파의 부하 정합 점에 따른 고조파의 대한 출력 전력과 하모닉 성분의 억압 정도를 예측할 수 있으며, 하모닉 발란스 시뮬레이션을 통해 변환이득과 하모닉 억압 특성을 위한 반사기 그리고 정합회로를 최적화 할 수 있다 (Cai et al., 1998 : Rohde and New Kirk, 2002).

## 2. 주파수 체배기 이론

### 2-1. 주파수 체배기 바이어스

일반적인 주파수 체배기 이론에서 MESFET와 같은 능동 소자는 저주파에서 비선형 저항성분만을 포함하고 있다고 간

\* 대표저자 : 한석균(정회원), prohan@hanmail.net 061)240-7121

\* 최병하, antenna@mail.mmu.ac.kr 061)240-7117

단히 모델링 할 수 있고, 출력 측의 even 또는 odd 하모닉 성분을 소자의 바이어스, 입력 신호의 드라이브 레벨, 그리고 드레인 종단 상태 등을 조절함으로써 직접적으로 생성된다고 할 수 있다(Carmargo, 1998).

FET를 이용하는 2차 체배기에서는 보통 핀치-오프 근처의 바이어스 영역에서 사용되며, 비선형 트랜스 컨덕턴스는 고조파 생성에 가장 중요한 요소가 된다. 2차 체배기에서 또 하나의 중요한 바이어스 지점은 게이트 전압이 제로인  $I_{dss}$  바이어스이다. 그림 1에서  $v_g \approx 0$  인 점에서 입력 신호  $V_{gs}(t)$  레벨이 제로에서 pinch-off 전압까지 swing 되도록 한다면 pinch-off 바이어스와 같은 동작 특성을 나타낸다(Carmargo, 1998).

그림 1에서 바이어스점이  $v_g \approx 0$ 인 지점으로 근접한다면 입력 신호 전압  $V_{gs}(t)$ 의 swing 시간  $t_1-t_6$ 에 대한 드레인 출력 전류 파형은 반파 정류 형태의 even 하모닉 성분이 우세한 파형으로 만들 수 있다.

$I_{dss}$  바이어스와 입력 전력 레벨에 의하여 출력 전류 파형이 반파 정류 형태로 clipping 되었다고 근사화 한다면 하모닉 발생 특성은 출력 전류를 푸리에 시리즈를 이용하여 기본과  $I_1$ 와 고조파 성분  $I_{dn}$ 으로 식 (1)과 같이 일반적인 식으로 표현할 수 있고, 트랜지스터의 입력 신호의 전도각과 매우 밀접한 관계가 있다(O' Cillardha, 2002 : Rauscher, 1983).

$$I_1 = \frac{I_p}{\pi} \left[ \frac{\pi t_0}{T} - \frac{\sin(2\pi t_0/T)}{2} \right]$$

$$I_{dn} = \frac{I_p}{\pi} \left[ \frac{\sin([n-1]\pi t_0/T)}{n-1} + \frac{\sin([n+1]\pi t_0/T)}{n+1} - \frac{2}{n} \cos(\pi t_0/T) \sin(2\pi t_0/T) \right] \quad (1)$$

여기서,  $I_p$ 는 드레인의 peak 전류,  $T$ 는 주기,  $t_0$ 는 전도각 (conduction angle)을 나타낸다.

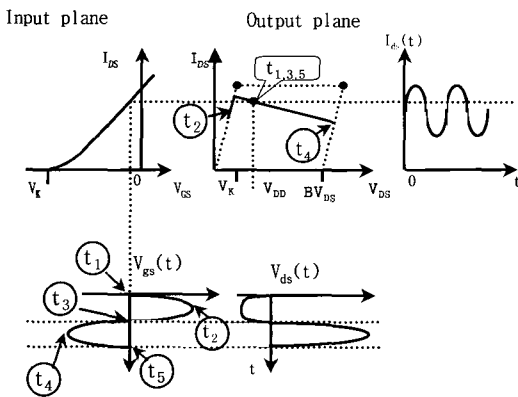


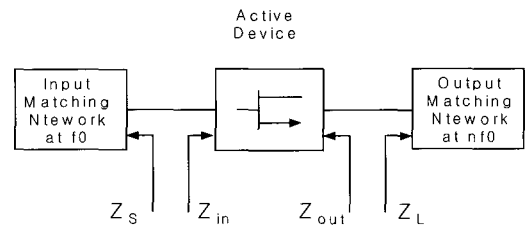
Fig. 1 Waveform and signal trajectory of Idss bias

2-2. 리플렉터 형태의 주파수 체배기

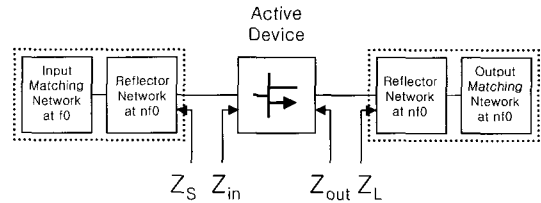
저주파 대역에서 주파수 체배기의 하모닉 발생은 바이어스

나 드라이브 레벨에 의한 것으로 설명하였다. 그러나 마이크로파 대역에서 드레인에서 고조파를 생성하기 위해서는 소자의 비선형 성분은 물론이고 소자의 기생성분을 무시할 수 없기 때문에 이 기생 캐패시턴스나 인덕턴스 성분과 궤환 회로까지를 포함하고 있다고 본다(Carmargo, 1998).

따라서 마이크로파 대역에서 체배기의 고조파 생성은 전류, 전압 파형의 왜곡에 의해서 발생할 뿐만 아니라 기본 주파수와 입력 측으로 궤환 되어 넘어온 고조파 성분과의 상호 변조에 의해서도 발생된다고 볼 수 있다.



(a) General frequency multiplier



(b) Frequency multiplier with reflector

Fig. 2 Block diagram of the frequency multiplier

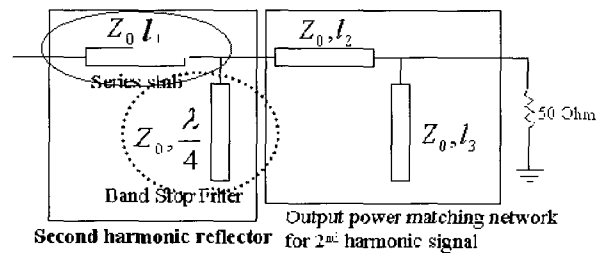


Fig. 3 Reflector in frequency doubler

주파수 체배기에서 리플렉터의 역할은 고조파 성분을 드레인 쪽으로 반사시키고 궤환 통하여 변환 효율을 크게 하는 역할을 한다. 입력으로 궤환 되어 되돌아오는 고조파가 기본파 신호전력  $P_0$ 보다 낮은 레벨이라고 가정하면  $n$ 번째 고조파 출력의 일부는 궤환되어 증폭되고, 기본파와 궤환된  $(n-1), (n+1)$  번째 고조파의 상호 변조에 의해 주파수 변환(conversion) 된 원하는 고조파 성분 역시 커진다. 이 때 출력 측에 나타나는  $n$ 번째 고조파의 전력  $P_n$ 은 다음 식 (2)와 같이 쓸 수 있다.

$$P_n = (1 - A_n) [P_0 MG + P_n A_n G_n + (P_{n-1} A_{n-1} + P_{n+1} A_{n+1}) CG] + \text{other terms} \quad (2)$$

여기서,  $P_n$  은  $n$  번째 고조파 출력 전력,  $P_0$  는 기본파  $f_0$  의 출력 전력,  $P_{n-1}, P_{n+1}$  는  $(n-1), (n+1)$  번째 고조파 전력,  $A_{n-1}, A_{n+1}$  는  $(n-1), (n+1)$  번째 고조파 반사 전력이다. 전체적인 체배기의 효율은 기본파가  $n$  번째 고조파로 체배되는 체배 이득(MG),  $n$  번째 고조파 전력 이득( $G_n$ ), 그리고 기본파와  $(n-1), (n+1)$  과의 변환 이득(CG)의 3가지 메카니즘으로 설명된다(Carmargo, 1998 ; Ranscher, 1983 ; Iyama and Iida, 1989).

그림 2는 일반적인 주파수 체배기와 변환 이득을 개선하기 위한 리플렉터 형태를 포함한 주파수 체배기를 보여주는 그림이다. 그림 3은 주파수 2 체배기의 반사기와 출력 정합회로를 포함한 그림이다. 주파수 2 체배기에서 대역저지필터의 마이크로스트립 선로의 길이는 기본 입력 주파수에 대해 2 체배기인 경우  $\lambda/4$ 이고, 3체배기인 경우  $\lambda/6$ 이고, 4체배기인 경우는 각각  $\lambda/8$ 가 된다(Hirota, 1989).

리플렉터 형태 주파수 체배기 설계의 가장 중요한 개념은 직렬-스터브 길이  $l_1$  에 따른 위상각을 조절함으로써 변환 이득을 향상시키고, 개방스터브에 의해 출력 고조파 성분 중 원하지 않는 고조파 성분을 억제하는 것이다. 2 체배기 리플렉터의 경우에 그림 3과 같이 개방-스터브의  $\lambda/4$ 는 대역저지필터로서 기본파와 제 3고조파를 억압하는 역할을 한다. 변환 이득에 영향을 미치는 마이크로스트립 라인인 직렬-스터브  $l_1$  과 출력 정합회로에 들어가는  $l_2, l_3$  로서 3개의 변수가 있다.

### 3. 주파수 체배기 설계

본 논문에서는 멀티하모닉 로드 풀 시뮬레이션을 이용하여 주파수 체배기를 설계하였으며 그 설계 절차를 요약하면 a) 고조파에 대한 최적 부하점의 선택과 정합 점을 선택 b) 고조파 억압을 위한 반사기 개방 스텐브 길이 선택 c) 변환 이득 개선을 위한 반사기의 직렬 스텐브 길이  $l_1$  선택 d) 고조파 억압과 이득 개선을 위한 출력 정합회로 설계와 같이 요약할 수 있다.

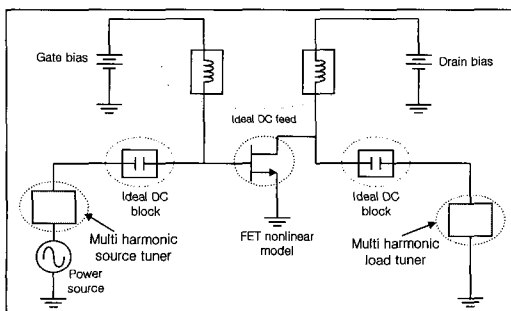
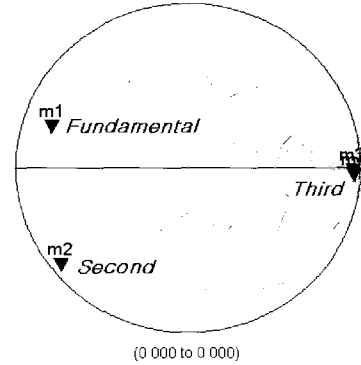
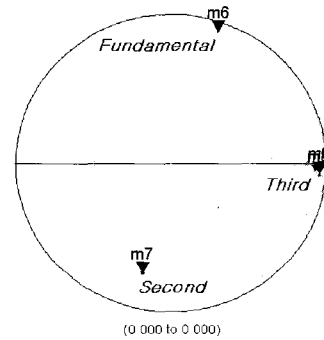


Fig. 4 Setup for multiharmonic load pull simulation

그림 4는 멀티하모닉 로드 풀 시뮬레이션 회로도이다. 입력과 출력에 연결된 튜너를 조정하여 입·출력 부하를 변화시키고, 이 때 시뮬레이션 상에서 최적의 고조파 소스·부하 임피던스 값을 찾는 방법이다(Maas, 1998 ; Cai et al., 1998 ; Rohde & Newrirk, 2000). 최적의 고조파 소스·부하 임피던스 값을 그림 5에 스미스 차트에 나타내었다.



(a) Optimum harmonic source impedance



(b) Optimum harmonic load impedance

Fig. 5 Optimum harmonic Source · load impedance

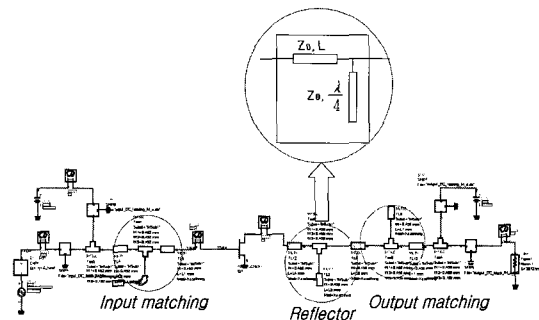


Fig. 6 Multiharmonic load pull simulation circuit for conversion gain

그림 6은 원하지 않는 하모닉 성분을 제거하고 변환 이득을 개선하기 위한 반사기 설계를 위한 시뮬레이션 구성도이다. 설계된 주파수 체배기의 시뮬레이션 결과는 그림 7과 같이, 직렬 스텐브의 길이(L)에 따라 변환 이득이 변함을 알 수 있다. 직렬 스텐브 길이를 2.8 m로 최적화하였을 때 변환 이득이 1.710 dB로 나타났다.

하모닉 억제를 위한 개방 스텐브의 길이에 따른 시뮬레이션 결과는 그림 8 과 같이 기본파는 26 dBc, 3차 고조파는 36 dBc 로 고조파 억압 특성을 나타내고 있다.

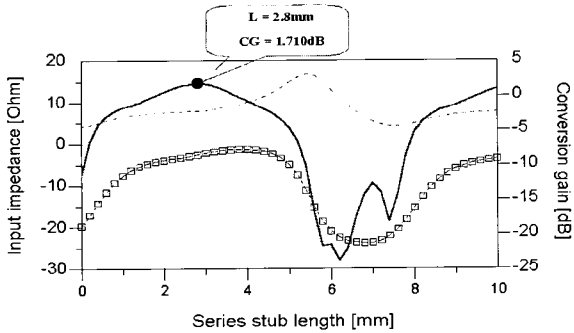


Fig. 7 Input impedance & conversion gain

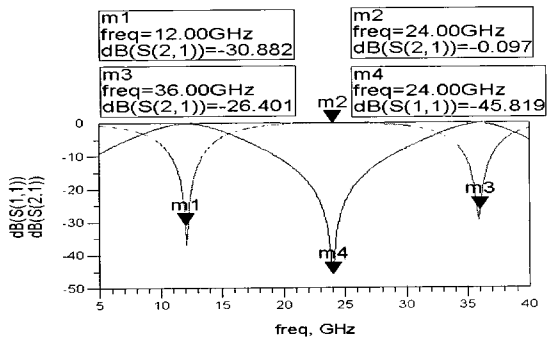


Fig. 8 Harmonic suppression characteristic of quarter-wave open stub

#### 4. 주파수 체배기 제작 및 측정 결과

그림 9의 설계된 주파수 체배기 회로는 비유전율이 3.38이고 두께가 8 mil인 Rogers사의 RO4003 기판 위에 제작하였고, 전체 크기는 35mm×16.5mm이다. 주파수 체배기에 사용된 MESFET는 고주파 특성과 잡음특성이 우수한 NEC사의 ne71300-N 소자를 사용하였다.

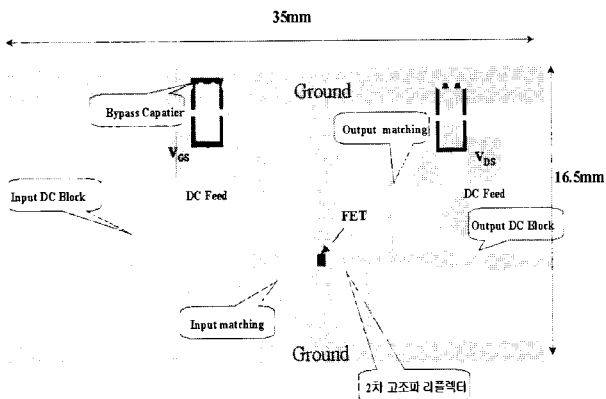


Fig. 9 Layout of proposed frequency doubler

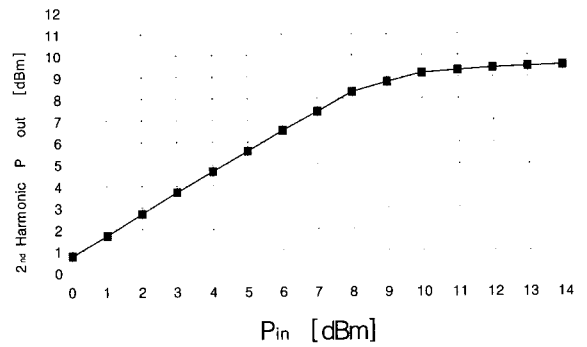


Fig. 10 Second harmonic output power

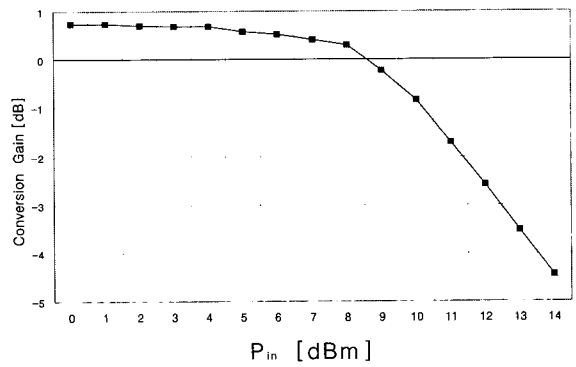


Fig. 11 Conversion gain VS input power

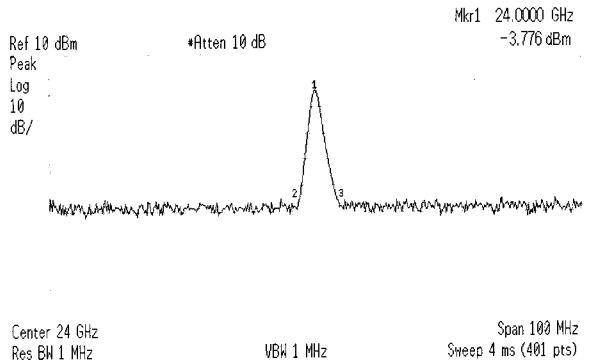


Fig. 12 Output spectrum



Fig. 13 Fabricated picture of frequency doubler

그림 10과 그림 11은 12 GHz의 입력 신호 전력을 0 dBm부터 14 dBm까지 변화해 가면서, 측정된 2차 고조파 출력 전력과 변환이득이다. 그림 12에서 측정 환경은 입력 주파수가 12 GHz에서 전력이 0 dBm일 때, 출력 주파수 24GHz에서 출력

손실은 -3.776 dBm으로 나타났다. 측정케이블 선로상의 손실 4.512 dBm을 고려하면 변환이득은 0.736 dB로 비교적 양호하게 나왔다. 기본 주파수 역압은 41.064 dBc를 얻었다. 그림 3은 본 논문에서 제작한 주파수 체배기의 실물 사진이다.

## 5. 결 론

본 논문에서는 NEC사의 ne71300-N MESFET를 이용하여 2 GHz의 신호를 입력하여 24 GHz를 출력하는 주파수 체배기를 설계하였다. 멀티하모닉 로드 풀 시뮬레이션 방법을 이용하여 최적의 소스·부하 임피던스 점을 찾을 수 있었다. 이 최적의 고조파 지점들 중에서 원하는 2차 고조파 부하 점에 정합 함으로서 2차 고조파 전력과 다른 고조파의 전력을 알 수 있었다.

리플렉터 형태의 주파수 체배기를 사용함으로써, 기존의 필터를 삽입하여 설계하는 방법에 비해 전체 회로의 크기를 줄일 수 있었으며, 변환이득을 개선할 수 있었다. 주파수 체배기 측정결과 12 GHz에서 0 dBm의 입력신호에 대해 24 GHz에서 측정케이블 선로상의 손실 -4.512 dBm을 고려하면 출력 전력은 0.736 dBm이었고, 기본주파수에 대한 역압 특성은 -41 dBc 이었다.

## 참 고 문 헌

[1] Carmargo, E. (1998) *Design of FET Frequency Multipliers and Harmonic Oscillators*, Artech House.

[2] Cai, Q. Gerber, J. and Peng, S. (1998) "A systematic for Power Amplifier Design Using a Multi-Harmonic Load Pull Simulation Technique", *IEEE MTT-S International Microwave Symposium Digest*.

[3] Hirota, T. (1989) "Uniplanar Monolithic Frequency Doublers", *IEEE Trans. Microwave Theory Tech*, vol. MTT-37, pp. 1249-1254, August.

[4] Iyama, Y. and Iida, A. (1989) "Second Harmonic Reflector Type High-Gain FET Frequency Doubler Operating In X-band", *IEEE MTT-S International Microwave Symposium Digest*, pp. 1291-1294.

[5] Maas, S. A. (1988) *Nonlinear Microwave Circuits*, Artech House.

[6] O'Cilardha, E. (2000) "Generic-device frequency multiplier analysis—a unified approach", *IEEE Trans. Microwave Theory and Tech*, vol. MTT-48, no.7 pp. 1134-1141, July.

[7] Rauscher, C. (1983) "High-Frequency Doubler Operation of GaAs Field-Effect Transistors", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-31, pp. 462-473, June.

[8] Rohde, U. L. Newkirk, D. P. (2000) *RF/Microwave Circuit Design for Wireless Application*, Wiley interscience.

원고접수일 : 2003년 10월 30일

원고채택일 : 2003년 2월 6일