

# 심장박동기용 시그마 델타 A/D 변환기에서의 저전력 데시메이션 필터 구조

論文

53D-2-6

## Low-power Decimation Filter Structure for Sigma Delta A/D Converters in Cardiac Applications

張永鈞\* · 梁世貞\*\* · 俞善國\*\*\*

(Young-Beom Jang · Se-Jung Yang · Sun-Kook Yoo)

**Abstract** - The low-power design of the A/D converter is indispensable to achieve the compact bio-signal measuring device with long battery duration. In this paper, new decimation filter structure is proposed for the low-power design of the Sigma-Delta A/D converter in the bio-instruments. The proposed filter is based on the non-recursive structure of the CIC (Cascaded Integrator Comb) decimation filter in the Sigma-Delta A/D converter. By combining the CSD (Caronic Signed Digit) structure with common sub-expression sharing technique, the proposed decimation filter structure can significantly reduce the number of adders for implementation. For the fixed decimation factor of 16, the 15% of power consumption saving is achieved in the proposed structure in comparison with that of the conventional polyphase CIC filter.

**Key Words** : 시그마 델타 A/D 변환기, 데시메이션 필터, 심장박동기, CSD, Common Sub-expression Sharing

### 1. 서 론

시그마 델타 A/D 변환기는 통신 시스템이나 디지털 오디오 기기 등을 비롯하여 심장박동기와 같은 신체이식 장치에서 중요하게 사용되는 소자이다. 특히, 심장박동기와 같은 신체이식 장치에서는 저전력 구현이 매우 중요한 설계 변수이다. 심장박동과 같은 생체신호는 50-150 Hz의 저주파수 대역의 신호이므로 oversampling 방식을 사용하는 시그마 델타 A/D 변환기를 사용하여 샘플링하는 것이 바람직하다.

이와 같은 시그마 델타 A/D 변환기는 변조기와 데시메이션 회로의 2개의 블록으로 구성된다. 변조기는 입력 신호를  $f_s = 8192\text{Hz}$ 로 oversampling하여 두 레벨의 디지털 출력출 내보낸다. 변조기로부터 들어오는 높은 주파수의 신호는 데시메이션 회로에 의해서 낮은 주파수의 multilevel 신호로 변환된다. 주파수는 16분의 1로 감소되어 512Hz가 되며, 진폭의 정세도는 1비트에서 10비트로 증가된다. 이 논문은 시그마 델타 A/D 변환기의 두 블록 중에서 데시메이션 회로에 관한 연구이다.

데시메이션 회로는 시그마 델타 A/D 변환기에서 가장 전력이 많이 소비되는 블록이다. 이 데시메이션 회로의 구현을 위하여 여러 가지 구조들이 선택될 수 있으며, 이와 같은 다양한 구조들은 회로의 복잡도, 구현 반도체 면적, 전력소

모 등과 같은 여러 가지 면에서 다른 특성들을 갖고 있다. 데시메이션 회로의 저전력 구현을 위하여 CIC(Cascaded Integrator Comb) 필터가 많이 연구되고 있는데, 이는 이 필터가 전력소모가 적기 때문이다. CIC 필터는 귀환 구조와 비귀환 구조의 두 가지 구조를 갖고 있다. 귀환 구조는 곱셈을 필요로 하지 않으나, 적분기의 어장(word-length)이 커지는 단점을 갖고 있다[1]. 저전력 구현을 위하여, multirate로 구성하는 비귀환 구조가 더 좋은 결과를 얻는 것으로 알려져 있다. CIC 필터의 비귀환 구조로서 동작속도를 감소시킬 수 있는 여러 가지 polyphase 구조가 개발되었다 [2][3][4]. 지금까지 연구되고 있는 polyphase CIC 필터 구조에서는 곱셈을 덧셈과 지연소자로 구현하는 것이 일반적이다[5]. 지연소자의 구현비용은 상대적으로 매우 적으므로, 사용되는 덧셈의 수에 연구의 주요관심이 모아지고 있다. 이 논문에서, 우리는 이와 같은 덧셈의 수를 감소시키기 위하여 새로운 polyphase CIC 데시메이션 필터의 구조를 제안한다.

### 2. 기존의 polyphase CIC 데시메이션 필터

CIC 필터는 다음과 같은 귀환형과 비귀환형의 전달함수로 나타낼 수 있다.

$$H(z) = \left\{ \frac{1-z^{-N}}{1-z^{-1}} \right\}^k : \text{귀환형} \quad (1)$$
$$= \left\{ \sum_{i=0}^{N-1} z^{-i} \right\}^k : \text{비귀환형}$$

이 식에서  $N$ 과  $k$ 는 각각 데시메이션 인수와 필터의 차수

\* E 會 員 : 詳明大 工大 情報通信工學專攻 教授 · 工博

\*\* 准 會 員 : University of Southern California 碩士課程

\*\*\* E 會 員 : 延世大 醫學工學教室 · 移動形 應急醫療 情報 시스템 開發 센터 · 副教授 · 工博

接受日字 : 2003年 11月 14日

最終完了 : 2003年 12月 20日

이다. 귀환형 CIC 필터는 1) 곱셈이 필요 없으며, 2) 규칙적인 구조로 구현되며, 3) 데시메이터의 위치 변경을 통한 저속 동작 등의 장점을 갖고 있다. 그러나, 필터의 차수가 높거나 데시메이션 인수가 매우 클 때에는 단점이 다음과 같이 발생한다. 즉, 적분기 블록이 상대적으로 고속으로 동작하며 어장(word-length)이 커지기 때문에 전력소모가 증가하게 된다. 이와 같은 단점을 갖는 귀환 구조와 비교하여 비귀환 구조는 귀환 루프가 없으므로 내부의 어장이 귀환 구조만큼 커지지 않는다. 따라서 필터의 차수가 높거나 데시메이션 인수가 클 때에는 비귀환 구조가 저전력의 장점을 갖는다.

데시메이션 회로는 데시메이션 필터와 그 뒤에 붙는 데시메이터로 구성된다. 이 데시메이션 회로가 서로 다른 동작 속도를 갖는 다단계의 구조로 분리되면, 이를 multirate 구조라고 부른다. 비귀환 구조의 multirate 신호처리를 위하여 전달함수의 인수분해 방법이 제안되었다[5]. 즉, 식 (1)의 비귀환형 전달함수는 다음과 같이 인수분해될 수 있다.

$$H(z) = \left\{ \sum_{i=0}^{N-1} z^{-i} \right\}^k = (1+z^{-1})^k (1+z^{-2})^k \dots (1+z^{-2^{M-1}})^k \quad (2)$$

데시메이터의 위치변경을 통하여 위의 인수분해된 비귀환형 전달함수는 다단계로 분리될 수 있다. 이와 같이 M개의 단계로 분리되었다면 마지막 단계에서의 동작속도는  $2^{-M}$ 으로 낮아지므로 전력소모도 비례하여 작아진다. 이와 같은 인수분해가 가능하려면 데시메이션 인수가 2의 승수여야 하는 제약이 따른다. 심장박동기와 같은 응용의 시그마 델타 A/D 변환기에서, 데시메이션 인수는 16으로 고정되므로 데시메이션 회로의 블록도는 그림 1(a)와 같다.

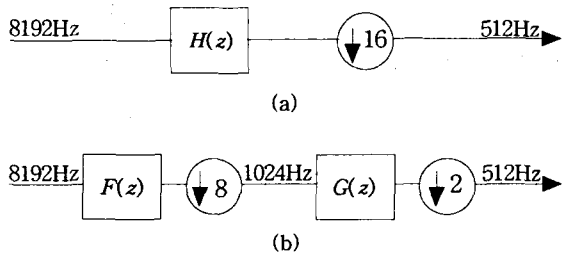


그림 1 (a) 인수 16의 데시메이션 회로의 블록도  
(b) 인수 8-2 데시메이션 회로의 블록도  
Fig. 1 (a) Block diagram of 16 decimation circuit  
(b) Block diagram of 8-2 decimation circuit

따라서 비귀환 CIC 필터의 전달함수는 다음과 같이 나타낼 수 있다.

$$H(z) = \left\{ \sum_{i=0}^{15} z^{-i} \right\}^4 = (1+z^{-1})^4 (1+z^{-2})^4 (1+z^{-4})^4 (1+z^{-8})^4 \quad (3)$$

이 비귀환 CIC 필터는 데시메이션 인수가 16이므로 여러 가지 조합의 직렬 다단계 구조로 분리될 수 있다. 즉, 4-4, 8-2, 2-8, 4-2-2, 2-4-2, 2-2-4, 2-2-2-2 등의 7가지 다단계 구조로 분리될 수 있다. 여기에서 숫자는 각 단계의 데시메이션 인수를 나타낸다. 이 중에서 8-2 구조를 사용하여 본 논문이 제안하는 저전력 구조를 유도하도록 한다. 먼저 식 (3)은 다음과 같이 다시 표현할 수 있다.

$$H(z) = F(z)G(z^8) = (1+z^{-1}+z^{-2}+z^{-3}+z^{-4}+z^{-5}+z^{-6}+z^{-7})^4 (1+z^{-8})^4 \quad (4)$$

즉 H(z)의 데시메이션 필터는 F(z)의 필터와  $G(z^8)$  필터의 직렬연결로 분리할 수 있다. 또한 그림 1(a)의 16 데시메이터는 8의 데시메이터와 2의 데시메이터로 나타낼 수 있다. 따라서 식 (4)의  $G(z^8)$ 는  $z^8$ 의 함수이므로 8의 데시메이터와 위치 바꿈이 가능하다. 즉,  $\text{sinc}^8$ 의 데시메이션 필터, 8의 데시메이터,  $\text{sinc}^2$ 의 데시메이션 필터, 2의 데시메이터의 직렬연결로 제작될 수 있다. 이 데시메이션 회로의 블록도를 그림 1(b)와 같다.

그림 1(b)에서, 구조는 F(z)와 G(z)의 필터로 구성되며 각각 8과 2의 데시메이션 인수를 갖는다. 이 F(z)와 G(z)의 전달함수는 각각 다음과 같은 polyphase 분리형으로 나타낼 수 있다.

$$F(z) = F_0(z^8) + z^{-1}F_1(z^8) + z^{-2}F_2(z^8) + \dots + z^{-7}F_7(z^8) \quad (5)$$

$$G(z) = G_0(z^2) + z^{-1}G_1(z^2)$$

위의 식 (5)에서 F(z)의 polyphase 전달함수는 각각 다음과 같다.

$$F_0(z) = 1 + 161z^{-1} + 315z^2 + 35z^{-3}$$

$$F_1(z) = 4 + 204z^{-1} + 208z^2 + 20z^{-3}$$

$$F_2(z) = 10 + 246z^{-1} + 246z^2 + 10z^{-3}$$

$$F_3(z) = 20 + 284z^{-1} + 204z^2 + 4z^{-3}$$

$$F_4(z) = 35 + 315z^{-1} + 161z^2 + z^{-3}$$

$$F_5(z) = 56 + 366z^{-1} + 120z^2$$

$$F_6(z) = 84 + 344z^{-1} + 84z^2$$

$$F_7(z) = 120 + 336z^{-1} + 56z^2 \quad (6)$$

또한 식 (5)에서 G(z)의 polyphase 전달함수는 각각 다음과 같다.

$$G_0(z) = 1 + 6z^{-1} + 4z^2$$

$$G_1(z) = 4 + 4z^{-1} \quad (7)$$

식 (5)의 Polyphase CIC 필터의 구조는 다음 그림 2와 같

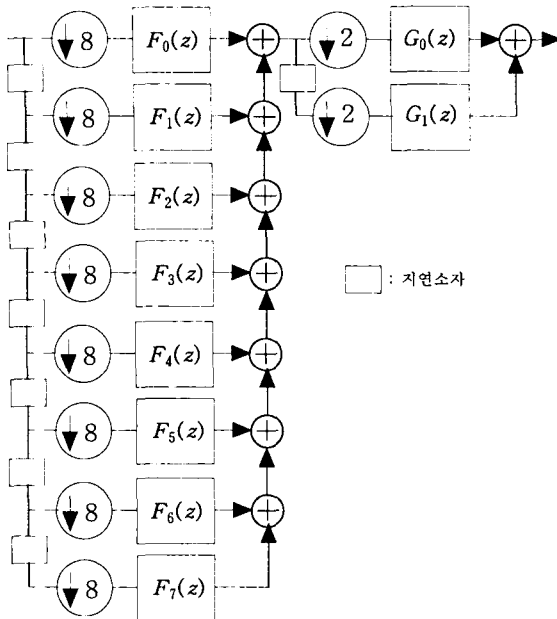


그림 2 8-2 polyphase 데시메이션 필터  
Fig. 2 8-2 polyphase decimation filter

이 구성할 수 있다. 다음절에서는 그림 2의 polyphase 필터에 대한 저전력 구현 방법을 제안한다.

### 3. 제안된 저전력 CSD 필터 구조

곱셈 구현을 덧셈을 사용하여 구현할 때에 CSD(Canonic Signed Digit)형의 수를 사용하면 덧셈의 수를 감소시킬 수 있다 [6][7]. 또한 필터에서의 곱셈은 공통패턴 공유기법(Common sub-expression sharing techniques)을 사용하여 덧셈의 수를 더욱 감소시킬 수 있다 [8][9]. 우리는 이 절에서 CSD형 계수와 공통패턴 공유기법을 사용하여 polyphase CIC 필터를 저전력으로 구현하는 새로운 구조를 제안한다. 곱셈기 덧셈과 지연소자의 하드웨어로 구현될 때에, 지연소자의 구현은 비용이 들지 않으므로 덧셈의 수에 관심이 모아진다. VLSI의 전력소모와 구현 면적은 필터계수를 나타내는 2진수의 1의 개수에 비례한다. CSD형 계수가 2의 보수형 계수보다 사용되는 1의 수가 적으므로, CSD형 계수를 사용하는 필터 구조가 저전력 필터설계에 더 적합하다. 또한 우리가 이 절에서 제안하는 CSD 구조에서는 덧셈의 수를 더욱 감소시키기 위하여 공통패턴 공유기법을 사용하였다.

#### 3.1 데시메이션 인수 8의 저전력 CSD 구조

만일 256개의 의8-2 구조를 제작하기 위하여,  $F(z)$  polyphase CIC 필터의 모든 계수를 CSD 형으로 나타내면 다음 표 1과 같다. 표 1에서 -1은 N으로 표기하였다. 표 1에서 보듯이 CSD형 계수의 모든 1 또는 N은 서로 근접하여 위치하지 않으므로 2의 보수형 계수에 비하여 1의 수가 현저

표 1 Polyphase CIC 필터의 CSD계수와 공통패턴 (데시메이션 인수 : 8)

Table 1 CSD coefficients and sub-expression of polyphase CIC filter (decimation factor : 8)

필터계수		디지털								
		8	7	6	5	4	3	2	1	0
F0	1									1
	161		1		1					1
	315	1		1				N		N
	35				1				1	1
F1	4							1		
	204		1	1			1	1		
	208	1			1			N		
	20					1		1		
F2	10						1		1	
	246	1					N		N	
	246	1					N		N	
	10						1		1	
F3	20					1		1		
	284	1			1			N		
	204		1	1			1	1		
	4							1		
F4	35				1				1	1
	315	1		1				N		N
	161		1		1					1
	1									1
F5	56			1			N			
	336	1		1		1				
	120		1				N			
F6	84			1		1		1		
	344	1		1		1	1			
	84			1		1		1		
F7	120		1				N			
	336	1		1		1				
	56			1			N			

히 감소한다. 표 1에서 공통패턴은 2중 실선으로 표기하였다. 표 1에서 보듯이 공통패턴은 101, 11, 10101 등의 3개이다. NON의 패턴은 101과 부호만 반대이므로 같은 패턴으로 정의할 수 있다.

표 1의 CSD형 계수와 공통패턴 공유기법을 사용하여 제작된  $\text{CSD}^8$ 의 구조는 그림 3과 같다. 그림 3에서 사용된 총 덧셈의 수는 61개로서 2의 보수형 계수와 공통패턴 공유기법을 사용한 기존의 구조와 비교하여 8개의 덧셈 감소효과를 달성하였다. 즉,  $\text{CSD}^8$  구조의 경우에 CSD형 계수와 공통패턴 공유기법을 사용하여 11.6%의 덧셈 감소효과가 있음을 알 수 있다.  $F_1(z)$ ,  $F_3(z)$ ,  $F_6(z)$ 의 구현에서는 2의 보수형과 CSD형 계수가 동일하므로 구현을 위한 덧셈의 수도 역시 같다.

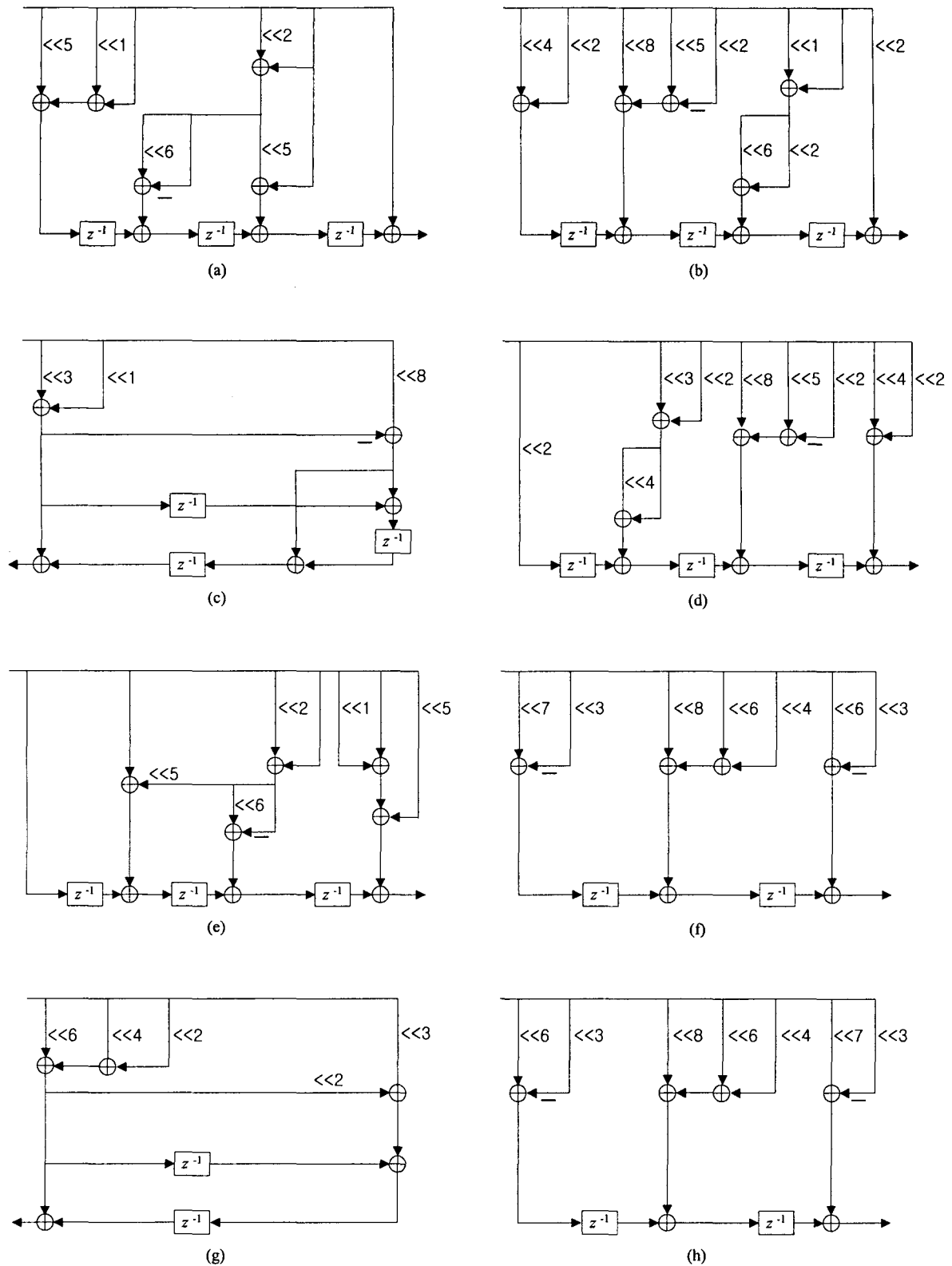


그림 3 제안된 sinc8의 polyphase CIC 필터 구조  
 (a)  $F_0(z)$ , (b)  $F_1(z)$ , (c)  $F_2(z)$ , (d)  $F_3(z)$ , (e)  $F_4(z)$ , (f)  $F_5(z)$ , (g)  $F_6(z)$ , (h)  $F_7(z)$   
 Fig. 3 proposed sinc8 polyphase CIC filter structure  
 (a)  $F_0(z)$ , (b)  $F_1(z)$ , (c)  $F_2(z)$ , (d)  $F_3(z)$ , (e)  $F_4(z)$ , (f)  $F_5(z)$ , (g)  $F_6(z)$ , (h)  $F_7(z)$

3.2 데시메이션 인수 2의 저전력 CSD 구조

이번에는 두 번째 단계인 sinc<sup>2</sup> 구조를 설계해보기로 하자. sinc<sup>2</sup> 구조의 CSD형 계수는 다음 표 2와 같다.

표 2 polyphase CIC 필터의 CSD계수

(데시메이션 인수 : 2)

Table 2 CSD coefficients of polyphase CIC filter (decimation factor : 2)

필터	계수	2	1	0
G0	1			1
	6	1	1	
	1			1
G1	4	1		
	4	1		

G<sub>0</sub>(z)와 G<sub>1</sub>(z)의 구현에서는 2의 보수형 표현과 CSD형 계수 표현이 동일하므로 구현을 위한 덧셈의 수도 역시 같다. 구현하는데 사용된 총 덧셈의 수는 5개로서 2의 보수형 계수를 사용한 기존의 구조와 비교하여 덧셈 감소효과는 없다.

1t의 데시메이션 필터를 8-2의 polyphase CIC 구조로 구현할 때에, CSD형 계수와 공통패턴 공유기법을 사용하여 구조를 제작한 결과 총 66개의 덧셈이 필요하였다. 기존의 2의 보수형 계수와 공통패턴 공유기법을 사용하는 구조는 총 74개의 덧셈이 필요하므로 8개의 덧셈 감소효과(10.8%)를 달성하였다.

4. 상대 전력소모 비교

이 절에서는 기존의 구조와 구현면적과 전력소모를 비교한다 먼저 구현면적을 비교하기 위하여 각 구조의 사용되

표 3 제안된 구조의 단계별 덧셈수 비교(by 16)

Table 3 number of addition in proposed structure(by 16)

다단계 종류	제안된 구조 (CSD계수+공통패턴 공유기법)				기존의 구조 (2의보수형계수 +공통패턴 공유기법)			
4-4	17		17		20		20	
8-2		61		5		69		5
2-8	5		61		5		69	
4-2-2		17	5	5		20	5	5
2-4-2	5		17	5	5		20	5
2-2-4	5	5		17	5	5		20
2-2-2-2	5	5	5	5	5	5	5	5

표 4 제안된 구조의 총 덧셈수 비교(by 16)

Table 4 Total number of additions in proposed structure (by 16)

다단계의 종류	제안된구조 (CSD형+ 공통패턴공유)	기존의 구조 (2의보수형+ 공통패턴공유)	면적 감소율(%)
4-4	34	40	15
8-2	66	74	10.81
2-8	66	74	10.81
4-2-2	27	30	10
2-4-2	27	30	10
2-2-4	27	30	10
2-2-2-2	20	20	0

는 덧셈의 수를 비교하였다. 비교하기 위한 다단계 구조의 종류는 4-4, 8-2, 2-8, 4-2-2, 2-4-2, 2-2-4, 2-2-2-2 등의 7가지이며 이 다단계 구조들의 사용되는 덧셈의 수는 표 3과 같다. 덧셈수의 비교를 명확히 하기 위하여 구조별로 사용되는 총 덧셈의 수를 비교하면 표 4와 같다. 표 4를 보면 4-4의 구조가 가장 덧셈수 감소율이 높음을 알 수 있다. 위의 7가지 다단계 구조들의 평균 감소율은 9.52%이다.

이제 구조들의 전력소모를 비교해보기로 한다. 제안된 구조의 상대 전력소모를 비교하기 위하여 다음의 식을 사용하였다.

$$P_{dyna} = P_t \cdot C_L \cdot V_{dd}^2 \cdot f_{clk} \tag{8}$$

위의 식에서 dynamic 전력소모, P<sub>dyna</sub>은 CMOS 디지털회로의 총 전력소모 가운데 가장 큰 비중을 차지하는 전력소모이다. 이식에서 P<sub>t</sub>는 전력이 소모되는 transition의 확률이고, C<sub>L</sub>은 부하 커패시턴스, V<sub>dd</sub>는 인가전압, 그리고 f<sub>clk</sub>는 클럭의 주파수이다. 본 논문의 구조와 기존의 구조와의 상대 dynamic 전력소모를 구하기 위하여 식 (8)을 다음과 같이 변형하여 사용한다.

$$P_{dyna} = \sum_{\text{단계}} (\text{동작속도} \times \text{면적}) \tag{9}$$

위의 식에서 동작속도는 첫 번째 단계를 항상 1로 하고 두 번째 단계부터는 데시메이터의 크기만큼 줄어들도록 하여 사용할 수 있다. 16의 데시메이션 필터를 다단계의 polyphase CIC 필터로 구성하면 각 단계에서의 상대 동작속도는 다음 표 5와 같다.

식 (9)에서의 면적으로서 표 3에서 구한 단계별 덧셈수를 사용한다. 식 (9)의 단계별 동작속도와 면적이 정의되었으므로 이 식을 사용하여 상대 전력소모를 구한 결과는 다음 표 6과 같다. 표 6을 보면 4-4의 구조가 가장 상대 전력소모 감소율이 높음을 알 수 있다. 위의 7가지 다단계 구조들의 평균 감소율은 8.14%이다.

표 5 다단계 필터의 단계별 동작속도(by 16)  
Table 5 operation speed of the multirate filter (by 16)

다단계의 종류	단계별 동작속도			
4-4	0.25	0.0625		
8-2	0.125			0.0625
2-8	0.5	0.0625		
4-2-2	0.25	0.125	0.0625	
2-4-2	0.5	0.125	0.0625	
2-2-4	0.5	0.25	0.0625	
2-2-2-2	0.5	0.25	0.125	0.0625

표 6 제안된 구조의 상대 전력소모 비교(by 16)  
Table 6 Relative power consumption of the proposed structure (by 16)

다단계의 종류	제안된 구조 (CSD형계수 +공통패턴기법)	기존의 구조 (2의보수형계수 +공통패턴기법)	상대전력소모 감소율 (%)
4-4	5.3125	6.25	15
8-2	7.9375	8.9375	11.2
2-8	6.3125	6.8125	7.34
4-2-2	5.1875	5.9375	12.6
2-4-2	4.9375	5.3125	7.06
2-2-4	4.8125	5.0	3.75
2-2-2-2	4.6875	4.6875	0

5. 결 론

이 논문에서는 심장박동기와 같은 저주파수 생체이식장치에서 사용되는 시그마 델타 A/D 변환기의 저전력 데시메이션 필터 구조를 제안하였다. 시그마 델타 A/D 변환기의 가장 전력소모가 많은 블록은 데시메이션 필터이므로 이 논문에서는 이 블록의 저전력 구현에 초점을 맞추어 연구하였다. 심장박동기용 시그마 델타 A/D 변환기의 데시메이션 필터 블록은 polyphase CIC 구조가 기본 구조로서 연구되고 있다. 이 논문에서는 저전력으로 polyphase CIC 필터를 구현하기 위하여 CSD형 필터계수와 공통패턴 공유기법을 사용하는 구조를 제안하였다. 그 결과 기존의 구조와 비교하여 15%의 구현 면적 감소와 역시 15%의 상대 전력소모 감소를 달성하였다. 따라서 제안된 데시메이션 필터 구조는 생체이식 장치용 시그마 델타 A/D 변환기에 널리 사용될 수 있는 효율적인 저전력 구현 방법이 될 것이다.

감사의 글

본 연구는 보건복지부 보건의료기술진흥사업의 지원에 의하여 이루어진 것임.  
(02-PJ3-PG6-EV08-0001)

참 고 문 헌

- [1] E. B. Hogenuer, An economical class of digital filters for decimation and interpolation, *IEEE Trans. Acoust., Speech, Signal Processing*, vol. ASSP-29, no. 2, pp. 155-162, April 1981.
- [2] M. Bellanger, G. Bonnerot, and M. Coudreuse, Digital filtering by polyphase network: Application to sample rate alteration and filter banks, *IEEE Trans. Acoust., Speech, Signal Processing*, vol. ASSP-24, pp. 109-114, Apr. 1976.
- [3] H. K. Yang and W. M. Snelgrove, High speed polyphase CIC decimation filters, *IEEE International Symposium on Circuits and Systems*, Volume 2, pp. 229-232, 1996.
- [4] Y. Gao, L. Jia, and H. Tenhunen, A partial-polyphase VLSI architecture for very high speed CIC decimation filters, *IEEE Pacific Rim Conference on communications, computers and signal processing*, pp. 317-320, 1999.
- [5] L. Ascari, A. Pierazzi, and C. Morandi, Low power implementation of a sigma delta decimation filter for cardiac application, *IEEE Instrumentation and Measurement Technology Conference*, pp. 750-755, Budapest, Hungary, May 21-23, 2001.
- [6] R. W. Reitwiesner, Binary arithmetic, in *Advances in Computers*, New York: Academic, vol. 1, pp. 231-308, 1966.
- [7] K. Hwang, *Computer Arithmetic: Principles, Architecture, and Design*, New York: Wiley, 1979.
- [8] R. I. Hartley, Subexpression sharing in filters using canonic signed digit multipliers, *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 43, No. 10, pp. 677-688, Oct. 1996.
- [9] M. Yagy, A. Nishihara, and N. Fujii, Fast FIR digital filter structures using minimal number of adders and its application to filter design, *IEICE Trans. Fundamentals of Electronics Communications & Computer Sciences*, vol. E79-A No. 8, pp. 1120-1129, Aug. 1996.

저 자 소 개



**장 영 범 (張 永 範)**

1958년 18월 18일생. 1981년 연세대 전기공학과 졸업. 1990년 Polytechnic University (New York) 대학원 공학석사. 1994년 Polytechnic University(New York) 대학원 공학박사. 1983년~1999 삼성전자 시스템LSI사업부 수석연구원, 2002년~현재

상명대 정보통신공학전공 교수

Tel : 041-550-5353, Fax : 041-550-5355

E-mail : ybjang@smu.ac.kr



**양 세 정 (梁 世 貞)**

1979년 8월 9일생. 2001년 이화여대 정보통신학과 졸업. 2003년 이화여대 대학원 정보통신학과 공학석사. 2003년~현재 University of Southern California 대학원 석사과정

E-mail : sejung\_yang@hotmail.com



**유 선 국 (兪 善 國)**

1959년 1월 8일생. 1981년 연세대 전기공학과 졸. 1983년, 1989년 동대학원 전기공학과(석, 박사). 1990-1995 순천향대 전기공학 전임강사, 조교수. 1998-2000 The University of Iowa Visiting Associate. 1995년 - 현재 연세대 의학공학교실 부교수

E-mail : sunkyoo@yumc.yonsei.ac.kr