

# InGaP/GaAs HBT 기술을 이용한 저잡음 극소형 VCO 설계

## Design of a Low Noise Ultraminiature VCO using the InGaP/GaAs HBT Technology

전 성 원 · 이 상 설

Sung-Won Jeon · Sang-Seol Lee

### 요 약

InGaP/GaAs HBT 공정을 이용하여 1.75 GHz의 전압제어 발진기를 설계한다. 전압제어 발진기의 위상 잡음을 개선하기 위하여 저역 통과 필터의 특성을 가지는 새로운 잡음 제거 회로를 제안하고, 극 소형화를 위하여 FR-4 기판의 특수한 적층 구조를 이용한다. 제작된 전압제어 발진기의 주파수 변화 범위는 약 200 MHz이고, 위상 잡음은 120 kHz 오프셋에서 -119.3 dBc/Hz이다. VCO 코어의 소비 전력은 공급 전원 2.8 V에서 11.2 mW이고, 출력 파워는 -2 dBm이다. FOM의 계산치는 191.7로써, 지금까지 발표된 FET나 HBT 전압제어 발진기보다 좋은 성능을 보인다. 완성된 전압제어 발진기의 크기는 3.266 mm × 3.186 mm로 극소형이다.

### Abstract

The integrated voltage-controlled-oscillator(VCO) operating at 1.75 GHz is designed using the InGaP/GaAs HBT process. The proposed noise removal circuit and FR-4 substrate structure in this letter show the better characteristic of the phase noise and reduce the size of the VCO. The frequency tuning range of the VCO is about 200 MHz and the phase noise at 120 kHz offset is -119.3 dBc/Hz. The power consumption of the VCO core is 11.2 mW at 2.8 V supply voltage and the output power is -2 dBm. The calculated figure of merit(FOM) is 191.7, which shows the best performance compared with the previous FET or HBT VCO.

Key words : VCO, Phase Noise, InGaP/GaAs HBT

### I. 서 론

IC 제조 기술의 급속한 발전으로 인하여 많은 이동통신용 RF 부품들의 단일 칩화가 이루어지고 있다. 그 중에서 RF 부품의 핵심인 VCO의 단일 칩화가 중요한 과제로 떠오르고 있다. GSM, DCS, 무선 LAN용 VCO는 이미 단일 칩으로 상용화되고 있다. 그러나, CDMA 표준용 1.75 GHz 대역의 VCO는 시스템의 낮은 위상 잡음 사양 때문에 아직까지 완벽한 단일 칩화가 이루어지지 못하고 있다. 최근에 1.75 GHz 대역의 VCO로는 주로 SiGe HBT나 Si

CMOS 기술을 이용한 연구가 활발하다<sup>[1]-[5]</sup>. 그러나 이러한 결과들은 아직까지 CDMA 표준의 시스템 사양을 만족시키지 못하고 있다. 따라서 이 연구에서는 Si 기본으로 제작된 VCO보다 낮은 위상 잡음과 고주파 특성이 우수한 InGaP/GaAs HBT를 이용하여 VCO를 설계, 제작하고자 한다. 또한, 상용화 가능한 VCO의 제작을 위하여 Knowledge \* on의 6 inch 갈륨비소 공정을 이용한다.

완전 집적 InGaP/GaAs VCO는 주파수 튜닝을 위하여 HBT의 베이스 컬렉터 사이의 커패시턴스 변화를 벡터 다이오드로 사용한다. 이러한 방식은 버

한양대학교 전자전기컴퓨터공학부(Department of Electrical and Computer Engineering, Hanyang University)

· 논문 번호 : 20031112-152

· 수정완료일자 : 2003년 12월 22일

렉터 다이오드를 집적할 수 있는 장점은 있으나 주파수 변화의 선형성과 Q가 매우 떨어지는 단점이 있다. 또한, 공진기의 경우에도 인덕터를 내부에 집적하는 방식이 많이 사용되고 있으나 집적된 인덕터의 Q 값이 낮아 만족할만한 위상 잡음 성능을 얻지 못한다. 이 논문에서는 벡터 다이오드를 칩 외부에 사용하여 주파수 변화의 선형성과 Q 값을 높인다. 외부 칩 사용으로 VCO의 크기가 증가하는 문제를 해결하기 위하여 기판 내부에 스트립 라인을 설치하는 새로운 기판 적층 구조를 사용한다. 또한, 새로운 잡음 제거 회로를 사용하여 위상 잡음 성능을 크게 개선한다.

## II. VCO 회로 설계 및 시뮬레이션

그림 1은 VCO의 발진단 회로도이다. 사용된 HBT 마들은 얼리 이펙트(Early effect)와 온도 행동이 개선된 마들링을 포함한 VBIC 마들이다. 온도 변화에 대한 VCO의 특성 변화를 억제하기 위하여 바이어스 전원단에 QT를 사용한다. QT는 온도 변화에 따라 전원회로의 바이어스 조건이 변화하는 것을 막아준다. QS는 VCO가 슬립모드에 들어갔을 때 VCO에 공급되는 전원을 차단하고, 액티브 상태가 되었을 때 전원을 공급하는 기능을 한다. QS를 사용하면 VCO에 공급되는 전원을 제어하여 스위칭하는 것보다 훨씬 빠른 시간 안에 VCO의 전원 스위칭이 가능하다. 온도 특성과 스위칭 특성을 개선시키는 QT와 QS의 백색 잡음이 발진 트랜지스터 Q1에 영향을 미쳐 VCO의 위상 잡음을 악화시킨다. 이를 보완하기 위

하여 발진용 트랜지스터 Q1의 이미터단에 일반적 피드백 회로인 LE-RE 사이에 CEB를 추가한다. LE-CEB-RE단은 저역 통과 필터 특성을 갖게 되어 QT와 QS에서 발생하는 백색 잡음이 발진용 트랜지스터 Q1에 영향을 미치지 않도록 한다. 이 회로를 사용함으로써 위상 잡음이 약 1.5 dB 향상된다. ESD1~ESD4는 정전기 방지용 다이오드이다. IC 내부에는 로드 안정도(pulling figure)를 개선하기 위하여 완충 증폭기 회로를 포함한다.

회로에 대한 시뮬레이션은 Agilent사의 ADS 툴을 이용하고 저항, 커패시터, 인덕터 그리고 트랜지스터의 모델은 Knowledge\* on에서 제공한 라이브러리를 사용한다. 벡터 다이오드로 사용된 1SV314 (Toshiba)에 대하여는 Agilent 4287A RF LCR 미터를 이용하여 벡터 다이오드의 전압별, 주파수별 커패시터 용량 값을 직접 측정하여 마들링 한다. 그림 2는 벡터 다이오드의 마들링에 사용된 회로도이다. 식 (1)은 인가 전압에 따른 벡터 다이오드의 용량 값을 나타낸다<sup>[6]</sup>. 식 (1)을 이용하여 측정한 데이터로부터 벡터 다이오드의 마들링에 필요한 변수들을 추출해 낸다.

$$C_V = \frac{C_{J0}}{\left(1 + \frac{V_R}{V_J}\right)^M} + C_P \quad (1)$$

식 (1)에서  $C_V$ (pF)는 DC 전압  $V_R$ (V)이 인가되었을 때 벡터 다이오드의 용량값,  $V_J$ (V)는 접합 전위,  $C_{J0}$ (pF)는 0 V 전압을 인가했을 때의 접합 커패시턴스,  $C_P$ (pF)는 병렬 커패시턴스이다. 그림 3은 위상잡음에 대한 시뮬레이션 결과를 나타낸다. 시뮬레이션 결과 위상 잡음은 120 kHz 오프셋에서 -120.28 dBc/Hz로 매우 우수함을 알 수 있다.

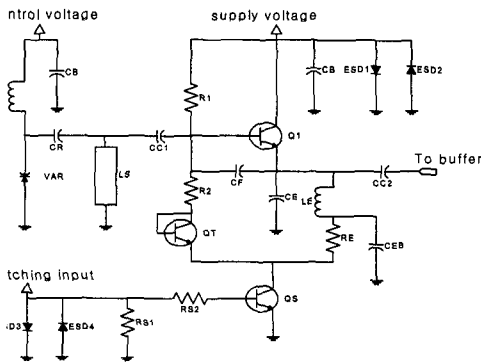


그림 1. VCO 발진단 회로도  
Fig. 1. The VCO core circuit.

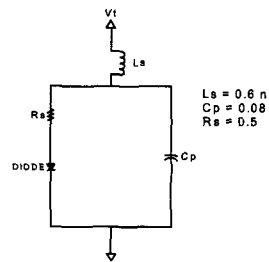
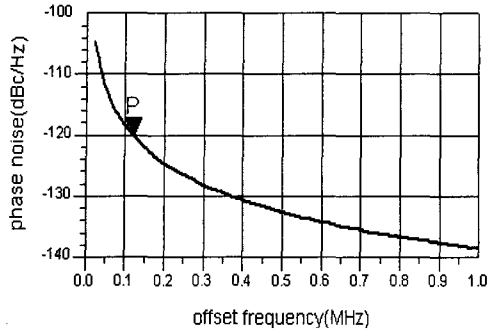


그림 2. 벡터 다이오드 마들링 회로  
Fig. 2. The varactor diode circuit for modeling.



P : -120.28 dBc/Hz @120 kHz

그림 3. 위상 잡음 씨플레이션 결과  
Fig. 3. Simulation result for the phase noise.

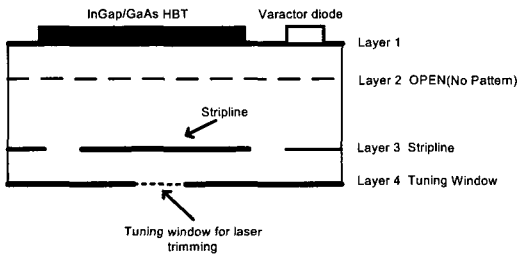


그림 4. FR-4 기판의 구조  
Fig. 4. The structure of the FR-4 substrate.

### III. VCO 제작 및 측정

주파수 가변의 선형성을 유지하기 위하여 벡터 다이오드를 외부에 장착하고, VCO의 소형화를 위하여 스트립 라인 공진기를 기판 내부에 설치한다. 그림 4는 스트립라인 공진기를 포함한 기판 구조를 나타낸 것이다. 기판은 4층의 FR-4 기판을 사용하였고, 첫째 층에는 IC 본딩 패드와 벡터 다이오드를 장착하고 두번째 층은 패턴을 삭제한 상태이고, 스트립 라인은 셋째 층에 위치한다. 넷째 층은 접지와 레이어 조절창을 가지고 있다. 이는 양산할 때 레이저를 이용한 주파수 조절을 위한 것이다. 둘째 층과 넷째 층을 접지로 사용하고, 스트립 라인을 셋째 층에 설치하는 것이 기판의 일반적 적층 구조인데, 이 논문에서는 스트립 라인의 Q factor를 높여 위상 잡음을 개선하고자 둘째 층의 패턴을 없애고 HBT의 본딩 접지를 스트립라인의 접지로 사용한다. 그림 5는 완성된 VCO 칩을 나타낸 것이다. 와이어 본딩 패드와 완충 증폭기 회로를 포함하여 전체 칩 크기는



그림 5. 완충 증폭기를 포함한 칩의 사진  
Fig. 5. The micorphotograph of the chip with buffer-amplifier(0.9 mm × 0.9 mm).

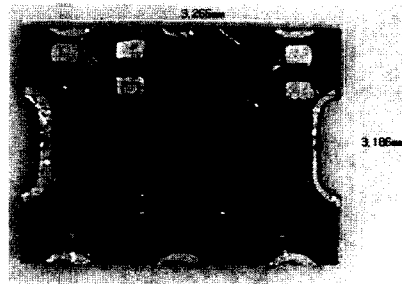


그림 6. 완성된 VCO 사진  
Fig. 6. The photograph of the VCO.

0.9 mm×0.9 mm이다. 그림 6은 부분 몰딩 후의 VCO 사진이다. 완성된 VCO의 크기는 3.266 mm×3.186 mm로 매우 소형이다.

와이어 본딩과 부분 몰딩을 실시한 후 완제품 상태에서 HP 4352 VCO/PLL 분석기와 HP 8563E 스펙트럼 분석기를 이용하여 VCO의 성능을 측정한다. 그림 7은 제어 전압에 따른 주파수 변화로서 VCO의 주파수 튜닝 선형성이 매우 우수한 것을 알 수 있다. 그림 8은 측정된 위상 잡음 그래프이다. 측정된 위상 잡음 특성은 120 kHz 오프셋에서 -119.3 dBc/Hz이며 그림 3의 씨플레이션 결과와 거의 일치한다. 그림 9는 측정된 하모닉의 사진이다. 측정된 하모닉은 -20.84 dBc 이다. 그림 10은 공급전압을 2.8 V±0.15 V 변화시켜 측정한 전원 안정도(pushing figure)의 사진이다. 측정된 전원 안정도는 ±185 kHz 이내로 우수한 특성을 보인다. 공급전압 2.8 V에서 VCO의 출력 파워는 -2 dBm이다. VCO 코어와 완충 증폭기의 전류 소모는 각각 4 mA이며 전체 소비 전력은 22.4 mW로 아주 낮은 전력을 소비한다. 표 1은 제작

표 1. VCO의 특성

Table 1. The characteristics of the VCO.

측정항목	측정결과	단위
중심 주파수	1.75	GHz
튜닝 감도	51	MHz/V
위상잡음 (@120 kHz)	-119.3	dBc/Hz
소비 전류	4	mA
전원안정도 (2.8 V±0.15 V)	± 183	kHz
로드안정도 (VSWR 2:1)	± 260	kHz

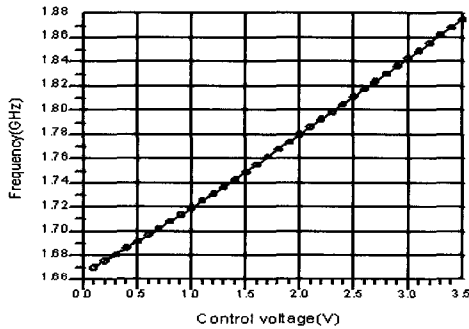


그림 7. 제어전압에 따른 주파수 변화  
Fig. 7. Frequency variation versus control voltage.

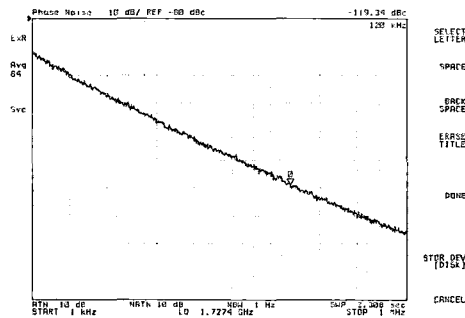


그림 8. VCO의 위상 잡음 측정결과  
Fig. 8. Measured phase noise of the VCO.

된 VCO의 측정 결과를 요약한 것이다.

서로 다른 주파수 대역에서 동작하는 VCO의 위상 잡음을 비교하기 위하여 다음 식으로 정의되는 FOM(Figure Of Merit)을 사용한다<sup>[7]</sup>.

$$FOM = PN_{offset} - 20 \log(F_{osc}/F_{offset}) + 10 \log(P_{mW}/1mW) \quad (2)$$

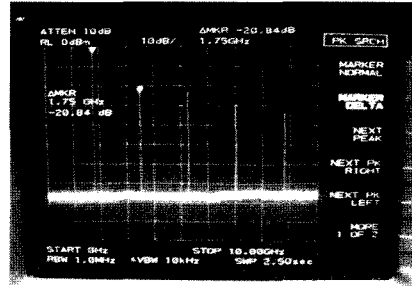


그림 9. 측정된 하모닉스  
Fig. 9. Measured harmonics.

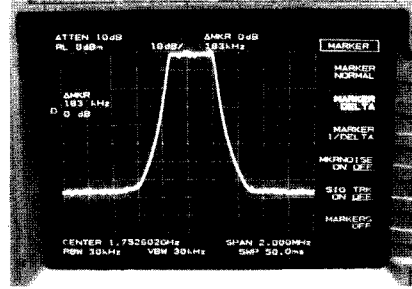


그림 10. VCO의 전원 안정도  
Fig. 10. Pushing figure of the VCO.

여기서,  $PN_{offset}$ 은  $F_{offset}$ (Hz) 오프셋에서 측정된 위상 잡음,  $F_{osc}$ (Hz)는 중심 주파수,  $F_{offset}$ (Hz)은 위상 잡음 측정 오프셋 주파수,  $P_{mW}$ (W)는 VCO의 소비 전력이다. 식 (2)의 FOM은 서로 다른 캐리어 주파수와 오프셋에서 측정된 VCO의 위상 잡음을 보정하여 서로 다른 VCO의 위상 잡음을 비교할 수 있게 한다. 이 보정은 리송(Lecson)의 발전기 위상 잡음 마들을 이용하여 측정 오프셋이 두 배 증가할 때마다 잡음은 6 dB씩 감소한다고 가정하여 실시한다<sup>[8]</sup>. 표 2는

표 2. FOM 비교표

Table 2. FOM comparison table.

사용공정	주파수 (GHz)	FOM	주파수 가변범위(%)
CMOS [1]	2	184.7	7
Si bipolar [2]	1.6	174	15
CMOS [3]	1.57	187	24
SiGe BiCMOS [4]	1.8	183	12
CMOS [5]	1.8	178.6	17
InGaP/GaAs (제작된 VCO)	1.75	191.7	12

최근 발표된 1~2 GHz 대역 VCO들의 FOM을 비교한 것이다. 설계된 VCO의 FOM은 191.7로 매우 우수함을 알 수 있다.

#### IV. 결 론

극소형으로 매우 낮은 위상 잡음 특성을 가지는 InGap/GaAs HBT VCO를 설계하고 제작하였다. 새로 제안된 저역 통과 필터 특성을 갖는 잡음 제거 회로와 기판의 특수한 적층 구조를 사용하여 위상 잡음 특성을 개선하고, 극소형 VCO를 제작하였다. 2.8 V 공급전원에서 VCO 코어의 소비전류는 4 mA이다. 1.75 GHz 중심 주파수에서 주파수 변화 범위는 약 12 % 정도이고, 측정된 위상 잡음은 120 kHz 오프셋에서 -119.3 dBc/Hz이다. 완성된 VCO 모듈의 크기는 3.266 mm × 3.186 mm이다. 측정된 위상 잡음으로부터 계산된 FOM은 191.7로 매우 높다. 제작된 VCO는 CDMA near zero IF용 시스템에서 요구하는 사양을 모두 만족하므로 곧 상용화가 가능할 것이다.

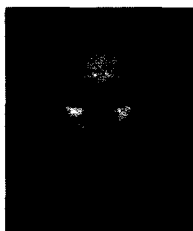
#### 참 고 문 헌

[1] Seung-Min Oh, Chang-Wan Kim and Sang-Gug Lee, "A 74 %, 1.56-2.71 GHz, wide-tunable LC-tuned VCO in 0.35- $\mu$ m CMOS technology", *Microwave and Optical Technology Letters*, vol. 37, issue 2, pp. 98-100, Apr. 2003.  
 [2] M. Zannoth, J. Fenk, A. Springer and R. Weigel, "A single-chip Si-bipolar 1.6 GHz VCO with inte-

grated bias network", *Radio Frequency Integrated Circuits (RFIC) Symposium, 1999 IEEE*, pp. 117-120, 13-15 June 1999.

[3] Peter Vancorenland, Michiel S. J. Steyaert, "A 1.57-GHz fully integrated very low-phase-noise quadrature VCO", *IEEE J. Solid-State Circuits*, vol. 37, no. 5, May 2002.  
 [4] L. Dermentzoglou., G. Kamoulakos and A. Arapoyanni, "An extra low noise 1.8 GHz voltage controlled oscillator in 0.35 SiGe BiCMOS technology", *Electronics, Circuits and Systems, 2002. 9th International Conference on*, vol. 1, pp. 89-92, Sep. 2002.  
 [5] P. Andreani, A. Bonfanti, L. Romano and C. Samori, "Analysis and design of a 1.8-GHz CMOS LC quadrature VCO", *IEEE J. Solid-State Circuits*, vol. 37, issue 12, pp. 1737-1747, Dec. 2002.  
 [6] "Varactor SPICE Models for RF VCO Applications", Alpha Industries, APN 1004.  
 [7] P. G. M. Baltus, A. G. Wagemans, R. Dekker, A. Hoogstraate, H. Maas, A. Tombour and J. van Sinderen, "A 3.5 mW 2.5 GHz diversity receiver and a 1.2 mW 3.6 GHz VCO in silicon-on-anything", *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2074- 2080, Dec. 1998.  
 [8] D. B. Leeson, "A simple model of feedback oscillator noise spectrum", *Proc. IEEE*, vol. 55, pp. 329- 330, Feb. 1966.

#### 전 성 원



1992년 2월: 한양대학교 전자통신공학과 (공학사)  
 1994년 2월: 한양대학교 전자통신공학과 (공학석사)  
 1994년~1999년: 삼성전기주식회사 이동통신연구실 전임연구원  
 1999년 9월~현재: 한양대학교 전자전기컴퓨터공학부 박사과정

#### 이 상 설



1961년 2월: 한양대학교 전기공학과 (공학사)  
 1966년 8월: 한양대학교 전기공학과 (공학석사)  
 1974년 2월: 연세대학교 전자공학과 (공학박사)  
 1976년 9월: 프랑스 그르노블대학 (공학박사)

1975년~2002년: 한양대학교 전자통신공학과 교수  
 2002년~현재: 한양대학교 전자전기컴퓨터공학부 명예교수