Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 17, No. 2, p. 144, February 2004.

논 문 17-2-4

Delay Monitor Scheme을 사용한 Register Controlled Delay-locked Loop

Register Controlled Delay-locked Loop using Delay Monitor Scheme

이광희[1], 노주영[1], 손상희[1,a]
(Kwang-Hee Lee[1], Ju-Young No[1], and Sang-Hee Son[1,a])

Abstract

Register Controlled DLL with fast locking and low-power consumption, is described in this paper. Delay monitor scheme is proposed to achieve the fast locking and inverter is inserted in front of delay line to reduce the power consumption, also. Proposed DLL was fabricated in a 0.6㎛ 1-poly 3-metal CMOS technology. The proposed delay monitor scheme enables the DLL to lock to the external clock within 4 cycles. The power consumption is 36mW with 3V supply voltage at 34MHz clock frequency.

Key Words : DLL, Delay Control

1. 서 론

반도체 제조 기술이 발전함에 따라 VLSI 칩의 동작 주파수는 계속 증가하고 있다. 그와 더불어 집적도 및 복잡도가 증가하여 VLSI 칩 내에 많은 회로 블록이 집적되고 있다. 그리고 많은 VLSI 칩들에서는 파이프라인 동작이 가능하도록 하여 시스템의 고성능화를 실현한다. 그러나 외부에서 들어오는 클럭은 내부에서의 로딩(loading)에 의해 지연(스큐)을 가지게 된다. 이러한 클럭 스큐(clock skew)는 칩의 오동작 및 고주파 동작을 저해하는 요인으로 작용하므로 클럭 스큐를 제거할 수 있는 I/O Interface 회로가 반드시 필요하다.

클럭 스큐를 제거하는 회로에 대한 연구는 크게 Phase-Locked Loop(PLL)를 이용한 것과 Delay-Locked Loop(DLL)를 이용한 것으로 나눌 수 있다. DLL은 PLL보다 차수가 낮기 때문에 안정도에서 좋은 특성을 가지며 더 빠른 락킹 속도를 가질 수 있다[1]. 그래서 마이크로프로세서, 메모리 등의 인터페이스 회로로 광범위하게 사용되고 있다[2-4].

DLL은 락킹 속도를 향상시키고 지터를 줄이며, PVT(Process, Voltage, Temperature)의 변화의 영향을 줄이기 위해 많은 구조의 DLL이 연구되고 있다. DLL은 크게 아날로그 타입(그림 1)과 디지털 타입의 두 가지 형태로 나눌 수 있다. 아날로그 타입은 지연 셀(cell)의 단위 지연 크기를 조정함으로써 총 지연 크기를 변화시키게 된다. 그러므로 지연 시간이 연속적인 값을 가져서 지터가 적은 반면에 전력 소모가 크며, 락킹 시간이 길고, 설계가 어렵다. 디지털 타입은 전력 소모가 작으며, PVT영향에 둔감한 반면, 지터가 단위 지연으로 제한된다. Digital DLL은 SMD(Synchronous Mirror Delay) DLL(그림 2)과 Register Controlled DLL(그림 3)로 나눌 수 있다. SMD DLL은 락킹 속도는 빠르나 피드 백 루프(feed back loop)가 없기 때문에 락킹 동작이 끝나고 나면 클럭 스큐가 커도 이에 대해서 반응하지 못한다. 때문에 클럭 스큐가 큰 단점이 있다[5]. 또한 면적 및 전력소모

1. 청주대학교 전자공학과
(충북 청주시 내덕동 36번지)
a. Corresponding Author : shson@chongju.ac.kr
접수일자 : 2003. 6. 25
1차 심사 : 2003. 8. 6
심사완료 : 2003. 11. 26

가 큰 단점이 있다. Register Controlled DLL은 위상 비교기(phase comparator)를 사용함으로써 외부 클럭에 대해 적응적으로 동작한다. 그러므로 SMD DLL보다 클럭 스큐가 작다. 그리고 지연 라인을 코아스(coarse)와 파인(fine)으로 나누어져 있어서 전력 소모 및 면적이 적다. 그러나 외부 클럭과 내부 클럭을 비교하면서 지연 값을 찾기 때문에 SMD DLL보다 락킹 속도가 느리다[6].

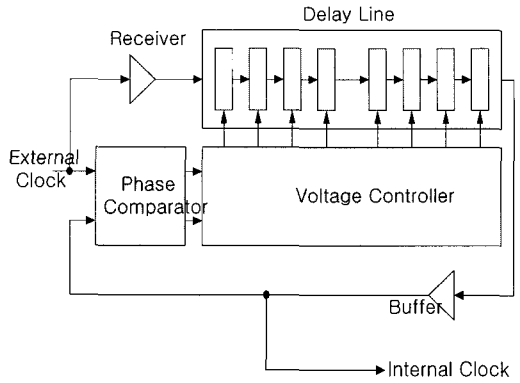

그림 1. 기존의 아날로그 DLL scheme.

Fig. 1. A conventional analog DLL scheme.

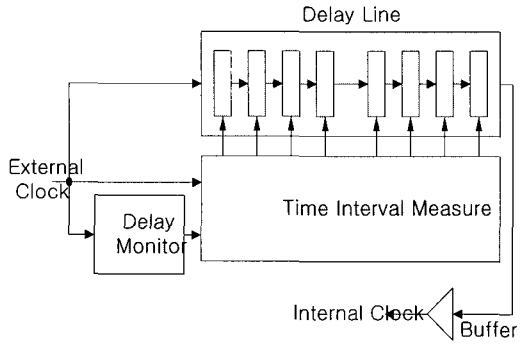

그림 2. 기존의 digital DLL scheme I.

Fig. 2. A conventional digital DLL scheme I. (Synchronous Mirror Delay DLL)

2. Register Controlled DLL

Register Controlled DLL(그림 3)은 외부 클럭과 내부 클럭을 비교하기 위한 위상 비교기, 그리고 위상 비교기의 출력인 up/down 신호를 받아 지연을 조정하는데 쓰이는 지연 조절 레지스터(delay control register), 이에 의해 외부 입력 신호에 지연을 가하는 지연 라인으로 구성되어 있다[7,8].

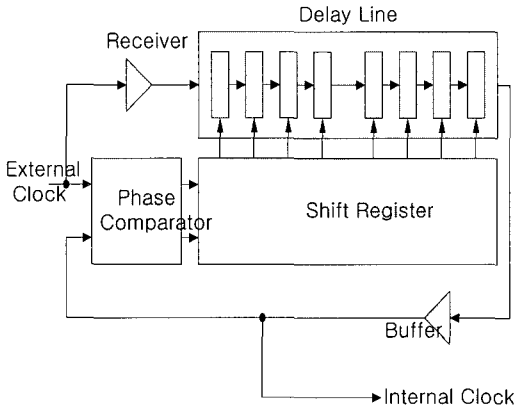

그림 3. 기존의 digital DLL scheme II.

Fig. 3. A conventional digital DLLs scheme II. (Register Controlled DLL)

2.1 지연 라인(Delay Line)

지연 라인은 지연 조절 레지스터(delay control register)에서 나오는 조절 신호를 받아 외부 클럭에 원하는 지연을 가하여 내부 클럭을 발생시킨다. 그림5 에서 dt는 지연 셀 하나의 단위 지연 크기며 점선은 락킹 지점을 의미한다. 그러므로 내부 로딩을 무시할 때 락킹이 되기 위해 DLL이 외부 클럭에 주어야할 지연 크기는 외부 클럭의 한 주기 또는 한 주기의 정수 배이다.

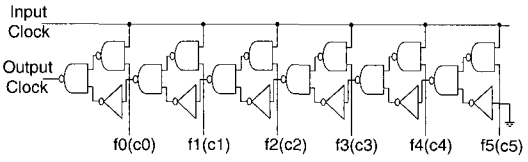

그림 4. 지연 라인.

Fig. 4. Delay line.

지연 라인은 코아스 지연 라인과 파인 지연 라인으로 구성된다. 코아스 지연 라인은 지연 셀의 지연 시간이 크며 대략적인 지연 크기를 주고 파인 지연 라인은 지연 셀의 단위 지연 시간이 적어서 미세한 지연 크기를 결정한다. 파인 지연 라인

의 지연 셀의 지연 시간은 가능한 한 적게 만들어야 한다. 왜냐하면, 이 지연 시간이 DLL의 스큐 및 지터 특성을 결정하기 때문이다. 코아스 지연 라인의 지연 셀의 단위 지연 시간은 파인 지연 라인의 전체 지연 시간과 같거나 조금 작게 설계한다.

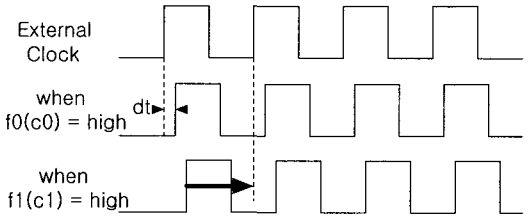

그림 5. 그림 4의 지연 라인의 출력 파형.
Fig. 5. Output waveforms of delay line in Fig. 4.

2.2 위상 비교기(Phase Comparator)

위상 비교기는 외부 클럭과 지연 라인을 통과한 후 생성된 내부 클럭의 위상을 비교하여 up/down 신호를 출력한다. 만약, 내부 클럭의 상승 모서리가 외부 클럭의 상승 모서리 보다 빠르면 지연을 증가시키기 위해 up 신호를 출력하고 반대로, 외부 클럭의 상승 모서리가 내부 클럭의 상승 모서리 보다 빠르면 지연를 줄이기 위해 down 펄스를 발생한다.

2.3 쉬프트 레지스터(Delay Control Register)

쉬프트 레지스터는 그림 6과 같이 up/down 링 카운터로 이루어져 있다. 이는 위상 비교기에서 나오는 up/down 신호를 받아 적절한 위치까지 1의 위치를 이동하게 되며 이 1의 위치가 지연 크기를 결정하게 된다. 즉, 위상 비교기에서 up 신호가 출력되면 1의 위치를 오른쪽으로 이동시키며, down 신호가 출력되면 1의 위치를 왼쪽으로 이동시킨다. 지연 라인이 두 개(코아스, 파인)로 구성되므로 쉬프트 레지스터도 두 개로 이루어져 있다. 위상 비교기 에서 up 신호가 계속 출력되어 파인 지연 조절 레지스터 에서 1의 위치가 맨 오른쪽에 위치했을 때 위상 검출기(phase detector)에서 또 up 신호가 출력되면 코아스 지연 라인 조절 레지스터로 up 신호를 보내고 다시 처음위치로 1의 위치를 이동한 후 다시 카운트한다. 코아스 지연 라인 조절 레지스터는 파인 지연 조절 레지스터 에서 발생하는 up/down 신호에 의해서 쉬프트 동작을 한다.

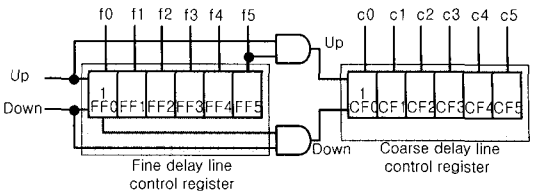

그림 6. 쉬프트 레지스터의 블록도.
Fig. 6. Block diagram of shift register.

3. Proposed DLL

Register Controlled DLL은 위와 같은 동작을 락킹 될 때까지 한다. 그러므로 락킹까지 많은 시간이 필요하다. 보통 외부 클럭의 수십 주기에서 수백 주기가 필요하다.

3.1 저전력

본 논문에서는 전력 소모를 줄이기 위해 그림 7과 같이 지연 라인 인버터를 삽입하였다. 외부 클럭을 반전시켜서 지연 라인에 인가하면 DLL에서 주어야할 지연 크기가 기존의 반으로 감소하게 된다. 그림 8은 기존의 DLL과 제안하는 DLL에서 락킹에 필요한 락킹 크기를 비교한 것이며, 그림에서 화살표의 크기는 지연 라인에서 발생시켜야할 지연 크기이다. 그림에서 알 수 있듯이 외부 클럭을 반전시켜 지연 라인에 인가하면 락킹이 되기 위해 필요한 지연 크기는 절반으로 감소하게 된다. 그러므로 기존의 DLL 방법인 그림 5와 비교하면 사용되는 지연 셀의 수는 절반으로 감소하게 되고 전력 소모도 감소하게 된다.

3.2 Delay monitor scheme

본 논문에서는 락킹 속도를 향상시키기 위해서 지연 셀의 출력을 쉬프트 레지스터의 프리셋(preset)의 신호로 사용하였다. 그림 9는 그림 7에서 f5(c5)가 하이 일 때 각 지연 셀의 출력 파형이다. 앞에서 언급한 것과 같이 전력 소비를 줄이기 위하여 외부 클럭을 반전시켜서 지연 라인에 인가하였기 때문에 반전된 파형을 볼 수 있다. 그림에서 첫 번째와 두 번째 지연 셀의 출력 S5, S4는 락킹 지점보다 지연 크기가 적고, 세 번째 지연 셀 이상을 통과한 출력 S3 ~ S0는 지연이 초과되어 락킹 지점을 지나간 것을 볼 수 있다. 지연 셀의 지연 값은 같으므로 외부 클럭이 2개의 지연 셀을

통과하면 락킹 됨을 알 수 있다. 그러므로 지연이 초과되지 않은 첫 번째, 두 번째 지연 셀의 출력 S5, S4를 이용하여 지연 셀을 조절하는 F/F을 프리셋시켜 외부 클럭이 지연 셀 두 개를 통과하도록 조정하면 된다. 외부 클럭이 하이가 유지되는 동안 그림 7의 첫 지연 셀의 출력 S5가 하이에서 로우로 천이 하면 그림 6의 첫 번째 F/F인 CF0(FF0)에 1을 위치시킨다. S4도 하이에서 로우로 천이하면 두 번째 F/F인 CF1(FF1)을 프리셋시키고 첫 번째 F/F인 CF0(FF0)를 리셋시킨다. 이렇게 함으로써 쉬프트 레지스터를 외부 클럭의 한 주기 만에 셋(set) 시킬 수 있다. Register Controlled DLL은 파인 지연 라인과 코아스 지연 라인으로 나누어 사용하므로 외부 클럭의 처음 한 주기 동안 코아스 지연 라인 조절 레지스터를 셋시키고, 다음 한 주기 동안 파인 지연 라인 조절 레지스터를 셋시킴으로써 2주기 안에 락킹 시킬 수 있다. 하지만 지연의 오차 또는 지연 셀의 부정합으로 인한 스큐가 존재할 것이다. 그러므로 쉬프트 레지스터를 조정한 두 주기 후부터 위상 비교기를 동작시켜서 지연 크기를 조정함으로써 스큐를 줄일 수 있다.

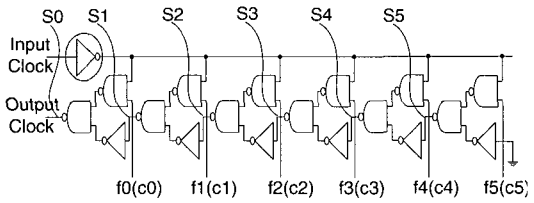

그림 7. 제안한 지연 라인.
Fig. 7. Proposed delay line.

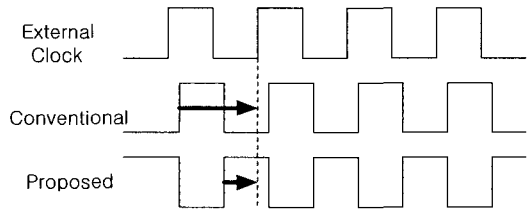

그림 8. 락킹이 되기 위해 필요한 지연 시간.
Fig. 8. Required delay time for locking.

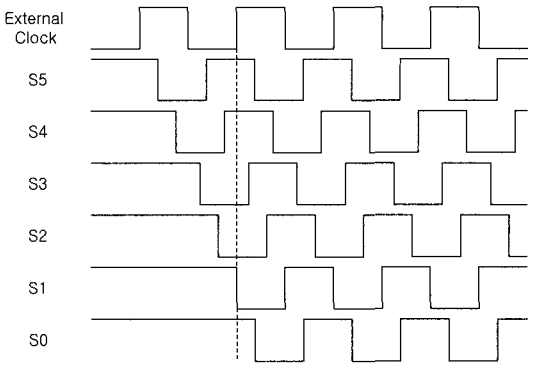

그림 9. 그림 7에서 f5(c5)가 high일 때 지연 셀들의 출력 파형.
Fig. 9. Output waveform of delay cells when f5(c5) is high in Fig. 7.

4. 모의실험 및 측정결과

제안한 DLL을 0.6um 1-poly 3-metal CMOS 공정을 이용하여 제작하였다. 그림 10은 제안한 DLL의 모의실험 파형이다. 300MHz에서 동작함을 알 수 있다. 그림 11은 제작한 DLL의 측정 결과 파형이다. 지연 라인 앞에 삽입한 인버터에 의해 초기에 출력은 반전된 상태이다. DLL이 동작하기 시작한 후 첫 두주기 동안 delay monitor scheme에 의해 동작하고 3번째 주기부터 일반적인 동작을 하기 시작한다. 그림에서와 같이 외부 클럭의 4번째 주기에 락킹 됨을 알 수 있다. 그림 12은 제작한 DLL의 칩 사진이며, 전체 면적은 3.6mm^{2}이다. 34MHz, 3V 전원 전압 하에서 36mW의 전력을 소모하였으며, 표 1에 측정결과를 요약하였다.

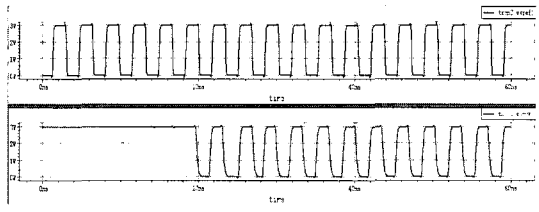

그림 10. 모의실험 결과 파형.
Fig. 10. Simulation result waveform.

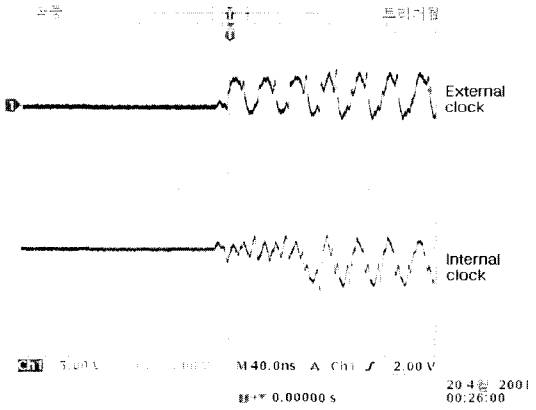

그림 11. 외부 클럭과 내부 클럭의 파형.
Fig. 11. External and internal clock waveforms.

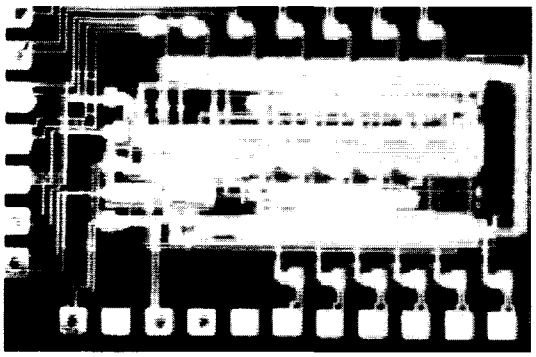

그림 12. 제작한 DLL의 칩 사진.
Fig. 12. Microphotograph of fabricated DLL chip.

표 1. 측정된 특성 요약.
Table 1. Measured Characteristics Summary.

Items	Values
Process	0.6㎛ 1-poly 3-metal CMOS
Chip area	1.8mm*2mm
Power consumption	36mW(including I/O buffer)
Supply voltage	3V
Locking time	4 cycles

감사의 글

본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신 연구센터의 지원에 의한 것입니다.
본 연구는 반도체설계교육센터(IDEC)의 부분적인 지원을 받아 이루어졌음

참고 문헌

[1] Bruno W. Garlepp, Kevin S. Donnelly, Jun Kim, Pak S. Chau, Jared L. Zerbe, Charles Huang, Chanh V. Tran, Clemenz L. Pormann, Donald Stark, Yiu-Fai Chan, ThomasH. Lee, Mark A. and Horowitz, "A Portable Digital DLL Architecture for CMOS Interface Circuit", Symposium on VLSI Circuit Digest of Technical Papers, 1998.

[2] S. H Son and T. Jin, "A study on sol-like-bulk CMOS structure operationg in low voltage with stability", J. of KIEEME(in Korean), Vol. 11, No. 6, 1998.

[3] 오충완, 최재승, 송지현, 이장희, 이형규, 박근형, 김영석, "6H-SiC MOSFET과 디지털 IC 제작", 전기전자재료학회논문지, 16권, 7호, p. 584, 2003.

[4] 박희정, 박승진, 남동우, 김병철, 서광열, "플래시메모리를 위한 Scaled SONOSFET NVSM의 프로그래밍 조건과 특성에 관한 연구", 전기전자재료학회논문지, 13권 11호, p. 914, 2000.

[5] T. Saeki, Y. Nakaoka, M. Fujita, A. Tanaka, K. Nagata, K. Sakakibara, T. Matano, Y. Hoshino, K. Miyano, S. Isa, S. Nakazawa, E. Kakehashi, John Mark Drynan, M. Komuro, T. Fukase, H. Iwasaki, M. Takenaka, J. Sekine, M. Igeta, N. Nakanishi, T. Itani, k. Yoshida, H. Yoshino, S. Hashimoto, T. Yoshii, M. Ichinose, T. Imura, M. Uziie, S. Kikuchi, K. Koyama, Y. Fukuzo, and T. Okuda "A 2.5-ns clock access, 250MHz, 256Mb SDRAM with synchronous mirror delay", IEEE J. Sold-State Circuit, Vol. 31, p. 1656, 1996.

[6] Yoshinori Okajima, Masao Taguchi, Miki Yanagawa, Koichi Nishimura, and Osamu Hamada, "Digital delay locked loop and

design technique for high-speed synchronous interface", IEICE Trans. Electron. Vol. E79-C, no. 6, p.798, June 1996.

[7] Hirotaka Tamura, Miyoshi Saito, Kohtaroh Gotoh, Shigetoshi Wakayama, Junji Ogawa, Yoshiharu Kato, Masao Taguchi, and Takeshi Imamura, "Partial Response Detection Technique for Driver Power Reduction in High-speed Memory - to - Processor Communications", ISSCC Digest of Technical Paper, p. 342, 1997.

[8] Kohtaroh Gotoh, Shigetoshi Wakayama, Miyoshi Saito, Junji Ogawa, Hirotaka Tamura, Yoshinori Okajima, and Masao Taguchi, "All-digital multiphase delay locked loop for internal timing generation in embedded and/or high-speed DRAMs." Symposium on VLSI Circuit Digest of Technical Paper, p. 107, June, 1997.