

# DSP-FPGA 구조를 갖는 다중경로 페이딩 채널 시뮬레이터 구현

## Implementation of a Real-time Multipath Fading Channel Simulator Using a Hybrid DSP-FPGA Architecture

이 주 현\*, 이 찬 길\*  
(Joo-Hyun Lee\*, Chan-Kil Lee\*)

\*한양대학교 전자컴퓨터공학부

(접수일자: 2003년 12월 5일; 채택일자: 2003년 12월 16일)

일반적으로 무선 이동 채널은 협대역 스펙트럼을 갖는 복소 랜덤 프로세스로 모델링된다. 본 논문에서는 TMS320C6414 DSP칩과 XC2VP30 FPGA칩을 사용한 페이딩 신호의 실시간 발생에 대해 기술한다. 여기서 제시된 시뮬레이터는 플랫폼 페이딩 및 주파수 선택성 페이딩 채널의 일반적인 모델로 그 대상으로 하였으며 여러 다양한 채널 왜곡 현상을 모사할 수 있도록 설계되었다. 시뮬레이터는 다음 세가지 기본적인 채널 특성을 포함한다; 레일리 페이딩, log-normal shadowing, 주파수 선택성 페이딩. DSP의 연산 부담을 최소화 하면서 이동 채널의 통계 특성을 재현하기 위해 multi-rate 신호처리 기법이 사용되었다. 채널 파라미터 값을 변화시키면서 많은 실험을 행하였고, 시뮬레이터에서 실시간 출력된 채널 포락선들의 각 통계 특성이 이론치와 일치됨을 확인했다.

**핵심용어:** 페이딩 채널, 채널 시뮬레이터, DSP, C64x, FPGA, 실시간 구현

**투고분야:** 음향 통신기술 분야 (6.2)

The mobile radio channel can be simulated as a complex-valued random process with narrow-band spectrum. This paper describes a real-time implementation of that process using a TMS320C6414 digital signal processor and XC2VP30 Virtex FPGA. The simulator presented here is not only a comprehensive model of the flat fading but also frequency selective fading mobile channel conditions. To replicate the statistical characteristics of the multipath fading environment with the minimum computational burden, multi-rate techniques are employed to resolve practical problems such as variable sampling rate. The simulator produces accurate and consistent results due to digital implementation. It is very flexible and simple to program for various field conditions in mobile communications with a graphical user interface.

**Keywords:** Fading channel, Channel simulator, DSP, C64x, FPGA, Real-time implementation

**ASK subject classification:** Acoustic communication (6.2)

## I. 서론

최근 정보화 사회가 가속화 됨에 따라 무선 채널을 통한 고속 및 양질의 음성, 데이터 영상을 동시에 수용하는 멀티미디어 통신시스템에 대한 연구가 활발히 이루어지고 있다. 이미 2.5세대인 CDMA2000 1X, 3세대인 WCDMA 기반의 IMT2000 등 높은 수준의 서비스를 접해본 많은 사용자들은 보다 높은 수준의 통화 품질과 여러 발생물이

적은 빠른 데이터 전송속도 등을 끊임없이 요구한다. 하지만 이동통신 채널에서 요구되는 시스템을 설계하는 것은 매우 까다로운 일이다.

다중경로 통신 채널에서는 송신기와 수신기 사이에서 직접파 성분과 반사파 성분 그리고 회절파 성분 등이 한꺼번에 서로 영향을 끼치며 존재한다. 이 신호들이 다중의 경로를 통하여 수신기에 수신되고 수신기의 이동에 의하여 도플러 확산이 발생하므로 고정통신에 비해 열악한 전파환경이 된다.

일반적으로 직접경로 신호가 존재하는 시골이나 교외 환경은 라이시안(Rician) 채널모델로 설명 가능하고, 직

책임저자: 이찬길 (cklee@hanyang.ac.kr)  
426-791 경기도 안산시 상록구 새1동 1271  
한양대학교 전자컴퓨터공학부  
(전화: 031-400-5294; 팩스: 031-419-3042)

접경로가 희박한 다중경로에 의한 합성신호는 레일리 분포 (Rayleigh distribution)를 따른다. 그리고 주위 지형의 불균일성으로 인한 그림자 효과 (Shadowing Effect)가 존재한다.

이렇듯 무선 채널에 존재하는 전파환경이 매우 다양하므로 각각의 다른 전파환경에서도 무선 시스템 본래의 성능을 제대로 발휘해야 한다. 어떤 사업자든지 무선 시스템의 성능을 보장하기 위해서는 시뮬레이션과 분석을 통한 검증은 물론 프로토타이핑과 필드테스트 또한 매우 중요하다. 그렇지만 개발한 무선 시스템을 모든 환경조건에서 필드테스트 하는데에는 많은 시간과 비용이 소요되는 단점이 있다. 보다 실용적인 방법은 실시간 채널 시뮬레이터를 사용하는 것이다. 이는 무선 채널에서 실제 일어날 수 있는 거의 모든 환경을 모사해 볼 수 있는 시스템을 말한다. 현재 우리가 구입해 사용할 수 있는 채널 시뮬레이터는 매우 복잡하고 가격이 비싸다 (\$24,000 ~ \$500,000[1]).

본 논문에서는 최근 들어 발전을 거듭하고 있는 디지털 신호처리 칩과 FPGA를 이용하여 구성된 비용과 복잡도를 줄인 시스템을 제안하고자 한다.

## II. 이론적 배경

RF신호는 전송되는 과정에서 공기중의 작은 입자 또는 산, 빌딩과 같은 지형물에 의해 산란, 분산, 회절된다. 무수히 많은 물체와 접촉이 부딪혀 전송 신호는 다중 경로를 거쳐 전파되며, 이 신호들의 상호 작용은 어느 한 수신점에서 다중경로 페이딩 현상을 일으킨다. 그리고 수신측의 움직임으로 인해서 도플러 확산이 발생하게 된다.

도플러 확산 모델로 설명되어 질 수 있는, 레일리 플랫폼 페이딩 채널을 구현하는 방법으로 많이 사용되는 두 가지 방법이 있다. 먼저 고전적인 방법은 사인 함수를 이용하는 Jake모델이다[2]. 이것은 사인 함수들의 합을 이용하여 이산적인 근사치 값을 유도해 내는 방법이다. 사인함수 (혹은 코사인함수)를 이용하는 방법은 실제 이론적인 도플러 확산의 스펙트럼과 자기 상관함수를 거의 정확하게 모사할 수 있다는 장점이 있다. 하지만 각각의 레일리 플랫폼 페이딩 채널을 모사하는데 따르는 많은 계산량을 감당하려면 비용이 매우 많이 든다.

다른 한 가지 방법은 그림 1에서와 같이 화이트 가우시안 노이즈를 필터링하여 각각을 QAM 방식의 신호로 만

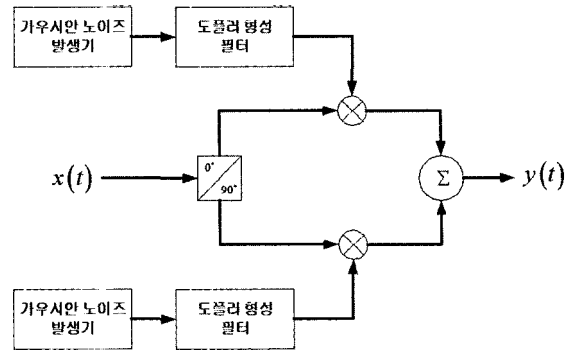


그림 1. QAM 방식의 단일 탭 플랫폼 페이딩 시뮬레이터  
Fig. 1. A flat fading simulator by QAM method.

들어 모사하는 것이다[3].

무선 이동 통신 채널의 도플러 확산의 스펙트럼은 사용하고 있는 단말기 안테나의 수신 패턴에 밀접한 관계를 지닌다. 안테나가 무지향성 (Omni-directional)으로 모든 각도의 수신 범위를 갖는 경우라면 다음과 같은 스펙트럼을 지닌다[4].

$$S_{f_{DQ}} = \begin{cases} \frac{E^2}{2\pi f_D} \frac{1}{\sqrt{1 - \left(\frac{f}{f_D}\right)^2}}, & f \leq f_D \\ 0, & f > f_D \end{cases} \quad (1)$$

여기서  $E^2$ 는 수신신호의 평균 실효 전력의 크기이며,  $f_D (= v/\lambda)$ 는 단말기의 이동속도와 캐리어 파장의 길이에 좌우되는 최대 도플러 확산 주파수이다.

도플러 스펙트럼함수의 역 푸리에 변환은 인페이즈 신호와 쿼드러처신호 각각의 자기 상관 함수를 나타내며 다음과 같은 식으로 표현할 수 있다.

$$R_{f_{DQ}} = \frac{E^2}{2} J_0(2 \cdot \pi \cdot f_D \cdot \tau) \quad (2)$$

여기서  $J_0(g)$ 는 베셀 함수를 의미한다.

주파수 선택성 페이딩 채널은 전송 신호의 대역폭이 채널의 응집 대역폭보다 큰 경우이다. 몇 개의 경로 무리로 전파되므로 주파수 선택성 페이딩 채널 임펄스 응답은 다음 식과 같이 모델링된다[5].

$$h(t, \tau) = \sum_{l=0}^{L-1} \left( \sum_n a_{l,n}(t) e^{-j\theta_{l,n}(t)} \right) \delta(\tau - \tau_l(t)) \quad (3)$$

여기서  $L$ 은  $l$ 로 표시되는 경로 무리 (path cluster)의 개수를  $n$ 은 경로 무리를 이루는 소경로를 나타낸다.

다중경로 성분 탭 계수  $\sum_n a_{l,n}(t)e^{-j\theta_{l,n}(t)}$ 을 하나의 단일 플랫 페이딩으로 고려한다면 위의 수식으로 탭 지연선 모델의 설명이 가능하다.

지금까지 기술된 경로 손실은 송신기와 수신기의 거리 간격의 변화에만 대한 것으로 거리간격이 같은 경우에 주위 환경의 변화는 고려하지 않았다. 수신 신호의 일정한 주기 만큼의 평균치는 주변의 여러 가지 환경요인에 매우 많은 영향을 받는다. 이 때 수신신호 변화는 log-normal분포를 갖는다. 이러한 현상을 그림자 효과 (Shadowing) 혹은 log-normal 페이딩이라고 한다.

이때 일반적으로 무선 통신 채널에서 나타나는 그림자 효과는 대부분 6~8 dB의 표준 편차를 지니고 있다[6].

### III. 시스템 구현

본 논문에서 구현한 시스템의 전체적인 블록 다이어그램을 그림 2에 나타내었다. 두 개의 DSP연산장치와 한 개의 FPGA로 구성이 되어 있다. 두 개의 DSP에서는 가우시안 난수 발생기, 도플러 형성 필터, 그림자 효과 그리고 보간기의 역할을 담당하고 있고 FPGA에서는 입력신호의 탭 지연선, 그리고 DSP에서 만들어진 페이딩 계수를 입력 신호의 샘플율에 일대일로 대응하도록 보간기 역할 그리고 페이딩 계수와 입력 신호를 곱하는 복소 곱셈기 역할을 맡고 있다.

#### 3.1. DSP 구현

##### 3.1.1. 가우시안 난수 발생기

그림 3은 DSP로 구현한 기능 블록이다. 그 중 먼저 가우시안 노이즈 발생기를 살펴보기로 한다. 페이딩 채널, AWGN 채널 환경등을 모사하기 위해서는 가우시안 난수

발생이 필수적이다. 더욱이 실시간 채널 시뮬레이터를 구성하기 위해서는 매우 빠른 속도의 가우시안 난수 발생기가 꼭 필요하다.

가우시안 난수를 발생시키는 전통적인 방법은 중심극한정리 (Central Limit Theorem)를 이용하는 것이다. 0 과 1사이에서 발생하는 유니폼 난수가 무한대 수 만큼 더해지면 가우시안 분포를 갖는다는 이론을 이용한 것이다 [7]. 유니폼 난수는 고전적인 Ansi C 함수로 제공되는 것을 사용할 수도 있고, 다른 여러 알고리즘을 사용 가능하다. 본 시스템에서는 Cellular Automata를 이용한 유니폼 난수 발생기를 사용하였다[8]. 이것은 하드웨어적인 구조로 되어있기 때문에 매우 빠른 속도를 자랑하며, Cellular Automata를 간접적으로 이용하여 가우시안 난수를 발생했을 때 이론적인 가우시안 분포와 거의 차이가 없음을 확인할 수 있다.

그리고 다른 방식의 가우시안 난수 발생기로는 박스-필터 방식이 있다. 이는 실제 하드웨어 구현에서의 사용보다는 소프트웨어 시뮬레이션을 구현하는데 많이 사용된다[9].

다음 표 1은 여러 가지 가우시안 난수 발생기의 속도를 비교한 것이다. TI사의 TMS320C6414를 대상으로 실제 구동시켜 확인한 결과이다.

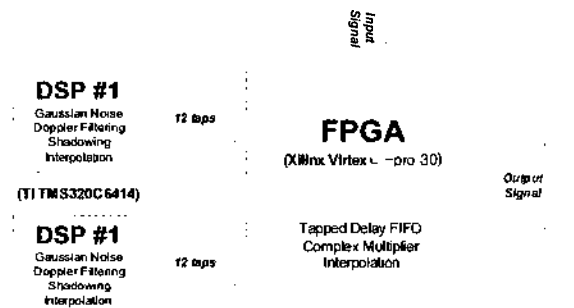


그림 2. 다중경로 페이딩 채널 시뮬레이터의 블록 다이어그램  
Fig. 2. Block diagram of multipath fading channel simulator.

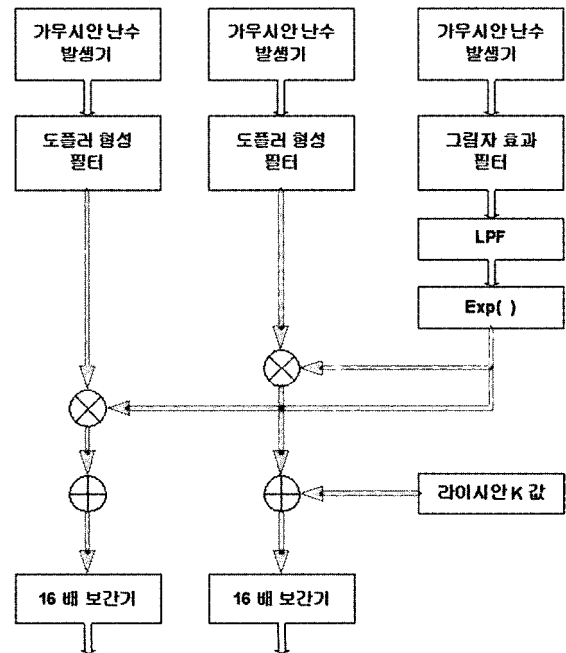


그림 3. DSP의 기능 블록  
Fig. 3. Functional block of DSP.

3.1.2. 도플러 형성 필터와 보간기

도플러 형성 필터는 앞서 소개한 도플러 스펙트럼의 역 퓨리에 변환인 자기 상관 함수를 이용하여 설계되었다.

도플러 형성 필터의 대역폭  $f_D$ 는 사물레이션 조건에 따라 가변적이며, 만약  $f_D$ 가 수 Hz인 경우 필터의 분해도가 1 Hz정도 되어야 하므로,  $f_D$ 가 수십 Hz일 경우보다 몇 배의 필터 계수가 필요하다. 이러한 문제를 해결하기 위해 필터 샘플링 주파수  $f_s$ 와 도플러 주파수  $f_D$ 의 비가 일정하도록 하였다. 이는 그림 4에서 확인할 수 있다. 즉 최종 출력은  $1/f_s$  주기마다 발생되고 그 시간 동안은 채널이 불변함을 가정하여 계수값은 그대로 유지시켰다[10].

도플러 형성 필터가 도플러 확산을 제대로 모사하기 위해서는 필터의 스펙트럼이 갖추어야 할 조건이 있다. 스펙트럼의 DC축 크기와 최대치 사이의 차이가 6 dB이상 이 되어야 하는 것과, 감쇄되는 부분의 기울기가 18 dB/OCT가 되어야 한다는 점이다[11].

표 1. 가우시안 난수 발생기의 속도 비교  
Table 1. Comparison of the speeds of Gaussian noise generators.

Uniform		
Rand()	65 Cycles	System supplied function
Rand1()	600 Cycles	Box-Muller Method
Rand2()	250 Cycles	Knuth subtractive method
Rand3()	44 Cycles	Cellular Automata
Gaussian		
CLT	850 Cycles	with Rand()
	690 Cycles	with Cellular Automata
Transform Method	4000 Cycles	on 6414 with Rand()

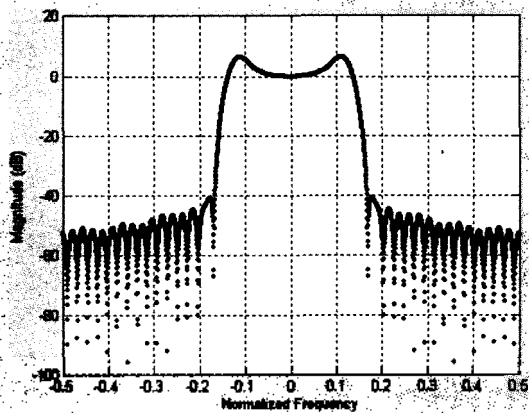
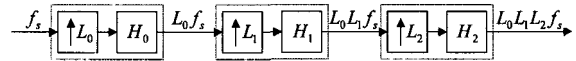


그림 4. 도플러 형성 필터  
Fig. 4. Doppler shaping filter.

현재 구현중인 WCDMA시스템에서의 입력 신호 데이터율은 15.36 Msps (Chip x4)의 속도이다. 하지만 도플러 형성 필터의 샘플링 속도는  $f_D \times 8$ 이다. 때문에 도플러 형성 필터에서의 출력으로는 WCDMA시스템에서의 입력 신호를 샘플 대 샘플로 처리할 수 없다. 그렇기 때문에 보간기의 구현은 꼭 필요하다.

구현된 보간기는 다단으로 구성되어 있다.

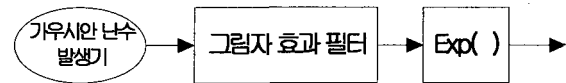


각 단은  $L_0, L_1$  그리고  $L_2$ 의 비율로 보간을 실시하며 최종 출력은  $L(=L_0 \times L_1 \times L_2)$ 의 비율로 보간된다. 또한 각 단은 폴리페이즈 형태로 구현을 하여 DSP의 계산량을 더욱 줄일 수 있다.

도플러 확산 주파수의 512배의 샘플링 속도를 실행함에 있어서, 도플러 형성 필터의 샘플링 속도를  $f_D$ 의 8배로 하고 보간기의 비율을 64배로 하는 것이 가장 효율적인 배합으로 나타났다.

3.1.3. 그림자 효과

그림자 효과는 다음과 같이 구성할 수 있다.



여기서 그림자 효과는 도플러 확산 범위에 비해 매우 작은 대역폭을 갖는다. 그림자 효과 필터의 차단 주파수는 최대 도플러 확산 주파수의 1/10 이하가 되어야 그림자 효과의 log-normal 특성을 해치지 않게 된다[12].

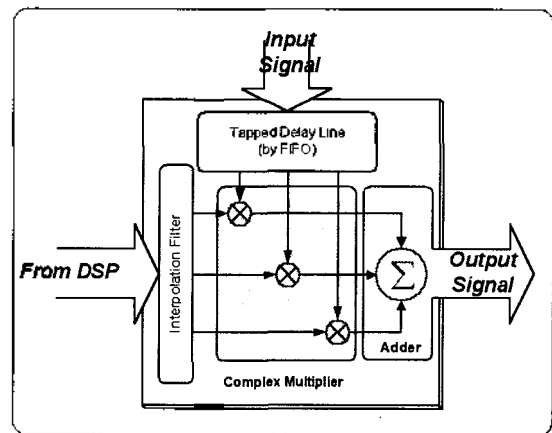


그림 5. FPGA의 기능 블록  
Fig. 5. Functional block of FPGA.

### 3.2. FPGA 구현

FPGA칩에 그림 5와 같은 기능 블록을 정의하기 위해서, VHDL을 이용한 코딩을 해야 한다. 그러나 직접 VHDL언어로 보간기의 필터링, 복소 곱셈기 등을 설계하려면, 매우 오랜 시간과 노력을 필요로 하게 된다. 이에 Xilinx社의 DSP용 툴인 SystemGenerator를 사용하였다. 이는 MathWork社의 MATLAB 6.5 및 Simulink 5 모델링 시스템과 완벽히 호환된다.

#### 3.2.1. 보간기 (Interpolator)

입력 신호의 입력속도에 맞추어 신호를 발생하기에는 DSP의 속도에 제약이 따른다. 그러므로 DSP에서 일정 비율의 페이딩 계수를 발생시키고 속도가 빠른 FPGA에서 입력 신호의 속도에 맞추어 보간을 실시한다. 그림 6은 Xilinx의 SystemGenerator로 기능블록을 설계한 것이다.

#### 3.2.2. 탭지연선

주파수 선택성 페이딩 채널을 모사하기 위해 탭 지연선 모델을 선택하였다. PDC에서의 입력신호를 그림 7과 같이 FPGA내부의 지연기를 통하여 각 지연 프로파일 모델을 구현하였다.

#### 3.2.3. 복소 곱셈기와 누적기

복소 곱셈기의 경우, 하드웨어로 구현할 경우 매우 많은 양의 로직이 필요하게 된다. 하지만 본 논문에서 사용

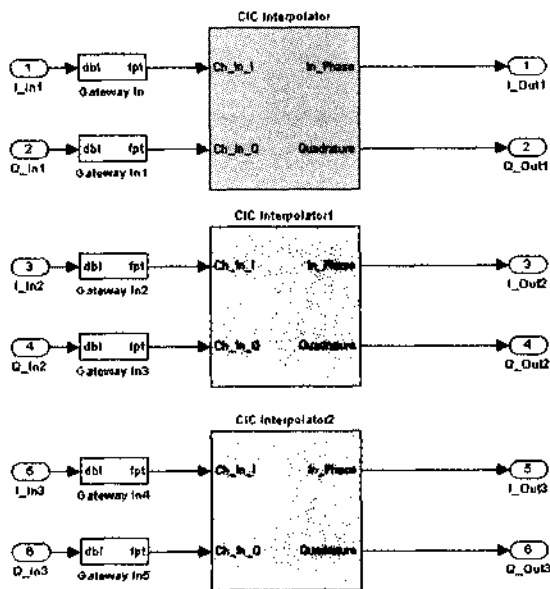


그림 6. CIC 보간기 (3-tap 모델)  
Fig. 6. CIC interpolator (3-tap Model).

한 Virtex-II Pro XC2VP30 칩은 136개의 18\*18 비트 곱셈기를 제공해 주기 때문에 이를 이용하여 복소 곱셈기를 구현할 수 있다. 그림 8에서 보여지는 한 개 채널 (한 개 블록)에서 복소 곱셈기를 구현할 경우 4개의 곱셈기가 필요하다. 그러므로 최대 34개 채널의 신호를 복소 곱셈할 수 있다. 두 개의 DSP를 사용하여 각각 12 탭씩의 신호성분을 만들어 보내주기 때문에 본 FPGA 한 개로써 충분히 처리 가능하다. 그리고 그림 9는 누적기의 블록도이다.

## IV. 발생신호의 분석

본 채널 시뮬레이터는 WCDMA시스템에서 음성 및 데

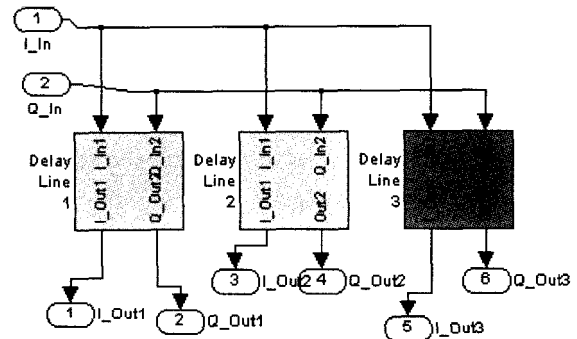


그림 7. 탭 지연선 모델 (3-tap 모델)  
Fig. 7. Tapped delay line model (3-tap Model).

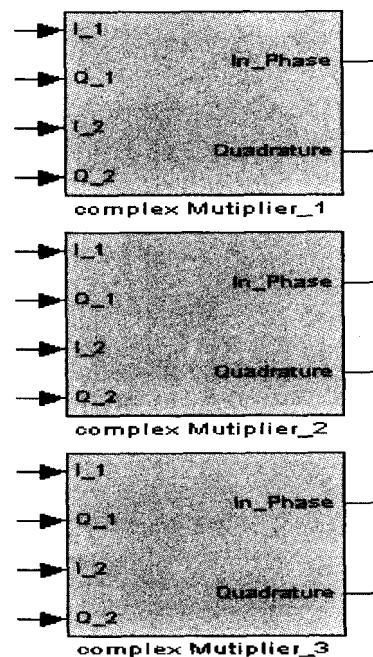


그림 8. 복소 곱셈기 (3-tap 모델)  
Fig. 8. Complex multiplier (3-tap Model).

이더 신호의 페이딩 현상 모사를 위해 설계하였으며 각 탭의 분해도는 최소 64 nsec가 가능하다.

디지털 신호 처리 프로세서의 속도 한계 때문에 가우시안 난수 발생과 그림자 효과, 도플러 형성 필터링 그리고 16배의 보간기만을 DSP칩에서 처리하였다. 각각의 DSP칩에서는 12탭까지 발생 가능하였으며, 두 개의 DSP칩을 사용하여 총 24탭까지의 다중경로를 모사할 수 있다.

그리고 입력신호의 샘플속도에 일대일로 대응시키기 위해 FPGA에서 보간을 실시하였으며, 입력 신호의 램 지연선 역할 그리고 복소 곱셈기의 역할을 FPGA에서 수행한다.

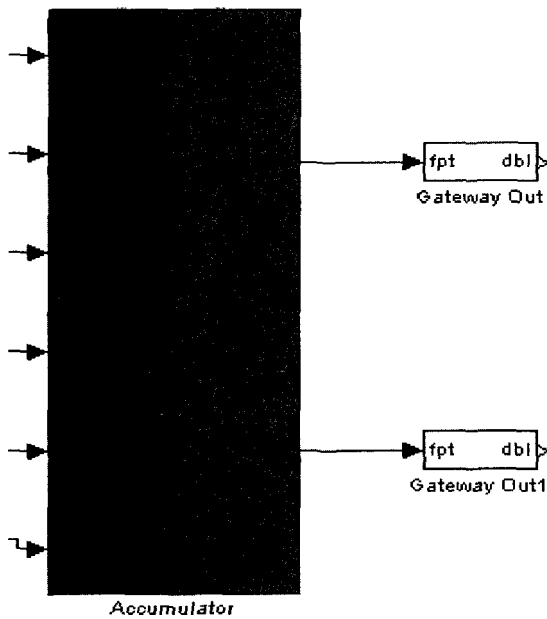


그림 9. 누적기 (3-tap 모델)  
Fig. 9. Accumulator (3-tap Model).

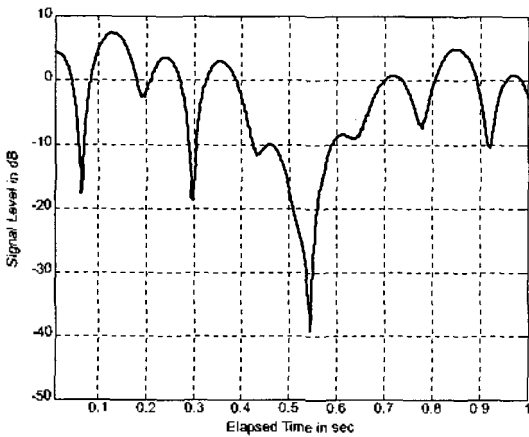


그림 10. 레일리 페이딩의 복소 채널 이득 (도플러확산 주파수 5 Hz)  
Fig. 10. Channel gain of rayleigh fading (Doppler spread 5 Hz).

최대 도플러 확산 주파수는 700 Hz까지 모사 가능하며, 그림자 효과는 표준편차 10 dB까지 모사 가능한 것을 다음 그림들과 같이 확인하였다.

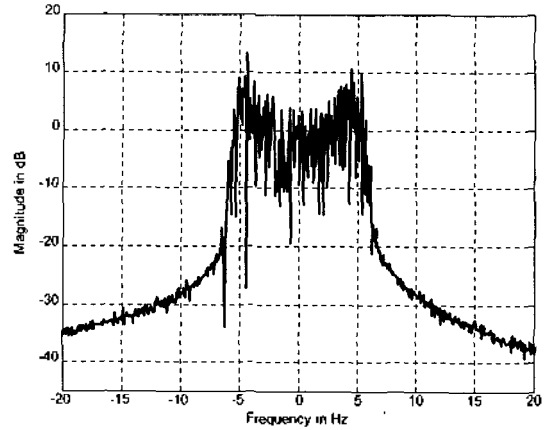


그림 11. 도플러확산 복소 이득의 스펙트럼 (도플러확산 주파수 5 Hz)  
Fig. 11. Spectrum of Doppler spread (Doppler spread 5 Hz).

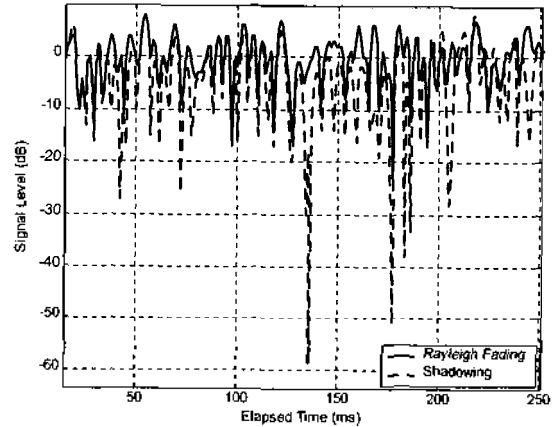


그림 12. 레일리 페이딩과 그림자 효과의 영향 (6 dB)  
Fig. 12. Rayleigh fading and shadowing effect (6 dB).

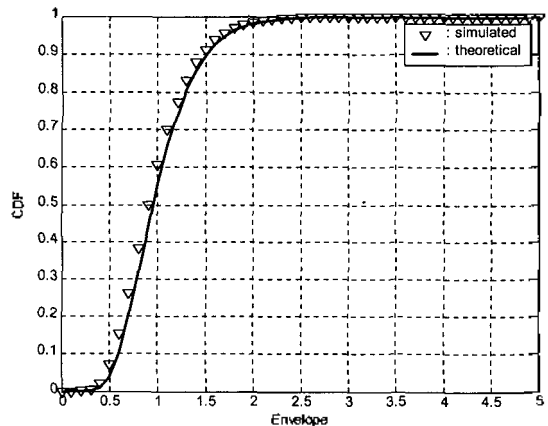


그림 13. 그림자 효과의 누적분포 함수 (분산 1)  
Fig. 13. CDF of shadowing effect (Var. 1).

## V. 결론

본 논문에서 DSP 칩과 FPGA를 이용하여 실시간 다중 경로 페이딩 채널 시뮬레이터의 구현을 선보였다. QAM 방식과 FIR필터링 기법을 이용해서 도플러 확산과 레일리 플랫 페이딩을 모사하였고, 탭 지연선 기법을 활용하여 주파수 선택성 페이딩을 모사하였다.

TI사의 DSP칩과 Xilinx사의 FPGA칩은 범용으로 만들어진 것이다. 구입이 용이할 뿐 아니라 가격 또한 합리적인 수준이다. 이를 바탕으로 구현을 하였을 때 전체 비용은 앞서 소개했던 종래의 시뮬레이터에 비해 월등히 저렴하다.

이를 이용해 다양한 음성신호 및 음향신호 현상분석을 위한 페이딩 현상을 모사할 수 있고, 더불어 통신시스템을 위해서도 활용이 가능할 것이다.

또한 A/D & D/A 컨버터를 확장하고 FPGA의 성능이 더욱 높은 것을 사용한다면 IF영역의 신호까지 모사가 가능할 것이다. 더 나아가 RF가능 소자를 이용한다면 RF대역신호의 모사 또한 가능할 것으로 본다.

## 감사의 글

본 연구는 한양대학교 교내 연구특성화사업의 지원을 받아 수행되었습니다.

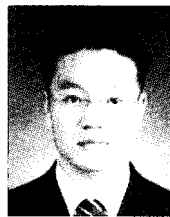
## 참고 문헌

1. B. Schweber, "RF-channel simulators: bring realities challenges to your prototype" EDN, September 11, 1998.
2. W. C. Jakes, *Microwave Mobile Communications*, IEEE Press, Chap. 1, 11-78, 1974.
3. Mark A. Wickerl, and Jeff Papanlous, "Implementation of a real-time frequency-selective RF channel simulator using a hybrid DSP-FPGA architecture", *IEEE Transactions on Microwave Theory and Techniques*, 49 (8), August 2001.
4. James K. Cavers, *Mobile Channel Characteristics*, Kluwer Academic Publishers, Chap. 5, 61-68, 2000.
5. Theodore S. Rappaport, *Wireless Communications*, IEEE Press, Chap. 4, 143-153, 1996.

6. Albert Algans, Klaus Ingemann Pedersen, "Experimental analysis of the joint statistical properties of azimuth spread, delay spread, and shadow fading", *IEEE Journal on Selected Areas in Communications*, 20 (3), APRIL 2002.
7. Athanasios Papoulis, *Probability, Random Variables, and Stochastic Process*, 3<sup>rd</sup> Edition, McGraw Hill, Chap. 8, 214-221, 1991.
8. Barry Shackelford, Motoo Tanaka, Richard J. Carter, and Greg Snider, "High-performance cellular automata random number generators for embedded probabilistic computing systems" Proceedings of the 2002 NASA/DOD Conference on Evolvable Hardware (EH' 02), IEEE Computer Society.
9. A. Ghazel, E. Bouillon, J. L. Danger, and G. Gulak, Laamari, "Design and performance analysis of a high speed AWGN communication channel emulator," *Communications, Computers and signal Processing, PACRIM, 2001 IEEE Pacific Rim Conference on*, 2, 26-28, Aug. 2001.
10. V. Fung and T. S. Rappaport, "Bit error simulation for DQPSK mobile radio communications using two-ray and measurement-based impulse response models," *IEEE JSAC*, 11 (3), 393-405, 1993.
11. Gaston A. Arredondo, William H. Chriss, and Edward H. Walker, A Multipath Fading Simulator, *IEEE Transactions on Communications*, Com-21 (11), November 1973.
12. Matthias Patzold, *Mobile Fading Channels*, Wiley, Chap. 6, 169-172, 2002.

## 저자 약력

### ● 이 주 현 (Joo-Hyun Lee)



1995년 3월~2002년 2월: 한양대학교 공학대학 제어계측과 (B.S)  
 2002년 3월~2004년 2월: 한양대학교 공학대학 전자전자계측과 (M.S)  
 ※ 주관심분야: 디지털 통신, SDR 시스템, 페이딩 채널 모델링

### ● 이 찬 길 (Chan-Kil Lee)



1977년 3월~1981년 2월: 한양대학교 공과대학 전자공학과 (B.S)  
 1981년 3월~1983년 2월: 서울대학교 공과대학 전자공학과 (M.S)  
 1986년 6월~1992년 6월: Georgia Inst. Tech 전자공학박사 (Ph.D)  
 1983년 3월~1985년 9월: 한국전자통신연구소 TDX 개발단 연구원  
 1992년 3월~1994년 2월: 한국전자통신연구원 이동통신기술연구소 선임연구원  
 1994년 3월~1995년 2월: 경북대학교 전자공학과 전임강사  
 1995년 3월~현재: 한양대학교 전자컴퓨터공학과 부교수  
 ※ 주관심분야: 디지털 통신, SDR 시스템, CDMA 모델, 페이딩 채널 모델링, 무선 센서망