

직렬 ATA 용 8b/10b 인코더와 디코더 설계 및 구현

정회원 허정화*, 박노경**, 박상봉*

Design and Implementation of 8b/10b Encoder/Decoder for Serial ATA

Jung-Hwa Heo*, Nho-Kyung Park**, Sang-Bong Park* *Regular Members*

요 약

직렬 ATA(Advanced Technology Attachment) 인터페이스는 비교적 저렴하고 성능이 우수하며, 현재 고속의 데이터 전송과 처리량을 요구하는 수요에 적합한 기술이다. 본 논문에서는 직렬 ATA의 링크층에서 오류 감지와 직류 balance를 위한 동작 주파수 150MHz 에서의 8b/10b 인코더 및 디코더의 설계 및 구현 방법과 제작된 칩의 테스트를 위한 테스트 보드 및 테스트 방법을 제시하였다. 제안된 인코더 및 디코더는 각각 5b/6b 과 3b/4b으로 나뉘어서 인코딩 되도록 설계하였으며, Top-Down 설계 방식을 사용하여 Verilog HDL로 기술하고, Synopsys로 합성된 넷리스트로 게이트 수준의 동작을 확인하였다. 제작된 칩은 삼성 0.35 μ m CMOS 표준 셀 라이브러리를 이용하였고, 칩 면적은 1.5mm * 1.5mm 이며, 전원 전압은 3.3V를 사용하였다. 테스트 보드 및 FPGA를 통하여 생성된 입력 테스트 벡터를 이용하여 100MHz로 정상 동작 검증을 테스트하였고, ATS2 테스트 장비를 이용하여 100MHz 동작 검증을 하였다. 본 논문에서 제안된 8b/10b 인코더 및 디코더 블록은 고속의 데이터 통신을 위한 IP로써 활용 가능하다.

key Words : Serial ATA; Parallel ATA; 8b/10b encoder, 10b/8b decoder.

ABSTRACT

Serial ATA interface is inexpensive comparatively and performance is superior. So it is suitable technology in demand that now require data transmission and throughput of high speed. This paper describes a design and implementation of Serial ATA Link layer about error detection and 8b/10b encoder/decoder for DC balance in frequency 150MHz. The 8b/10b Encoder is partitioned into a 5b/6b plus a 3b/4b coder. The logical model of the block is described by using Verilog HDL at register transistor level and the verified HDL is synthesized using standard cell libraries. And it is fabricated with 0.35 μ m Standard CMOS Cell library and the chip size is about 1500 μ m * 1500 μ m. The function of this chip has been verified and tested using testboard with FPGA equipment and IDEC ATS2 test equipment. It is used to frequency of 100MHz in verification processes and supply voltage 3.3V. The result of testing is well on the system clock 100MHz. The designed and verified each blocks may be used IP in the field of high speed serial data communication.

* 세명대학교 정보통신학과(psbcom@semyung.ac.kr), ** 호서대학교 정보통신공학과(nkpark@office.hoseo.ac.kr)

논문번호 : 030082-0312, 접수일자 : 2003년 3월 12일

※ 본 연구는 IDEC의 지원에 의해 수행되었습니다.

I. 서론

현재 사용되고 있는 병렬 ATA의 최대 전송 속도 133 MB/s 로 지원할 수 있는 하드디스크의 최대 용량은 137G 이다. 이러한 한계에 달함에 따라 새롭게 대체될만한 인터페이스의 등장은 필수적이였다. 그것이 바로 직렬 ATA(Serial Advanced Technology Attachment)이다.

직렬 ATA의 장점은 1.5Gbps의 속도뿐만 아니라 넓고 납작한 케이블이 가늘고 둥근 것으로 교체하면서 컴퓨터 내부 여유공간을 넓혀 냉각을 위한 공기순환을 원활하게 한다. 이것은 컴퓨터 내부 열 처리에 획기적이며 PC 내부도 간단해진다. 또한, 기존의 병렬 ATA용의 운영체제나 각종 소프트웨어, 하드웨어와도 호환 가능하며, 3.3V의 낮은 전압을 사용하므로 저 전력 소모를 한다. 뿐만 아니라, 강력한 Plug & Play 지원도 눈에 띄는 장점이라 할 수 있다.

본 논문에서는 병렬 ATA 인터페이스의 발전된 형태로 기존의 하드디스크 등에 데이터 전송 속도를 증가시킨 직렬 ATA에 대해서 간단히 소개하고, 고속의 전송 및 데이터 안정성 등에 사용되는 8b/10b 인코더, 디코더를 구현한다. 직렬 ATA 링크층은 Top-Down 설계 방식을 사용하여 Verilog HDL로 기술하고, Synopsys로 합성된 넷리스트로 타이밍 정보를 추출하여, 게이트 수준의 검증은 통해 동작을 확인하였다. 직렬 ATA 링크층은 삼성 0.35μm 표준 셀 라이브러리를 이용해 설계 및 칩 제작을 하였으며, 8b/10b 인코더 및 디코더 블록을 포함한다. 또한, 제작된 칩은 보드 제작 및 디지털 테스터 장비를 통해 검증 결과를 보여준다.

II. 본론

1. 병렬 ATA 인터페이스

1980년대 나타난 마더보드와 하드디스크와 같은 주변장치의 인터페이스로 데스크톱과 노트북 컴퓨터의 PC 저장 인터페이스 프로토콜의 표준이 되었다. 장점으로는 비교적 간단, 고성능에 저가이며, 단점으로는 18인치의 케이블 길이 제한, 5V의 신호 요구, 40핀의 많은 핀 수를 지닌 케이블과 데이터 오류 점검 기능이 없다는 점이다.

2. 직렬 ATA 인터페이스

인텔을 주축으로 2000년 제안된 직렬 ATA는 마더보드와 주변 장치와 500mV Vpp 전압으로 1.5Gbps 전송 속도로 직렬 데이터 송수신을 한다. 직렬 ATA 장점으로는 현재 1.5Gbps 전송 속도에서 향후 3Gbps 이상의 로드 맵이 가능하고, 500mV의 낮은 신호 전압과 송수신에 필요한 핀 수가 4핀으로 케이블의 크기가 작아지고, 오류 정정 기능이 포함되어 있다. 또한 기존의 병렬 ATA의 소프트웨어 및 드라이버를 지원하므로 호환성을 가지고 있다.

3. 8b/10b 인코더/디코더

8b/10b의 기본적인 개념은 직렬 ATA 버스를 통해 전송되는 정보를 한 번에 1 바이트의 데이터 또는 문자를 10 비트 인코딩 된 문자로 인코딩 해서 직렬로 비트 전송한다. 직렬 ATA 버스로 전송된 정보는 수신 단에서 한 번에 10비트를 모아서, 원래의 데이터 문자와 제어 문자 8 비트로 디코딩 한다. 데이터의 인코딩 되지 않은 바이트를 A, B, C, D, E, F, G, H 라고 하고, 제어 변수 Z 는 만약 8비트가 데이터 문자인 경우 D 라 정의하고, 8비트가 제어 문자인 경우 K 의 값을 가진다면, 인코딩 과정을 통하여 10비트 문자 a, b, c, d, e, i, f, g, h, j의 결과를 출력한다. 그림 1은 인코딩 된 데이터의 직렬 전송 과정을 나타낸 그림이다.

8b/10b 코딩 과정은 2 단계로 정의된다. 그림 2에서 보여주는 것처럼 첫 번째 단계에서는 5b/6b 인코더를 이용해서 인코딩 되지 않은 입력 바이트의 첫 번째 5비트를 6비트의 부-블록으로 인코딩 한다.

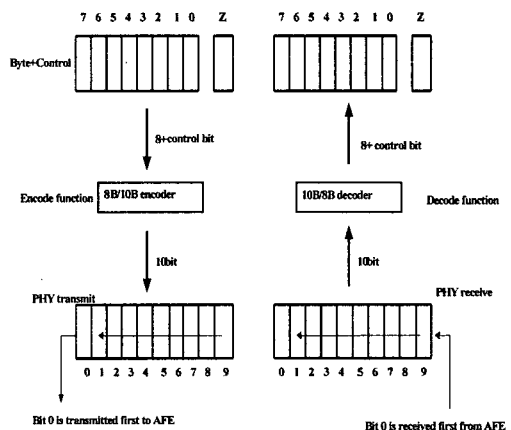


그림 1. 인코딩 된 데이터의 직렬 전송 과정

다. 두 번째 단계에서는 3b/4b 인코더로 데이터 바이트의 나머지 3 비트를 인코딩 한다.

인코딩 방법은 1바이트 데이터를 10비트 인코딩 된 문자로 만드는 것으로써 Running disparity 이용한다. Running disparity는 2개의 코드로 구성하며, 이 중 5b/6b 인코더는 Running disparity의 이전 값이 (+) 혹은 (-) 인가에 따라 5비트의 데이터를 6비트의 일련의 값으로 인코딩 한다. 그 인코딩 값에 따라 변경된 Running disparity 값은 다음 3b/4b 인코더 과정에서 사용하며, 3비트를 4비트의 값으로 인코딩 하는 과정에서 발생한 Running disparity 값은 다음에 들어 오는 8비트 데이터의 5b/6b 인코딩 값에 영향을 준다. 여기서 Running disparity의 개념은 음의 값 (-) 또는 양의 값(+)을 지닌 파라미터란 정의된다. 다시 말해, 그 과정은 Running disparity의 조건에 따라 현재 상태 값으로 다음 상태 값을 얻는다.

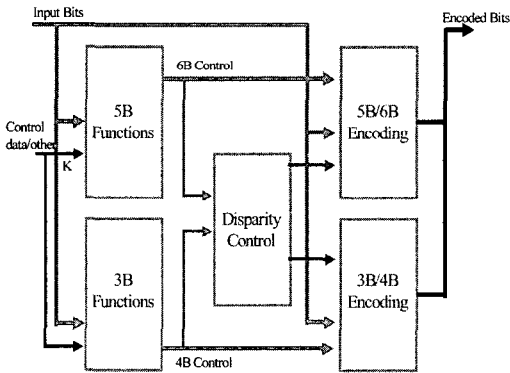


그림 2. 인코더의 블록도

표 1. 5b/6b 코딩.

Inputs				abcdei outputs				rd'	Inputs				abcdei outputs				rd'
Dx	EDCBA	rd+	rd-	Dx	EDCBA	rd+	rd-		Dx	EDCBA	rd+	rd-	Dx	EDCBA	rd+	rd-	
D0	0000	011000	100111	-rd	D16	10000	100100	011011	-rd								
D1	00001	100010	011101		D17	10001	100011										
D2	00010	010010	101101	rd	D18	10010	010011										
D3	00011	110001			D19	10011	110010										
D4	00100	001010	110101	-rd	D20	10100	001011										
D5	00101	101001			D21	10101	101010										
D6	00110	011001		rd	D22	10110	011010										
D7	00111	000111	111000		D23	10111	000101	111010	-rd								
D8	01000	000110	111001	-rd	D24	11000	001100	110011	rd								
D9	01001	100101		D25	11001	100110											
D10	01010	010101		rd	D26	11010	010110										
D11	01011	110100	rd		D27	11011	001001	110110	-rd								
D12	01100	001101		D28	11100	001110		rd									
D13	01101	101100		-rd	D29	11101	010001	101110									
D14	01110	011100			D30	11110	100001	011110									
D15	01111	101000	010111	-rd	D31	11111	010100	101011									

표 2. 3b/4b 코딩

Inputs	fghj outputs				rd'
	Dx.y	HGF	rd+	rd-	
Dx.0	000	0100	1011	rd	
Dx.1	001	1001			
Dx.2	010	0101			
Dx.3	011	0011	1100		
Dx.4	100	0010	1101	-rd	
Dx.5	101	1010			
Dx.6	110	0110		rd	
Dx.P7	111	0001	1110	-rd	
Dx.A7	111	1000	0111		

NOTE -
A7 replaces P7 if(rd>0) and (e=1=0) or ((rd<0) and (e=1=1))

우선 6비트 서브 블록에 대해 계산되어지고 이에 따라 4비트 서브 블록에 대해 계산된다. 이렇게 하는 것은 곧 0과 1의 수를 맞춤으로써 대역폭을 줄이므로 잡음을 개선하려는 목적에서 사용된다. 인코딩 과정에서 사용되는 코드 값은 표 1, 2와 같다.

디코딩 하는 과정은 표 1, 2에 따라 결정된 10비트의 값을 다시 6비트와 4비트로 구분 지어 해당되는 값을 5비트와 3비트로 변경한다.

4. 제어 문자

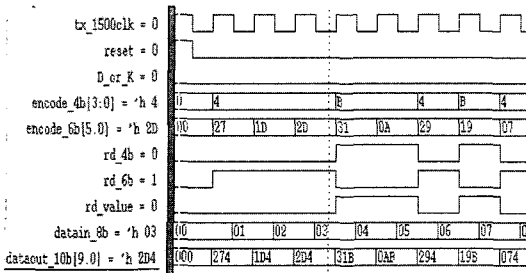
직렬 ATA에서는 오직 K28.3과 K28.5 두 개의 제어 문자만을 사용한다. 이 제어 문자는 직렬 ATA에서 4바이트 프리미티브 데이터 전송 시에 첫 번째 바이트에 사용된다. K28.3 제어 문자는 ALIGN 프리미티브가 아닌 다른 프리미티브 전송 시에 사용되고, K28.5 제어 문자는 ALIGN 프리미티브 전송 시에만 사용된다. K28.3과 K28.5 프리미티브의 Running disparity 값은 다음 인코딩 과정에서 이전 값의 반전된 값으로 전송된다. 위의 표 3은 제어 문자의 인코딩 값을 나타낸다.

5. 시뮬레이션 및 합성

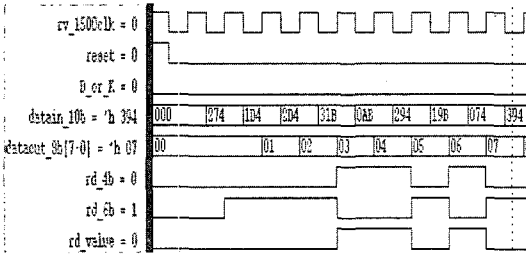
직렬 ATA 8b/10b 인코더/디코더의 블록은 150MHz의 주파수를 사용해, 약 6.67n의 클록

표 3. 제어 문자 코딩

제어문 자	abcdei fghj outputs		설 명
	Current rd-	Current rd+	
K28.3	001111 0011	110000 1100	ALIGN 프리미티브를 제외한 프리미티브 Byte0에서 발생
K28.5	001111 1010	110000 0101	ALIGN 프리미티브 Byte0에서 발생



(a)



(b)

그림 3. 인코더/디코더 시뮬레이션 결과
 (a) 8b/10b 인코더 (b) 10B/8B 디코더

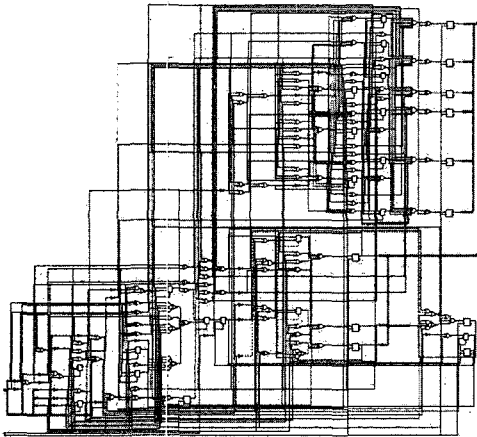


그림 4. 인코더 회로 합성 결과

주기를 갖는다. 아래 그림 3.(a) 는 8b/10b 인코더 블록의 시뮬레이션 결과 파형이며, 그림 3.(b)은 10B/8B 디코더 블록의 결과 파형이다.그림 4는 삼성 0.35 μ m 표준 셀 라이브러리를 사용한 인코더 블록의 합성 결과를 보여준다.

6. 칩 제작 및 테스트 결과

이상으로 설계된 직렬 ATA 용 8b/10b 인코더/디코더는 전체 직렬 ATA 링크 층의 일부분으로

IDEC MPW를 통해 삼성 0.35 μ m CMOS 표준 셀 라이브러리 공정을 이용하여 칩으로 제작되었다. 전체 칩 코어 크기는 1.5mm * 1.5mm 이며, 208 핀 CQF 형태의 패키지를 사용하였다. 그림 5는 직렬 ATA 링크층의 레이아웃이며, 8b/10b 인코더/디코더는 일부분으로 포함되어 있다.

1) 테스트보드를 이용한 테스트 결과

그림 6.(a) 는 제작된 칩 및 보드이며, 6.(b) 는 칩 테스트를 위해 설계된 테스트 장비이다. 칩으로 입력 값을 주기 위해 FPGA 장비로 한백 전자의 HBE-DTK 콤보를 사용하였으며, FPGA Target

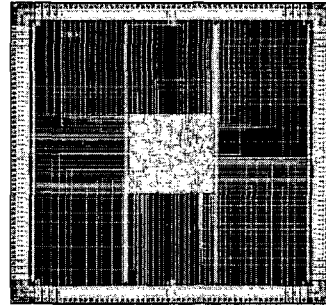
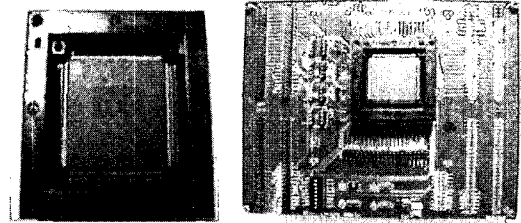
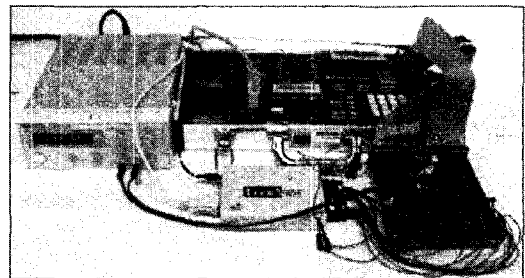


그림 5. 레이아웃



(a)



(b)

그림 6. 직렬 ATA 인코더 및 디코더
 (a) 칩 및 보드 (b) 테스트 장비

Device EP1K100QC208-3을 사용하였다. 결과 모니터링에는 한백 전자의 LOGIC VIEW가 사용되었다. FPGA 장비에서 내부 클록은 10MHz가 사용되었으며, 논리 분석기의 샘플링은 80MHz로 테스트되었다

테스트에 사용된 장비 및 클록은 다음과 같다.

- 전원 : 3.3V
- FPGA 키트 : HBE-DTK Combo
- FPGA 디바이스 : EP1K100QC208-3
- 논리 분석기 : LogicView L16080
- 클록 : 10MHz
- 클록 샘플링 : 80MHz

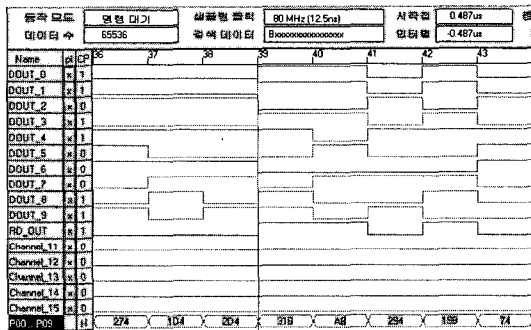


그림 7. 설계된 칩 테스트 결과 파형

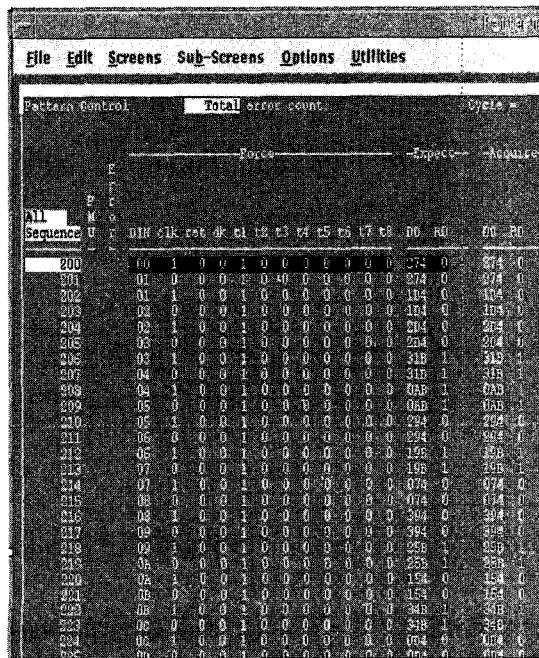


그림 8. 디지털 테스트 장비를 이용한 테스트 결과

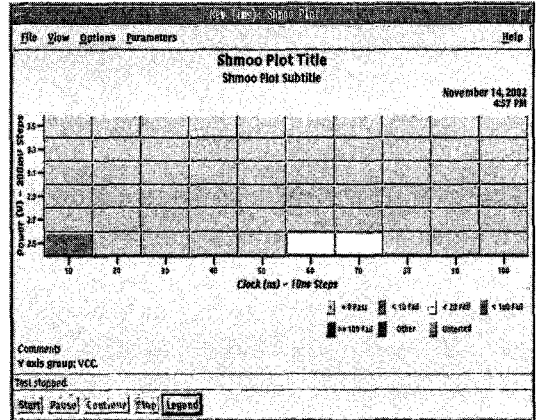


그림 9. 디지털 테스트 장비를 이용한 Shmoo 테스트 결과

2) 디지털 테스트 장비를 이용한 결과

디지털 테스트를 위해서 IDEC에서 보유하고 있는 ATS2 장비를 사용하였다. 반도체 테스터(IMS ATS2)에서 실제 100MHz의 동작 주파수로 테스트한 결과 모든 부분이 설계시 예상된 결과로 정상 동작하는 것을 확인하였다.

테스트 결과 시뮬레이션에서 검증된 입력, 출력 테스트 벡터에 대해서 실제 칩에서도 인코딩과 디코딩이 수행되는 것을 검증하였다. 현재 보유 장비인 논리 분석기의 최대 클록 주파수가 40MHz로 인해 150MHz의 테스트가 불가능한 상태이다. 또한 IDEC 테스트 장비 ATS2를 통해 100MHz에서 테스트를 한 결과 그림 8과 그림 9의 Shmoo 테스트에서도 보는 바와 같이 모든 영역에서 정상적으로 동작함을 확인할 수 있었다. Shmoo 테스트 시에 전압은 2.6V ~ 3.6V 까지 고려하였으며, 주파수는 10MHz ~ 100MHz 까지 고려하였다.

III. 결론

1.5Gbps의 속도를 가지는 직렬 ATA의 실현을 위해서는 8b/10b 인코더 블록이 필수적이며, 본 설계에서는 직렬 ATA용 8b/10b 인코더/디코더를 삼성 0.35 CMOS 공정을 사용하여 ASIC 설계 및 레이아웃, 칩 제작, 칩 테스트 보드 제작의 과정을 거쳤다. 그 결과 주파수 100MHz에서의 개별 블록으로 레이아웃 설계된 인코더 및 디코더의 성공적인 설계 및 동작을 확인하였고, 앞으로는 150MHz에서의 동작을 시험할 예정이다.

참 고 문 헌

- [1] Warren Hioki, "Telecommunications", Prentice Hall, 2001
- [2] Serial ATA Spec. Revision 1.0.0.0, Serial ATA WorkGroup, . November, 2000
- [3] Samsung STD90 0.35 μ m 3.3V CMOS Standard Cell Library Manual, Samsung, 2000
- [4] A.X. Widmer & P.A. Franaszek, "A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code", IBM, September, 1983
- [5] 이승수, 도한철, 강태규, 송상섭, "8b/10b decoded Gigabit Ethernet 물리계층의 PCS 수 신부 ASIC 설계", 추계종합통신학회, 1999

허 정 화(Jung-Hwa Heo)

정회원



2001년 2월 : 세명대학교
정보통신학과 졸업

2003년 2월 : 세명대학교
전산정보학과 석사

2003년 3월 ~ 현재 : 세명대학교
전산정보학과 박사 과정

<주관심분야> ASIC 설계, 신호처리, Serial ATA

박 노 경(Nho-Kyung Park)

정회원



1984년 2월 : 고려대학교
전자공학과 졸업

1986년 2월 : 고려대학교
전자공학과 석사

1990년 2월 : 고려대학교
전자공학과 공학박사

1996년 3월 ~ 현재 : (주)옵니미디어 기술고문

1999년 3월 ~ 2000년 2월 : OSU ECE 연구교수

2000년 12월 ~ 현재 : IDEC 호서대학교 책임교수

1989년 4월 ~ 현재 : 호서대학교 전기정보통신공학부 교수

<주관심분야> HDTV, Image Processing Algorithm 및 ASIC Design

박 상 봉(Sang-Bong Park)

정회원



1985년 2월 : 광운대학교
전자재료공학과 졸업

1987년 2월 : 고려대학교
전자공학과 석사

1992년 2월 : 고려대학교
전자공학과 공학박사

1992년 3월 ~ 1999년 2월 : 삼성전자 선임 연구원

1999년 3월 ~ 현재 : 세명대학교 정보통신학과 조교수

2000년 2월 ~ 현재 : 옵니미디어(주) ASIC 팀 기술고문

2000년 7월 ~ 현재 : @lab(주) Digital 설계 팀 기술고문

<주관심분야> Digital TV, Embedded Memory Test, Serial ATA