

시스템 효율향상을 위한 이동통신망 Rake Finger 시스템 설계에 관한 연구

정희원 이 선 근*, 임 순 자**

A Study on the Rake Finger System Design for the System Performance Improvement in the Mobile Communications

Seon-Keun Lee*, Soon-Ja Lim** *Regular Members*

요 약

이동통신 무선접속 기술 요소 중 하나인 MC-CDMA 시스템의 레이크 수신기는 다수 채널로 전송된 신호들을 동시에 복조해야 하므로 트래픽 채널을 복조하는 데이터 상관기의 수가 왈쉬 코드 채널의 수만큼 증가하게 되어 신호처리의 복잡도가 증가되는 단점을 갖게 된다. 본 논문에서는 데이터 상관기들의 증가로 인한 데이터 처리시간 지연을 감소시키기 위해 Walsh Switching, 공유 accumulator, pipeline-FWHT 알고리즘을 적용한 새로운 레이크 수신기 구조를 제안했다. 모의실험 결과, 왈쉬 코드 채널의 수 $N=4$ 에 대한 데이터 상관기의 연산 동작 수는 512 가산에서 160 가산으로 약 3.2배 감소하였고, 데이터 처리시간은 18.3% 감소하였음을 확인하였다.

Key Words : MC-CDMA; Rake Finger; VHDL; ASIC

ABSTRACT

In this paper, we proposed the new structure of the Rake Finger using Walsh Switch, the shared accumulator, and the pipeline-FWHT algorithm for reducing the signal processing complexity resulting from the increase of the number of data correlator. The function simulation of the proposed architecture is performed by Synopsys tool and the timing simulation is performed by Compass tool. The number of computational operation in the proposed data correlators is 160 additions and the conventional ones is 512 additions when the number of walsh code $N=4$. As a result, it is reduced about 3.2 times other than the number of computational operation of the conventional ones. Also, the result shows that the data processing time of the proposed Rake Finger architecture is 90,496[ns] and the conventional ones is 110,696[ns]. It is 18.3% faster than the data processing time of the conventional Rake Finger architecture.

* 원광대학교 전자공학과 (caiserrisk@korea.com)

** 원광대학교 전자공학과 BK21 산학계약교수

논문번호 : 030311-0722, 접수일자 : 2003년 7월 22일

I. 서론

IMT-2000은 ITU-R등에서 표준을 제정하고 있는 제 3세대 이동통신 시스템으로써 음성, 데이터, 영상 혹은 비디오 등의 다양한 서비스 제공을 요구하고 있다^{[1][2]}.

IMT-2000의 무선접속 기술 요소 중 영상 혹은 비디오 등의 다량의 정보를 고속으로 전송하기 위한 multirate 전송방법은 VSG(Variable Spreading Gain)-CDMA 시스템과 Multi-Code(MC) CDMA 시스템, 그리고 Multi-Carrier CDMA 시스템 등으로 나뉜다. VSG-CDMA 방식은 높은 전송률에서 확산이득 감소 현상이 나타나지만 Multi-Code CDMA 방식은 높은 전송률에서 확산이득 감소 현상이 나타나지 않으며 전송 속도를 상황에 따라 유연하게 조절할 수 있는 장점이 있다. 따라서 한정된 대역폭 안에서 사용자가 요구하는 여러가지 전송 속도와 서비스를 제공할 수 있다. Multi-Carrier CDMA 방식은 사용자에게 한개 이상의 주파수를 할당하여 전송 데이터를 병렬로 변환 후 전송하는 방식이다. 그러나 다중경로는 두 가지 셀이 중첩된 상황에서 Multi-Carrier 방식의 성능이득을 감소시킨다. 다중경로채널에서 지연확산 효과를 줄일 수 있는 방법으로는 방향성 안테나와 등화기(equalizer)를 사용하면 되지만 높은 데이터 전송률에서는 매우 복잡한 등화기가 필요하게 된다. 이러한 Multi-Carrier 방식과는 달리 Multi-Code 방식은 하나의 주파수 대역을 사용하여 서로 직교 열로 각각의 데이터를 확산해 줌으로써 데이터간 간섭을 최소화시킨다. 또한 고속 데이터 전송을 요구하는 사용자에게 하나 이상의 윌쉬채널을 할당함으로써 IMT-2000에서 요구되는 주파수 사용 효율을 만족시키는 기술이다^{[3][4]}. 일반적으로 MC-CDMA 시스템은 DS-SS-CDMA 시스템에서와 같이 다중경로 채널의 주파수 선택적 감쇄의 영향을 상쇄시키기 위해 Rake 수신기를 사용한다. 만약 기지국이 사용자로부터 높은 데이터 서비스를 요구받을 경우, 기지국은 데이터를 다수의 트래픽 채널로 나누어 사용자에게 전송하게 되며 사용자는 늘어나는 트래픽 채널의 개수만큼 데이터 서비스를 받을 수 있게된다. 이러한 데이터 서비스를 제공받기 위해서 이동국의 Rake 수신기는 다수의 채널로 나누어 전송된 신호들을 동시에 복조할 수 있는 구조로 되어 있어야 한다. MC-CDMA 시스템의 이동국 Rake 수신기는 다수의 트래픽 채널을 동시에 복조해야 하

므로 레이크 수신기에서 채널을 복조하는 데이터 상관기들의 수가 윌쉬코드 채널의 수만큼 증가하게 된다. 이로 인해 이동국에서 중요한 고려 사항인 신호 처리의 복잡도가 증가하여 데이터 처리시간과 전력 소비가 증가하게 된다.

따라서 본 논문에서는 데이터 상관기들의 증가로 인한 신호처리의 복잡도를 줄여 전체 레이크 수신기의 데이터 처리 시간을 감소시키기 위해 Walsh Switch와 공유 accumulator, 파이프라인 FWHT(Fast Walsh Hadamard Transform) 알고리즘을^[5] 적용한 새로운 레이크 수신기 구조를 제안했다.

II. 기존 레이크 수신기 시스템 구조

MC-CDMA 시스템은 DS-SS-CDMA 시스템에서와 같이 다중경로 환경에서 신호들을 수신하는데 최적의 기술인 Rake 수신기를 사용하여 다중경로 채널의 주파수 선택적 감쇄의 영향을 상쇄한다^[6]. 이동통신은 다중경로 페이딩 채널이므로 각 경로의 데이터를 복조하기 위해서는 모든 경로의 신호를 이용하는 것이 최상이나 3개 이상의 다중경로 신호를 결합하더라도 성능의 큰 향상이 없기 때문에 일반적으로 순방향 링크의 경우 3개의 레이크 수신기를 사용한다. IMT-2000 다중경로 환경의 경우 6개의 경로 신호가 있으나 수신단의 레이크 수신기는 3개이므로, 수신기는 6개의 경로 신호중에서 평균전력이 가장 큰 3개의 경로 신호만을 가지고 복조하게 된다. MC-CDMA 수신기는 서로 다른 데이터 경로들에 대해 데이터의 역확산과 복조를 위해 사용하는 레이크 수신기 블록의 수정만을 통해 Rake 수신기를 그대로 이용할 수 있다.

각 레이크 수신기 블록은 다수의 윌쉬코드 채널들을 추적하고 획득하기 위한 타이밍 정보를 제공하는 공통된 하나의 타이밍 블록을 포함하고 있다. 그리고 이러한 데이터 채널들을 복조하기 위한 다수의 데이터 상관기와 윌쉬함수 발생기들을 필요로 한다. I, Q 채널을 모두 고려한 단일 채널일 때의 기존 데이터 상관기 구조는 그림 1과 같다.

Pilot PN despreader(Correlator)를 통해 출력된 파일럿 I, Q 신호 샘플들은 각각 심볼 주기(N_c)만큼 어큐뮬레이터에서 누적됨으로써 파일럿 신호를 복원한다. 데이터를 복원하기 위해 윌쉬함수 발생기로부터 출력된 윌쉬 시퀀스는 각각 파일럿 I와 Q

신호 샘플들과 상관되고 이 신호들은 각각의 어큐물레이터에서 심볼 주기(N_c) 만큼 누적된다.

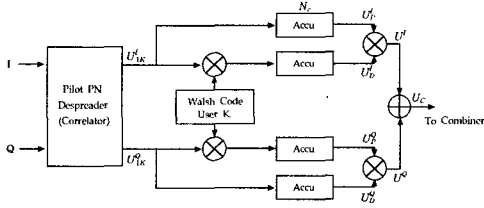


그림 1. 단일 채널의 기본 데이터 상관기

그리고 위상 기준신호인 파일럿 I 및 Q 신호와 채널 weighting을 한 후 컴바이너를 통해 각 레이크 수신기의 출력 심볼들은 합쳐지게 된다. Pilot PN despreader를 거친 사용자 K에 대한 I, Q 신호는 식 (1)로 정의할 수 있다. 이때 사용자의 채널 크기(channel amplitude)는 1로 가정한다.

$$\begin{aligned} U_{1K}^I &= 2(x_i W_K + A) \cos \phi + \delta_{1K}^I \\ U_{1K}^Q &= 2(x_i W_K + A) \sin \phi + \delta_{1K}^Q \end{aligned} \quad (1)$$

여기서, x_i 은 비트 속도 R_b 에서의 사용자 데이터이고, W_K 는 사용자 K에 대한 왈쉬 코드다. A는 파일럿 이득을 나타내며, ϕ 는 수신된 신호의 위상 천이(phase shift) $e^{j\phi}$ 를 나타낸다. 칩 수(N_c) 만큼 누적된 후 복원된 파일럿 위상 신호 I, Q는 식 (2)와 같다.

$$\begin{aligned} U_p^I &= \sum_{K=0}^{N_c-1} (2(x_i W_K + A) \cos \phi + \delta_{1K}^I) \approx 2N_c A \cos \phi \\ U_p^Q &= \sum_{K=0}^{N_c-1} (2(x_i W_K + A) \sin \phi + \delta_{1K}^Q) \approx 2N_c A \sin \phi \end{aligned} \quad (2)$$

왈쉬 역확산과 심볼 주기만큼 누적된 데이터 신호는 식 (3)과 같이 나타낼 수 있다.

$$\begin{aligned} U_D^I &= \sum_{K=0}^{N_c-1} W_K U_{1K}^I \approx 2N_c x_i \cos \phi \\ U_D^Q &= \sum_{K=0}^{N_c-1} W_K U_{1K}^Q \approx 2N_c x_i \sin \phi \end{aligned} \quad (3)$$

심볼 속도에서 채널 weighting된 신호는 식 (4)와 같다.

$$\begin{aligned} U^I &= U_p^I \cdot U_D^I = 4N_c^2 A x_i \cos^2 \phi \\ U^Q &= U_p^Q \cdot U_D^Q = 4N_c^2 A x_i \sin^2 \phi \end{aligned} \quad (4)$$

마지막 단계의 I, Q 덧셈(Adder) 부분의 데이터 출력 신호는 식 (5)와 같다.

$$U_C = U^I + U^Q = 4N_c^2 A x_i \quad (5)$$

III. 시스템 효율향상을 위한 제안된 레이크 수신기 구조

제안된 레이크 수신기는 Walsh Switch, 공유 accumulator 그리고 파이프라인 FWHT를 이용하여 데이터 상관기의 연산동작 수를 감소시켜 전체 레이크 수신기의 데이터 처리 지연시간을 감소시켰다. 공유 accumulator 방법은 심볼 속도에서 동작하는 N개의 어큐물레이터 대신 심볼 속도의 N배에서 동작하는 하나의 어큐물레이터를 이용한 time-multiplexing에 의해 이루어진다.

이것은 ADC(Analog-to-Digital Converter)에 사용되는 고주파 클럭 신호가 공유된 accumulator의 time-multiplexing 동작에 이용될 수 있다는 점에 의한 것이다. 공유 accumulator를 이용한 제안된 구조는 그림 2와 같다.

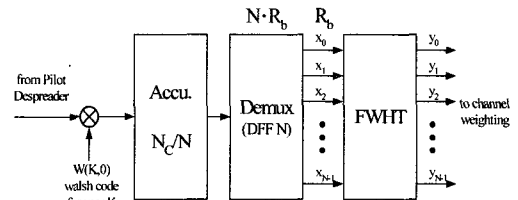


그림 2. 공유 accumulator를 이용한 제안된 구조

적절하게 선택된 길이 N_c 의 기본 왈쉬 코드는 N_c/N 길이와 같은 N개의 segments로 나누게 되는데, 이는 심볼 속도의 N배에서 동작하는 어큐물레이터를 이용함으로써 N_c/N 길이와 같은 왈쉬 코드 채널 N개를 얻을 수 있다. 여기서 N은 2의 배수이고 N_c 와 같거나 작다. 따라서 N_c/N 길이의 sub-walsh 코드 N개를 얻게 된다. 사용자 K에 대해 다중코드 신호를 부호화하기 위하여

사용하는 Walsh 코드들 간에 요구되는 관계는 식 (6)과 같다.

$$W(K, i) = W_{K+i(N_c/N)} \quad (6)$$

여기서, 사용자 수 $K = 0 \dots N_c/N - 1$ 이고 Walsh 코드 채널 인덱스 $i = 0 \dots N - 1$ 이다. 식 (6)의 관계에 의해 각 코드 $W(K, i)$ 는 차수 N 의 Walsh 코드에 따라 배열된 길이 N_c/N 의 N 개 sub-walsh 코드들로 구성된다. $N=4$ 에 대한 사용자 K 의 Walsh 코드 $W(K, i)$ 는 식 (6)에 의해 식 (7)과 같은 코드 열을 가지게 된다. 여기서 심볼 A 는 순차적인 상관 이 수행되는 길이 N_c/N 의 sub-walsh 코드를 나타낸다. 집합 $W(K, i)$ 에서 모든 Walsh 코드들은 차수 $N=4$ 의 overlay된 Walsh 코드에 따라 각각 sub-walsh 코드 A 와 A 의 modulo-two inverse 인 \bar{A} 를 만든다.

$$\begin{aligned} W(K, 0) &= [A A A A] \\ W(K, 1) &= [A \bar{A} A \bar{A}] \\ W(K, 2) &= [A A \bar{A} \bar{A}] \\ W(K, 3) &= [A \bar{A} \bar{A} A] \end{aligned} \quad (7)$$

식 (7)의 조건을 만족하는 Walsh 코드 열을 선택하여 변조된 신호를 $s(i)$ 라 할 때 송신된 신호는 식 (8)과 같다.

$$\begin{aligned} s(t) &= M(t) \cdot [C_f(t) \cos \omega_c t + C_q(t) \sin \omega_c t] \\ M(t) &= \sqrt{P_C} \{ b_0(t) W(K, 0) + b_1(t) W(K, 1) + \\ &\quad b_2(t) W(K, 2) + b_3(t) W(K, 3) \} \\ &= \sqrt{P_C} W(K, i) [X_0 X_1 X_2 X_3] \end{aligned} \quad (8)$$

수신 신호의 복원시 PN 칩 동기 및 주파수 동기가 맞았다고 가정하면 수신 신호의 역확산된 신호는 식 (9)와 같이 표현할 수 있다.

$$r(t) = \sum_{i=0}^{N-1} \{ \beta \sqrt{P_C} b_i(t) W(K, i) \cos \phi \} + n(t) \quad (9)$$

$N=4$ 인 경우에 대해 식 (9)는 식 (10)으로 정의할

수 있다.

$$\begin{aligned} r(t) &= \beta \sqrt{P_C} W(K, i) \cos \phi [X_0 X_1 X_2 X_3] \\ &\quad + n(t) \end{aligned} \quad (10)$$

식 (10)에서 적절하게 선택된 데이터에 대해 N_c/N 마다 reset되는 공유 accumulator를 거친 $N=4$ 에 대한 중간 상관값들은 차수 N 의 FWHT 블록을 통해 서로 다르게 더하고 빼는 과정을 수행하여 N 개의 완전한 데이터 상관기 출력들을 얻을 수 있는 신호를 발생하게 된다. 결국, $N=4$ 인 경우의 데이터는 식 (11)과 같이 구할 수 있다.

$$\begin{aligned} b_0 &= W(K, i) [r(t)^{X_0} + r(t)^{X_1} + r(t)^{X_2} + r(t)^{X_3}] \\ b_1 &= W(K, i) [r(t)^{X_0} - r(t)^{X_1} + r(t)^{X_2} - r(t)^{X_3}] \\ b_2 &= W(K, i) [r(t)^{X_0} + r(t)^{X_1} - r(t)^{X_2} - r(t)^{X_3}] \\ b_3 &= W(K, i) [r(t)^{X_0} - r(t)^{X_1} - r(t)^{X_2} + r(t)^{X_3}] \end{aligned} \quad (11)$$

여기서 $r(t)^{X_0}$, $r(t)^{X_1}$, $r(t)^{X_2}$, $r(t)^{X_3}$ 은 각각 $r(t)$ 의 X_0 , X_1 , X_2 , X_3 신호열 성분을 나타낸다. 그러므로, 하나의 어큐뮬레이터와 Walsh 코드 채널만으로 기존 N 채널 데이터 상관기와 같은 기능을 하게 된다. Walsh Switch는 어큐뮬레이터에 원하는 데이터 채널과 파일럿 채널을 스위치 하기 위한 것이며 Walsh 코드의 상태에 따라 스위치 되는 binary switch이다. 또한 Walsh Switch는 파일럿과 데이터 어큐뮬레이터의 결과를 공유할 수 있도록 하기 위한 것이다.

변조되지 않은 신호인 파일럿 신호는 논리 레벨 all-zero Walsh 코드를 사용하고 데이터를 위한 Walsh 코드는 논리레벨 1, 0으로 이루어져 있으므로 Walsh 코드 값들을 1과 0의 성분으로 분리하기 위해, Walsh 코드 값이 논리레벨 0이면 Walsh 함수 항 W_K 는 +1이 되고 스위치는 +1을 스위치 한다. Walsh 코드 값이 논리레벨 1이면 W_K 는 -1이 되고 스위치는 -1을 스위치 하게된다.

제안된 N 채널 데이터 상관기는 I, Q 채널에 대해 각각 공유 accumulator에서 N_c 의 연산 동작을 수행하고 cross adder 부분과 파일럿 어큐뮬레이터에서 $3N$, 파이프라인 FWHT 블록에서 $N/2 \times \log_2 N$ 의 연산 동작을 요구하게 된다. 즉, 기존의 N 채널 데이터 상관기는 I, Q 채널에 대해 $2(N_c \times N)$ 의 연

산 동작 수를 요구하게 되지만 제안된 구조는 $2(N_c + 3N + (N/2 \times \log_2 M))$ 의 연산 동작만을 수행하면 된다. 제안된 N 채널 데이터 상관기를 포함한 전체 레이크 수신기의 구조는 그림 3과 같다. 타이밍 복원 블록(Pilot early/late Correlator)과 입력 신호와의 주파수 차이를 찾아내어 에러를 보정할 수 있는 신호를 생성하는 블록은 채널 수 증가에 관계없이 공통된 하나의 블록으로 처리되므로 기존의 구조와 같다.

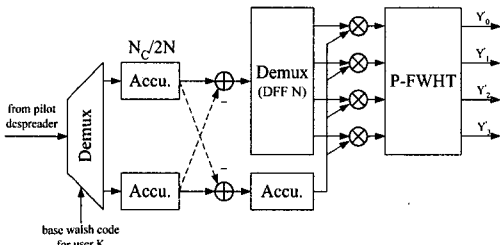


그림 3. 제안된 레이크 수신기 전체 구조

IV. 모의실험 및 고찰

모의실험은 VHDL을 이용하여 설계한 레이크 수신기의 전체 회로에 대해 Synopsys Ver. 1999. 10, KG-75 library를 사용하여 회로합성 및 function simulation을 수행하여 레이크 수신기의 기능에 대한 동작 특성을 모의실험하였다. 제안된 레이크 수신기의 합성 회로는 그림 4과 같다. 기존 레이크 수신기에서는 수신된 디지털 신호 serial[3:0]을 입력신호로 사용하였고, 4개의 왈쉬 함수 발생기의 6비트 인덱스 값들은 각각 0FH, 1FH, 2FH, 3FH를 사용하였다. Timing tracking에 의해 발생된 pn_en 신호가 '1'일 때 PN 코드 발생기는 파일럿 on time 신호가 발생하게 되고, Correlator의 인에이블 신호인 corr_enb가 '1'일 때, 매 칩 시간마다 디지털 수신신호의 병렬 4비트를 입력신호로 제공받아 replica PN 코드와의 매칭 여부를 판별하여 매칭도에 따른 코드 값을 발생시켰다.

왈쉬 함수 발생기의 walsh_load 신호가 '1'일 때 왈쉬 함수 발생기내의 레지스터는 동작하게 되고 64칩이 지나면 왈쉬 함수 발생기를 reset 시키게 된다. Correlator의 출력신호인 z1, z0는 왈쉬 함수 발생기의 출력신호인 walsh_chip과 디커버링 동작을 수행한 후 어큐뮬레이터에서 각각 64칩 동안 누적된

후 출력된다. 이 출력신호는 출력된 파일럿 신호와 채널 weighting을 수행하게 된다.

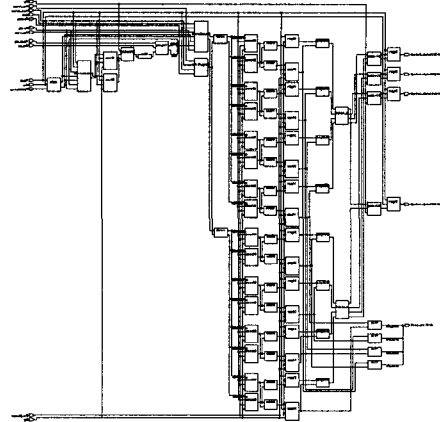


그림 4. 레이크 수신기 전체 회로

제안된 구조는 1개의 왈쉬 함수 발생기를 사용하는데, Base Walsh index로 0FH를 사용하였다. 단위 정합필터 회로의 입력값 ss[3:0]에 대한 칩 신호를 발생시키기 위하여 링 카운터의 제어신호 "10101010"에 대한 Correlator의 출력 값인 z_i , z_q 는 Walsh 함수 발생기의 출력 신호인 walsh_chip이 논리 '0'일 때 각각 add^i , add^q 신호를 출력하는 어큐뮬레이터로 스위치 되고, 논리 '1'일 때는 $subst^i$, $subst^q$ 신호를 출력하는 어큐뮬레이터로 스위치 된다. 각각의 어큐뮬레이터는 8칩 동안 누적되고 한 심볼 동안 4번 reset된다. 어큐뮬레이터의 출력신호인 add^i 와 $subst^i$, add^q 와 $subst^q$ 는 덧셈 연산과 뺄셈 연산을 수행한다. 뺄셈 연산을 수행한 결과는 다시 한 번 어큐뮬레이터에서 4칩 동안 누적되어 파일럿 신호를 복원하고, 뺄셈 연산을 수행한 결과는 레지스터에 순차적으로 저장되었다가 파일럿 신호가 출력되는 순간에 채널 weighting을 수행한다. 이 weighting 값들은 파이프라인 FWHT에서 서로 다르게 더하고 빼는 과정을 통해, 그림 5에 나타난 것처럼 레이크 수신기의 출력신호인 Symbol_data0, Symbol_data1, Symbol_data2, Symbol_data3들이 각각 입력된 수신신호 성분을 포함한 13비트씩, 기존 구조에 비해 25칩 먼저 출력됨을 확인할 수 있었다.

제안된 레이크 수신기의 동작 특성에 대해,

