

# 고속 저전력 비교기를 사용한 비터비 검출기용 ACS

정희원 홍 유 표\*, 정희원 이재진\*

## An ACS for a Viterbi Decoder Using a High-Speed Low-Power Comparator

You-Pyo Hong\* Regular Member, Jae-Jin Lee\* Regular Member

### 요 약

비터비 검출기는 통신용 모뎀 및 고밀도 기록장치 관련 분야에서 많이 쓰이는데, 그 구성회로 중 add-compare-selection(ACS) 연산부는 연산 속도 및 전력 소모량 측면에서 가장 결정적인 역할을 하기 때문에 오랜 연구의 대상이었다. ACS는 기본적으로 덧셈기, 비교기, 그리고 표준화기로 구성되어 있는데, 본 논문에서는 기존의 비교기에 비하여 고속 동작이 가능하고 전력 소모량 면에서도 우수한 비교기를 제안하고, ACS에 효과적으로 적용하여, 기존의 비터비 디코더에서 사용하던 ACS에 비하여 약 20%의 속도 향상이 가능함을 시뮬레이션을 통하여 증명하였다.

Keywords : 비터비검출기, ACS, 비교기.

### ABSTRACT

Viterbi decoders are widely used for communication and high-density storage devices. An add-compare-select(ACS) unit has been an active research area for a long time because it is the most critical component in determining the operation speed and power-consumption of the Viterbi decoder. We propose a new comparator which is faster and consumes less power than existing ones. We also used the new comparator for a Viterbi decoder and our simulations results show the Viterbi decoder outperforms existing ones at least 20% in its operating speed.

### I. 서 론

최근까지 지속되고 있는 디지털 기술의 눈부신 발전과 멀티미디어 매체 및 콘텐츠의 보급은 고속, 대용량 저장 매체에 대한 수요 증대로 연결되고 있다. 한정된 공간에 많은 데이터를 저장하면 기록밀도가 높아지게 되며, 높은 기록밀도에서는 많은 부호간 간섭(Intersymbol Interference, ISI)이 발생한다. 부호간 간섭이 많아지게 되면 신호를 처리할 때 에러 발생 확률이 높아지게 되므로, 이러한 부호간 간섭과 그 밖의 잡음들을 고려한 신호처리 방식이

개발되어 왔다. 1980년대와 90년대 초반에는 대부분의 Peak Detection(PD)방식을 사용하였다[1]. 그러나, 기록밀도가 높아지고, 잡음의 영향이 상대적으로 커지면서 PD방식만으로는 충분한 성능을 얻는 것이 불가능하게 되었기 때문에 이러한 문제점을 극복하기 위해서 Partial Response Maximum Likelihood(PRML) 방식이 제안되었다[2, 3]. PRML은 Partial-Response Signaling(PRS) 방식과 Maximum-Likelihood Sequence Detection(MLSD) 방식의 조합으로 이루어져 있다. PRML 검출방식의 핵심은 비터비 알고리즘[4]

\*동국대학교 전자공학과

※ 본 연구는 동국대학교 밀리미터파 신기술 연구센터(MINT)를 통한 한국과학재단의 우수연구센터(ERC) 지원금에 의하여 수행되었습니다.

논문번호 : 030218-0520, 접수일자 : 2003년 5월 20일

으로서, 부호간 간섭을 1-D2(PR4) 채널이나 1+D-D2-D3(EPR4) 채널, 또는 그 이상의 고밀도 채널에 맞는 형태로 모델링하는데, 여기서 D는 입력 데이터 한 주기에 해당하는 만큼 지연된 이전 데이터 값이다. 이 변형된 신호를 비터비 검출기에서 검출할 때 에러가 발생할 확률은 부호간 간섭이 섞이지 않은 신호를 검출하는 것과 같게 되어 높은 기록밀도 환경에서 기존의 검출기보다 더 빠르고, 성능이 좋은 검출이 가능하다[5]. PRML의 기록밀도는 대략 1.65에 해당하는데, 보다 높은 기록밀도 환경에서는 Extended-PRML(EPRML) 방식이나 Extended-EPRML(EEPRML) 방식을 이용하여 검출 성능을 향상시킨다[6]. 그러나, 이러한 EPRML 또는 EEPRML 방식에서 사용되는 비터비 검출기는 각각 8상태와 16상태의 복잡한 상태천이도를 가지고 있어 4상태의 PRML 비터비 검출기에 비해 복잡도가 크게 증가하게 된다[7]. 최근 비터비 검출기의 복잡한 구조를 간단한 형태로 변화시킬 수 있는 방법으로 덜 중요한 상태수를 줄인 Generalized Viterbi Algorithm(GVA)와 Folding Viterbi Detector(FVD)가 제시되었다[8,9,10].

PRML 방식에서 사용되는 비터비 검출기의 구조가 그림 1에 도시되어 있는데, 크게 Branch Metric Unit(BMU), Add-Compare-Select Unit(ACSU), Survival Memory Unit(SMU), Path Metric Normalization Unit(PNU) 4개의 큰 블록으로 나뉜다. BMU는 입력 값과 발생 가능한 코드워드와의 유클리디안 거리를 각각 계산하고, ACSU는 기존 PM과 BM을 더하여 작은 값을 선택한다. SMU는 선택되어 살아남은 경로를 메모리에 기록하여, 일정한 구간이 지나면 결정된 데이터를 출력으로 내보내게 된다[11].

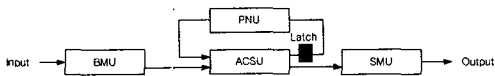


그림 1. 비터비 검출기의 구조

본 논문에서는 비터비 검출기의 주요 블록 중에서 동작속도에 가장 큰 영향을 미치는 ACSU의 성능 향상을 위한 방법과 회로수준의 설계, 그리고 시뮬레이션 결과를 제시한다. 논문의 구성은 2장에서 PRML 시스템 관련 배경 이론을 정리하고, 3장에서 고속 비터비 검출기 설계에 관하여 설명한 뒤, 4장에서 실험결과를 제시한다.

## II. 배경

자기기록에서 쓰기 과정은 이전 입력 데이터에 따라 저장 매체의 자화 방향을 바꾸어 수행하며, 읽기 과정은 자기매체에서 읽어들이 값을 대상 채널 모델에 맞는 값으로 등화해 주고, 등화된 값을 비터비 검출기에서 입력으로 받아 자기매체에 쓰여진 이전 입력 데이터를 검출해 내게 된다. PR4 신호는 식 (1)과 같은 특성방정식으로 변화된 신호이다. 이것은 현재 데이터에 이전 데이터가 영향을 미쳐 부호간 간섭이 발생하고, 데이터의 변화가 나타난다는 것을 의미한다.

$$(1 - D) \cdot (1 + D) = 1 - D^2 \quad (1)$$

여기서 D는 단위시간 지연을 나타내며, 자화상태 1과 0은 특성방정식에 의해 변화되어 PR4 신호는 1, 0, -1의 값을 갖게 된다. 부호간 간섭에 의해서 입력 신호가 1이나 0이나 -1로 변경되고, 잡음이 섞인 데이터를 비터비 검출기의 입력으로 받아서 자기매체에 기록되어 있었던 데이터를 복원해 내게 된다.

부분응답 읽기 채널에서 필터는 식 (2)과 같은 펄스 응답을 갖도록 한다.

$$h(D) = p_0 + p_1D + \dots + p_vD^v \quad (2)$$

이때, 부분 응답 신호는 채널 주기(1/T)에 맞춰서 샘플링 되고 검출기에 보내진다. kT라는 시간에 정확하게 샘플된 출력은  $r_k = y_k + n_k$ 로 주어지고,  $y_k = p_0a_k + p_1a_{k-1} + \dots + p_v a_{k-v}$ 는 이상적인 샘플 값이고,  $n_k$ 는 노이즈 샘플 값이다. 이상적인 샘플 값은  $2^v$  만큼의 다른 값을 갖게 된다. 그러나, 대부분의 실제 채널에서는 더 적은 값이 발생한다. PR4 채널에서는 3가지의 이상적인 값 -1, 0, 1이 발생한다.

EPR4 채널은 PR4 채널(DCH = 1.65)보다 더 높은 기록밀도 환경에서 사용된다.(DCH = 2.0) PR4는 이전 데이터 2개가 현재 데이터에 영향을 미쳐 부호간 간섭을 발생시키고, 4개의 상태가 가능하며, 8개의 BM값이 발생하는 반면, EPR4 채널은 이전 데이터 3개가 현재 데이터에 영향을 미쳐 부호간 간섭을 발생시키고, 8개의 상태가 가능하며, 16개의 BM값이 발생한다. 이러한 현상을 수식

(3)이 보여주고 있다.

$$(1 - D) \cdot (1 + D)^2 = 1 + D - D^2 - D^3 \quad (3)$$

이 수식에 의해서 입력 값에 따른 발생 가능한 샘플 값이 생성되고, 부호간 간섭과 잡음이 섞여서 들어온 입력 값과 이 샘플 값들과의 거리차를 계산하여 가장 작은 오차 확률을 갖는 path의 상태값을 메모리에 기록한다. 자화상태 1과 0은 수식 3의 특성방정식에 의해 변화되어 2, 1, 0, -1, -2의 샘플 값을 갖게 된다. 이렇게 부호간 간섭에 의해 변화된 신호에 AWGN에 해당하는 잡음이 섞인 데이터를 비터비 검출기에서 입력으로 받아서 최초의 자화상태를 해석해낸다.

EEPR4 채널은 EPR4 채널보다 더 높은 기록밀도 환경에서 사용되며(DCH = 2.5), EEPR4는 7개(-3, -2, -1, 0, 1, 2, 3)의 샘플 값을 갖게 되고, 32개의 BM값이 발생하여 회로가 훨씬 복잡해진다.

비터비 알고리즘은 Maximum Likelihood Sequence Detection(MLSD)으로서 PR4 신호를 검출하는데 가장 적합한 알고리즘으로 알려져 있다. 각 신호로 전파되기 위한 확률거리(BM)를 계산하여 가장 가능성이 있는 경로만 남기는 방법으로 부호간 간섭이 섞여있는 신호에서 이진 신호를 검출한다. 이진 데이터열을  $\{A_k\}$ , 비터비 검출기 입력 샘플신호를  $\{Y_k\}$ , 각 신호로 전파될 때 확률거리를 E라 하면 식 (4)와 같이 확률거리를 구할 수 있다.

$$E = \sum_{k=0}^{\infty} (Y_k - (A_k + A_{k-1} - A_{k-2} - A_{k-3}))^2 \quad (4)$$

여기서 비교할 값  $A_k + A_{k-1} - A_{k-2} - A_{k-3}$ 를  $C_k$ 라 하고 누적되는 상수항  $Y_k^2$ 을 제거하면 식 (5)와 같다.

$$E - \sum_{k=0}^{\infty} Y_k^2 = \sum_{k=0}^{\infty} ((Y_k - C_k)^2 - Y_k^2) \quad (5)$$

식 (5)와 같이 구한 확률거리를 누적한 값 중에서 가장 작은 값에 해당하는 신호열을 얻어내 기록된 이진 데이터 열을 검출한다.

표 1. 여러 가지 BM 계산 방식 ( $Y_k$  : VD 입력 값,  $A_k$  : 발생 가능한 PR 샘플 값)

제공 방식	$Y_k^2$
	$Y_k^2 + 2Y_k + 1$
	$Y_k^2 - 2Y_k + 1$
	$Y_k^2 + 4Y_k + 4$
	$Y_k^2 - 4Y_k + 4$
절대값 방식	$ Y_k - A_k $
개선된 제공 방식	0
	$2Y_k + 1$
	$-2Y_k + 1$
	$4Y_k + 4$
	$-4Y_k + 4$

EPR4의 경우 표 1에서 개선된 제공방식을 사용하여 확률거리를 구할 수 있다. 비터비 검출기는 입력과 샘플 값과의 차이를 계산하는 BM회로와 확률누적거리를 연산하는 ACS회로와, 트렐리스와 동일한 구조를 가지고 있는 SM회로, 그리고, ACS에서 선택된 PM 값의 오버플로우를 방지하기 위한 Normalization회로로 나눌 수 있다. BM에서 계산된 값을 ACS회로에서 PM값과 더하고(add), 비교해서(compare), 작은 값을 선택(select)한다. 덧셈기와 비교기가 존재하여 이 블록이 전체 비터비 검출기의 병목지점이 되고 있어 많은 변형된 ACS가 연구되고 있다. 선택된 PM 값은 일정한 값으로 표준화된 후 ACS의 입력으로 제한된다.

### III. 고속 ACS의 설계

순차회로(sequential circuits)의 동작속도는 최대 동작 주파수를 이용하여 표현하는 처리율(throughput)과 한 개의 입력이 처리되는데 소요되는 클럭수를 이용하여 표현되는 지연시간(delay)의 두 가지 기준이 있을 수 있는데, 본 논문에서는 비터비 검출기의 지연시간 증가가 없으면서도 처리율이 향상되도록 하는 것을 목표로 하였다.

그림 1의 전형적인 비터비 검출기의 구성도에서 캐환루프를 구성하고 있는 두 기능블럭들, 즉 PNU와 ACSU가 비터비 검출기의 동작 속도에 가장 큰 영향을 미친다. 단순한 동작 주파수 향상을 위하여 이 블럭들을 파이프라이닝 할 경우, BMU 등에도 파이프라이닝이 추가되어야 하는 등, 회로의 크기 및 지연시간에 악영향을 미치게 된다. 따라서, 두 기능블럭의 추가 파이프라이닝 없이 지연시간을 최소화하는 것이 매우 중요하다.

1) 표준화 방식

비터비 검출기의 궤환부를 구성하는 PNU는 시간이 경과하며 점차 값이 증가됨으로서 오버플로우가 발생하게 되는 경로 메트릭값을 주기적으로 삭감하는 표준화 기능을 담당하며, 가장 단순한 방법은, 여러 경로 메트릭 값중 가장 큰 값이 어느 기준 이상을 초과하였을 경우 모든 경로 메트릭 값에 지정된 상수를 빼 주는 방식이다. 이러한 단순한 방식은 항상 모든 경로 메트릭 값을 감시하여야 하며, 뺄셈부가 최대 지연 경로에 포함되는 단점이 있다.

최근 연구 결과에 의하면 ACSU에서 대소 판정 방식을 변형함으로써 표준화 기능을 수행할 수 있음이 알려져 있다. 본 연구에서는 이러한 여러 가지 표준화방법 중 Modified Modulo Normalize (MMN)방법[12]을 채용하여 ACS에서 목시적으로 표준화 기능이 수행되도록 하였다. MMN방식은 두 비교대상 데이터가 2의 보수로 표현되고 그 비트수가 각각  $n$ 비트일 경우, 그 두 값의 최대 격차가  $2n$ 미만이라는 조건이 충족될 경우, 두 수의 MSB를 제외한 나머지 수의 대소를 비교하여, 두 수의 부호가 동일한 경우 그 결과를 그대로 사용하고, 부호가 반대일 경우 그 결과의 역을 사용하는 방법이다. MMN표준화 방식을 사용할 경우의 하드웨어적 의미는, ACS에서는 MSB를 제외한 값들의 비교결과와 두 수의 MSB를 통하여 각 숫자의 부호를 판별하는 회로가 추가되는 것이다. 이 방법을 채용하면 비터비 검출기 전체 블록도는 그림 2와 같이 간략화 된다.

2) MMN기반 ACS의 구성도

MMN방식을 채용한 그림 2와 같은 비터비 검출 구조에서 사용한 ACS의 회로도도는 그림 3과 같다.

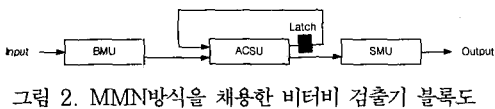


그림 2. MMN방식을 채용한 비터비 검출기 블록도

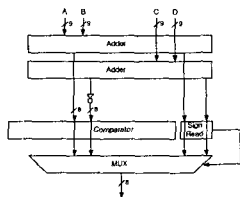


그림 3. ACSU의 구성

덧셈 결과의 대소 비교를 뺄셈을 이용하여 수행한 대적인 연구결과로서 [14]를 들 수 있는데, 주목할 만한 점은 [14]의 ACS에서는 맨체스터 캐리 체인 (Manchester Carry Chain, MCC) 방식의 덧셈기가 덧셈 및 비교 연산을 위하여 사용되었고, 그 이유는 덧셈연산시에 LSB로부터 MSB방향으로 캐리가 전파되므로, 덧셈연산이 개시되자마자 곧 이어 비교 연산을 시작하면, 결국 덧셈과 뺄셈에 소요되는 총 지연시간은 덧셈 지연시간에 MSB간의 뺄셈에 소요되는 회로의 지연시간만을 추가하면 된다는 점이었다. 그러나, 이러한 주장의 전제는 비교 연산이 덧셈 연산에 비하여 그다지 빠르지 않다는 점이었는데, 본 논문에서는 우선 덧셈기에 비하여 월등하게 동작 속도가 빠른 비교기를 제안하고, 그러한 고속 비교기를 사용하여 최적화된 ACS의 구조 및 회로 구현을 제안한다. 참고로 [14]의 또 다른 획기적인 기여는 트렐리스에서 두 단위시간동안 발생 가능한 모든 천이를 단 한번에 계산하는 Radix-4 ACS 구조가 면적, 속도 면에서 가장 우수함을 증명하였다는 점인데, 이러한 점은 본 논문에서 제안되는 ACS에도 확장 적용이 무난하므로, 후술 내용에서는 단순한 Radix-2 구조의 ACS만을 다룬다.

3) 비교기

비교기는 두 개의 이진 데이터를 입력받아 그 중 값이 큰 수를 판별해 내는 회로이다. 가장 단순한 비교 방식은 MSB부터 한 쌍의 비트들을 비교하여 대소 판정이 가능하면 출력을 결정하고, 그렇지 않으면 다음 하위비트들의 비교를 계속하는 방식이다. 이러한 방식의 비교는 입력 데이터의 비트수에 비례하여 출력 결정에 소요되는 최대 지연 시간이 증가하는 단점이 있다. 두 수의 대소판정은 뺄셈을 적용하여 결과값의 부호를 이용하여서도 수행할 수 있으므로, 빠른 비교 연산의 수행을 위해서는 캐리예측 덧셈기와 같은 고속 덧셈기를 이용할 수도 있다.

[14]에서 설계된 ACS의 비교부는 캐리체인 덧셈기 8개가 직렬로 연결된 뺄셈기로 구성되었으며 그림 4에 캐리체인 덧셈기의 회로도도를 도시하였다.

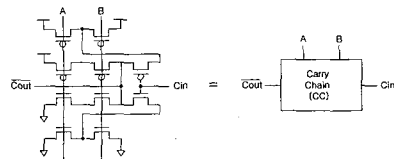


그림 4. [14]에서 사용된 캐리체인 덧셈기

이러한 기존의 비교연산 방식에 비하여 획기적으로 속도 향상을 이룬 연구로서 [15]를 들 수 있는데, 기본적인 아이디어는 두 수의 대소판정을 내릴 수 있는 모든 경우를 동시에 계산하여, 그 결과를 취합하는 방식이다. 예를 들어, MSB에서 대소판정이 되는 경우, 또는 MSB비트들이 동일하고 그 하위 비트에서 대소판정이 되는 경우 등등은 모두 동시에 병렬 계산이 가능하며, 그러한 모든 경우 중 한 가지 경우라도 해당사항이 있으면 최종 판정이 가능하므로 그림 5와 같은 회로로서 구현이 가능하다.

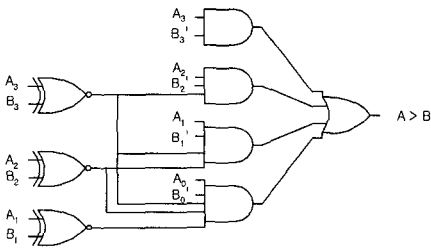


그림 5. [15]에서 제안된 비교기

이러한 병렬 계산 방식을 트랜지스터 수준에서 완전주문형으로 설계하여 속도를 향상시키려는 시도로 [16]등이 있었으나, 과도한 수효의 트랜지스터가 단일 스택에 직렬 배열됨으로서 회로의 스위칭 속도 저하는 물론 잡음 여유가 현저하게 감소되는 단점이 있다. 시뮬레이션을 통한 비교 결과 [16]은 [15]에 비하여 주목할 만한 동작 속도 증가를 보이지 못하였다.

본 연구에서는 고속의 비교기를 제안하고 있으며 그림 6에 회로도들을 보이고 있다. 본 연구를 통하여 제안된 비교기는 병렬 비교 개념을 트랜지스터 레벨의 완전주문형 회로로 구현한 것으로, [16]에서 제안한 방식의 단점인 과도한 수효의 트랜지스터가 단일 Stack에 직렬로 배열되어 있는 문제를 해결하였다. 또한, 이를 통해 기존 덧셈기에 비해 획기적인 속도 향상을 이루었다.

본 논문에서 제안하는 비교기는 병렬 계산의 개념을 기반으로 하되, 필요한 연산을 회로의 동작 속도 및 소요 트랜지스터 감소에 유리한 방향으로 구현하였다. 상세한 설명을 위하여, A와 B 두 개의 무부호 4-비트 데이터를 비교하여  $A > B$  이면 1을 출력하는 회로를 가정하여 보자.  $A \leq B$  인 경우 참이 되는 함수의 논리식은

$$F_{(A=B)} = A_3'B_3 + (A_3B_3)' \{A_2'B_2 + (A_2B_2)' \{A_1'B_1 + (A_1B_1)'(A_0B_0)'\} \} \quad (6)$$

이며, 식 (6)은 다음과 같이 변형 가능하다.

$$F_{(A=B)} = A_3'B_3 + (A_3' + B_3) \{A_2'B_2 + (A_2' + B_2) \{A_1'B_1 + (A_1' + B_1)(A_0' + B_0)\} \} \quad (7)$$

식 (7)은 다양한 형태의 회로로 구현이 가능한데, 일례로서 pseudo-NMOS 스타일을 채용하는 경우, 그림 6과 같이 N-스택으로 구현 가능한데, 기존의 비교기들에 비하여 트랜지스터의 수효에 있어 월등하게 감소되었으며, 최대 지연 시간 또한 크게 감소될 것임을 예측할 수 있다.

8비트 비교를 위하여 그림 6의 구조를 그대로 적용할 경우에는 N-스택이 과도하게 길어져서 스위칭 속도 및 잡음여유 측면에서 불리하게 되므로, 캐리 예견 회로의 원리를 채용하여, 비교 연산을 상위 4비트, 하위 4비트로 나누어 수행한 뒤, 그림 7과 같은 4비트 동등 비교 회로를 추가하여 그림 8과 같은 8비트 비교기를 구성하였다.

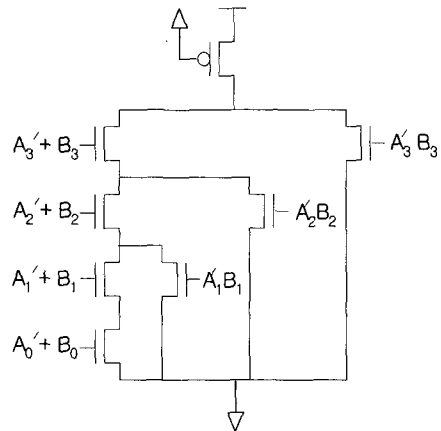


그림 6. 제안된 비교기

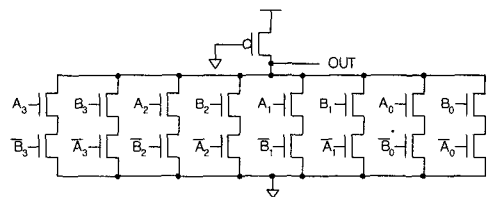


그림 7. 4비트 동등 비교기 (Equal Checker)

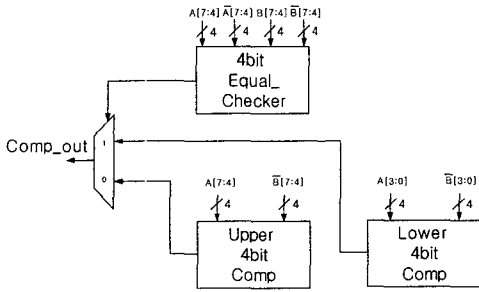


그림 8. 제안된 비교기의 8비트 확장

4) 고속 덧셈기

앞 절에서 소개된 고속 비교기가 사용될 경우 덧셈기의 속도 향상은 ACS 및 비터비 검출기 동작속도의 향상으로 직결되므로 본 절에서는 전형적인 비터비 디코더 동작 환경에서의 최적 덧셈기 구현을 다룬다.

덧셈기는 디지털 기능 블록 중 가장 많이 사용되는 필수적인 회로로서 이미 오랜 기간동안 매우 왕성하게 연구가 진행되어 온 분야이다. 본 연구에서는 독자적인 덧셈기의 개발보다는 기존 비교기의 성능을 극대화 할 수 있는 방안 발굴에 치중하였다.

본 연구의 설계 목표는 EPRML용 비터비 검출기의 성능 극대화이며, EPRML에서 비트 오류가 포화지점에 다다르게 되는 최적 비트수로서는 경로 메트릭의 경우 통상적으로 8비트를 사용하고 있어서, 8비트 2의 보수 덧셈을 최단시간 내에 수행할 수 있는 덧셈기를 설계하였다. 8비트의 경우 면적은 다소 증가하나 동작 속도 측면에서 최적인 방식으로 캐리선택 덧셈기를 선택하였는데, 널리 알려진 바와 같이 캐리선택 덧셈기의 기본 동작 원리는 상부 및 하부 4비트의 계산을 독립적으로 수행하고, 하부 4비트 계산결과에 따라 상부 4비트 계산결과 두 가지중 한가지를 택하도록 하는 방식이다.

상부와 하부 치산을 위한 4비트 덧셈은 적은 비트수의 데이터 고속 덧셈에 가장 적절한 캐리에전 덧셈기를 사용하되, 그 구현은 그림 9의 Static Manchester Carry Chain(MCC)을 적용하였다.

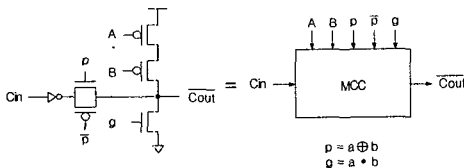


그림 9. Manchester Carry Chain (MCC)

5) 기타 회로

ACS의 최대지연경로에 포함되는 게이트로는 표준화 기능을 위하여 두 수 부호 비교시 사용되는 XOR게이트와 적은 수를 선택하는 멀티플렉서이며, 이들의 지연속도는 ACS의 지연속도에 직결되므로 그 최적화는 매우 중요하다. 따라서, [17]에 기술되어 있는 다양한 XOR게이트 및 멀티플렉서 중에서 지연속도와 구동 능력에서 가장 우수한 것으로 보고 되어 있고, 실제로 본 설계를 위한 사용 공정에서도 일관되게 우수한 성능을 보인 CMOS style의 회로를 사용하였다.

IV. 실험 결과

ACS를 구성하는 덧셈기, 비교기, 선택기 중 동작 속도에 가장 중요한 영향을 미치는 비교기에 대하여 본 논문에서는 트랜지스터 수준에서의 새로운 비교기 구조를 제안하였으며, 그러한 비교기의 독립적인 성능평가를 위하여 우선 기존의 비교기[15],[14]와 제안된 비교기의 4비트 비교연산 성능을 비교하였다. 기존의 비교기 중에서 [15]와 [16]은 동작속도 면에서 비슷한 성능을 나타내었으나, [16]은 body effect에 대한 약점이 있어 [15]를 비교 대상으로 택하였다. 세 비교기 모두 동일하게 0.18 $\mu$ m CMOS 공정을 이용하여 설계하였고, 각 비교기에 대하여 최대 입력 지연이 발생하는 순으로 입력을 인가하여 spice 시뮬레이션을 하여 지연속도를 측정하였다. 시뮬레이션 결과 제안된 비교기는 병렬처리 개념을 이용한 [15]비교기나 [14]에서 고속 뺄셈기를 이용한 비교기에 비하여 최소 2배 이상 지연시간이 감소되었음을 관찰할 수 있었다. 이는 제안된 비교기가 입력 숫자의 대소 판정을 위한 모든 경우를 한 개의 게이트를 이용하여 병렬로 계산하도록 구성되어 있기 때문이다.

표 2. 비교기의 성능비교 (지연속도 : ns)

8비트 비교기	지연속도 (ns)
Proposed	0.19
[15]	0.37
[14]	0.70

새로이 제안된 비교기는 단일 게이트로 구현됨으로서 트랜지스터 수효에 있어서도 [15]나 [14]의 절반에 해당하며, 이는 곧 저 전력소모의 장점으로 연결이 된다. 시뮬레이션 결과 제안된 비교기는 평균 26W의 전력을 소모하였으며, 이는 [14]의 뺄셈기

와 [15]의 비교기에 비하여 약 3배 가량 적은 소모 전력에 해당하였다.

본 연구에서는 문헌을 통하여 보고된 비터비 검출기 중 [14]의 ACS와 본 연구를 통하여 제안된 ACS를 동등한 조건으로 설계하여 그 성능을 비교하였다. [14]의 기본 구조는 향후 [18] 등에서 Radix 증가 등을 통하여 추가 성능 개선이 이루어졌으나, 기본적으로 [14]의 구조를 토대로 변형된 것이어서, 본 논문에서는 [14]를 비교대상으로 선정하였다.

[14]에서는 캐리전파형 직렬 MCC를 그대로 사용하였으나, 이는 비교기 역시 직렬로 계산을 수행한다는 전제하에 사용된 것이었다. 그러나, 비교 연산의 속도가 현저하게 개선된 경우에는 덧셈기의 속도 증가가 필수적이며, 이를 위하여 본 논문에서는 MCC와 캐리에견회로를 이용한 캐리선택 덧셈기를 사용하였다. 그러나, 이러한 구조상의 차이점 이외의 성능 향상 요소들을 배제하기 위하여 이러한 캐리선택 덧셈기, 멀티플렉서, XOR 등은 모두 본 논문에서 사용된 회로로 통일되게 사용하였다.

다양한 공정에서의 성능 비교를 위하여 0.18 $\mu$ m, 0.35 $\mu$ m, 및 0.6 $\mu$ m CMOS공정을 이용하여 시뮬레이션한 결과를 표 3에 요약하였다. 실험 결과를 통하여 제안된 ACS가 사용된 공정에 상관없이 일관되게 20%이상 빠르게 동작함을 확인할 수 있다.

표 3. ACS의 성능비교 (지연속도 : ns)

	0.18 $\mu$ m (1.8V)	0.35 $\mu$ m (3.3V)	0.6 $\mu$ m (0.5V)
Proposed	0.59	1.5	2.3
[14]	0.77	2.1	3.4

#### IV. 결론

본 연구에서는 초고속 비터비 검출기 구현시 동작 속도면에서 관건이 되는 ACS의 속도 향상을 목표로 하였다. ACS를 구성하는 기능 블록 중, 비교기는 상대적으로 속도 향상에 대하여 여지가 많음에 착안하여, 비교 판정이 한 개의 게이트를 이용하여 동시에 수행되는 고속 저전력 비교기를 자체 고안하였고, 시뮬레이션을 통하여 기존의 비교기에 비하여 속도 및 전력 소모 측면에서 월등하게 우수함을 증명하였다.

ACS의 최대 지연 경로는 덧셈기와 비교기의

직렬 조합으로 구성되어 있어서, 고안된 고속 비교기의 채용은 곧바로 ACS의 속도 향상으로 직결되었다.

비터비 검출기는 이미 상당한 연구가 진척되어 다양한 구조가 제안되어 있는데, 본 논문에서의 ACS 속도 개선은 고속 비교기의 채용이라는 매우 단순하면서도 효과적인 방식을 취하였기 때문에, 현재 많이 채용되고 있는 Radix-4형 ACS를 포함한 대부분의 고속 비터비 검출기에 쉽게 적용이 가능하다는 장점이 있다.

#### 참고 문헌

- [1] F. Dolivo, "Signal processing for high-density digital magnetic recording", presented at COMPEURO '89, Hamburg, Germany, May 1989, in Proc. VLSI and Computer Peripherals, W. E. Probst and H. Reiner, Eds. Rockville, MD:IEEE Computer Society Press, 1989, pp. 1.91-1.96.
- [2] J. C. Coker, R. L. Galbraith, G. J. Kerwin, J. W. Rae, and P. A. Ziperovich, "Integrating a partial-response, maximum likelihood channel into the 0681 disk drive", in Proc. 24th Asilomar Conf. Signals, Syst., Comput., Pacific Grove, CA, vol. 2, pp. 674-677, Nov. 1990.
- [3] R. Wood, and D. Petersen, "Viterbi detection of class IV partial response on a magnetic recording channel", IEEE Trans. on Comm., vol. 34, no. 5, pp. 454-461, May. 1986.
- [4] A. J. Viterbi, "Error bounds for convolutional codes and an asymptotically optimum decoding algorithm", IEEE Trans. Inform. Theory, vol. IT-13, pp. 260-269, Apr. 1967.
- [5] R. D. Cideciyan et al., "PRML system for digital magnetic recording", IEEE Journal on selected Areas in Communications, vol. 10, No. 1, Jan. 1992, pp. 38-56.
- [6] H. Thapar and A. Patel, "A class of

partial response systems for storage density in magnetic recording", IEEE Trans. Magn., vol. 23, pp. 3666-3668, Sept. 1987.

[7] Y. Lin, C. Y. Yeh, Study of an extended partial-response, class IV, channel for digital magnetic recording", Trans. on Magnetics, vol. 33, no. 5, pp 4392-4404, Sep. 1997.

[8] Y. Lin and G. Y. Yeh, "A generalized viterbi algorithm for detection of partial response recording systems", IEEE Trans. on Magnetics, vol. 32, no. 5, pp 3983-3985, Sep. 1996.

[9] G. Fettweis, et al. Thapar, "Reduced complexity viterbi detector architectures for partial response signalling", Proc. of GLOBECOM '95, pp. 559-563, 1995.

[10] H. Ki, C. Lee, M. Song and Soo-Won Kim, "Folding viterbi detector with reduced complexity for EPRML system applications", IEE Letters 17th, vol. 36, no. 4, Feb. 2000.

[11] B. Shim, S. Cho, and J. Suh, On improved VLSI architecture for Viterbi decoder", IEEE TENCON, 1999.

[12] C. Bernard, Paul H. Siegel, Gottfried Ungerboeck, Hemant K. Thapar, "VLSI Architectures for metric normalization in the viterbi algorithm", IEEE. Conf. SUPERCOMM/ICC'90, 1990

[13] L. Hui-Ling, Implementing the viterbi algorithm", IEEE Magn, Sep. 1995.

[14] P. J. Black, T. H.-Y. Meng, "A 140Mb/s 32-State Radix-4 Viterbi Decoder", Solid-State Circuits, IEEE Journal of , Volume: 27 Issue: 12, Page(s): 1877-1885, Dec., 1992.

[15] R. Dean Adams et al, "High Speed Greater Than or Equal To Compare Circuit" , United States Patent 5,592,142, Jan. 7, 1997

[16] S. S. Park, Binary Comparator, United States Patent 6,014,074, Jan. 1, 2000.

[17] R. Zimmermann, W. Fichtner,

Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic, IEEE Journal of Solid-State Circuits, VOL.32, NO.7, pp. 1079 - 1090 July 1997

[18] P. J. Black, T. H. Meng, A 1 Gb/s, Four-State, Sliding Block Viterbi Decoder, IEEE Journal of Solid-State Circuits, VOL. 32, NO. 6, pp. 797- 805, June 1997.

홍 유 표(You-Pyo Hong)

정회원



1991년 2월: 연세대학교 전기공학과 학사

1993년 5월: University of Southern California 전기공학과 석사

1998년 8월: University of Southern California 컴퓨터

공학과 박사

1998년 7월~1999년 2월: Synopsys, Hillsboro, Senior Engineer

1999년 3월~현재: 동국대학교 전자공학과 조교수

<주관심분야> 영상압축 및 통신용 VLSI설계

이 재 진(Jae-Jin Lee)

정회원



1983년 2월: 연세대학교 전자공학과 학사

1984년 12월: U. of Michigan, Dept. of EECS 석사

1994년 12월: Georgia Tech. Sch. of ECE 박사

1995년 1월~1995년 12월:

Georgia Tech. 연구원

1995년 1월~1997년 2월: 현대전자 정보통신 연구소 책임연구원

1997년 3월~현재: 동국대학교 전자공학과 부교수

<주관심분야> 통신 이론, 비밀 통신, 기록저장 시스템