

플립칩 본딩된 Sn-3.5Ag-0.5Cu 솔더범프의 electromigration 거동

최재훈 · 전성우 · 원혜진 · 정부양 · 오태성*

홍익대학교 신소재공학과

Electromigration Behavior of the Flip-Chip Bonded Sn-3.5Ag-0.5Cu Solder Bumps

Jae-Hoon Choi, Sung-Woo Jun, Hae-Jin Won, Boo-Yang Jung,
and Tae-Sung Oh*

Department of Materials Science and Engineering, Hongik University
72-1 Sangsoo-dong, Mapo-gu, Seoul, Korea

초 록: 상부 칩과 하부 기판이 모두 Si로 구성되어 있는 플립칩 패키지 시편을 제조하여 130~160°C의 온도 범위에서 $3\sim 4 \times 10^4$ A/cm²의 전류밀도를 가하여 주면서 플립칩 본딩된 Sn-3.5Ag-0.5Cu 솔더범프의 electromigration 거동을 분석하였다. Sn-3.5Ag-0.5Cu 솔더범프의 cathode로부터 anode로의 electromigration에 의해 Cu UBM이 완전히 소모되어 cathode 부위에서 void가 형성됨으로써 파괴가 발생하였다. Sn-3.5Ag-0.5Cu 솔더범프의 electromigration에 대한 활성화 에너지는 3×10^4 A/cm²의 전류밀도에서는 0.61 eV, 3.5×10^4 A/cm²의 전류밀도에서는 0.63 eV, 4×10^4 A/cm²의 전류밀도에서는 0.77 eV로 측정되었다.

Abstract: Electromigration of Sn-3.5Ag-0.5Cu solder bumps was investigated with current densities of $3\sim 4 \times 10^4$ A/cm² at temperatures of 130~160°C using flip chip specimens which consisted of upper Si chip and lower Si substrate. Electromigration failure of the Sn-3.5Ag-0.5Cu solder bump occurred with complete consumption of Cu UBM and void formation at cathode side of the solder bump. The activation energies for electromigration of the Sn-3.5Ag-0.5Cu solder bump were measured as 0.61 eV at current density of 3×10^4 A/cm², 0.63 eV at 3.5×10^4 A/cm², and 0.77 eV at 4×10^4 A/cm², respectively.

Keywords: Flip chip, Pb-free solder, Electromigration, Sn-3.5Ag-0.5Cu, Electronic packaging

1. 서 론

최근 휴대전화를 중심으로 consumer 제품의 경량화, 슬림화, 고기능화가 급속히 진행됨에 따라, bare IC 칩을 플라스틱 ball grid array(PBGA) 기판, FR4 인쇄회로기판이나 플렉시블 칩 캐리어 등의 organic 기판에 직접 실장하는 저가형 플립칩 패키지(low cost flip chip package) 기술의 적용이 급격

히 증가하고 있다¹⁾. 플립칩 기술은 기존의 반도체 패키지에 비해 크기를 현저히 감소시킬 수 있으며 입출력 단자수를 크게 증가시킬 수 있고, 솔더범프를 이용하기 때문에 와이어 본딩을 적용한 패키지보다 lead의 길이가 짧아 기생 인덕턴스를 감소시킬 수 있는 장점이 있다^{2,3)}. 인쇄회로기판에 bare IC 칩을 직접 실장하는 플립칩 패키지의 예로는 personal computer memory card international asso-

*Corresponding author
E-mail: ohts@hongik.ac.kr

ciation(PCMCIA) cards, Token Ring local area network(LAN) adapter cards와 시계 모듈 등이 있다¹⁻³⁾.

현재 플립칩 패키지에 주로 사용되고 있는 솔더 범프의 크기는 125 μm 이며, 향후 입출력 단자수가 더욱 증가함에 따라 이와 같은 솔더범프의 크기가 50 μm 까지 감소할 것으로 예측되고 있다^{4,5)}. 이와 같이 플립칩 패키지에서 솔더범프의 크기가 미세하기 때문에, 플립칩 패키지의 신뢰도가 솔더/UBM 계면반응특성, 솔더 electromigration 특성 및 Si 칩과 organic 기판 사이의 열팽창계수의 차이에 의한 열피로 특성 등에 의존하게 된다⁴⁾. Electromigration은 금속도선내의 수많은 전자들이 전계에 의해 가속되어 일정 방향으로 이동하며 금속 원자들에 충돌하여 발생하는 운동량 교환에 의해 금속원자들이 전자의 이동방향과 같은 방향으로 움직이는 확산현상이다⁶⁾. 솔더범프는 Al이나 Cu 배선에 비해 단면적이 크기 때문에 전류밀도가 낮아 그동안 솔더범프에서의 electromigration은 커다란 주목을 받지 못하였다. 그러나 Al이나 Cu에 비해 솔더합금의 용융온도가 낮고 원자 확산속도가 빠르기 때문에, 상온 부근에서도 솔더합금의 electromigration이 발생할 수 있다. 또한 금속배선-솔더범프의 형상에 기인하여 전류가 금속배선에서 솔더범프로 들어갈 때 전류밀도의 큰 변화에 의한 current crowding이 발생하여 솔더합금의 electromigration이 가속화되기 때문에 플립칩 패키지의 신뢰도가 크게 저하될 수 있을 것으로 보고되고 있다^{4,7)}.

이제까지 6Sn-37Pb 공정솔더(eutectic solder)가 전자 패키지에 주로 사용되고 있었으나, Pb의 환

경유해성으로 인해 향후 전세계적으로 전자 패키지에 Pb를 함유하지 않은 무연솔더를 사용하려 하고 있다^{8,9)}. 현재까지 개발된 무연솔더중에서 가장 실용화 가능성이 높은 솔더합금은 Sn-3.5Ag, Sn-0.7Cu 및 Sn-Ag-Cu이다¹⁰⁾. 본 연구에서는 전류밀도 및 온도 변화에 따른 플립칩 패키지내 Sn-3.5Ag-0.5Cu 솔더범프의 electromigration 거동을 분석하였다. Si 칩을 organic 기판에 본딩한 실제 플립칩 패키지에서는 솔더범프의 electromigration에 current stressing 뿐만 아니라 Si 칩과 organic 기판 사이의 열팽창계수의 차이에 기인한 열응력이 영향을 미친다⁵⁾. 본 연구에서는 current stressing이 솔더 electromigration에 미치는 영향을 열응력의 영향으로부터 분리하여 분석이 가능하도록 상부 칩과 하부 기판이 모두 Si으로 구성된 플립칩 패키지 시편을 제조하였다. 이 시편에 130~160°C의 온도범위에서 $3 \times 10^4 \sim 4 \times 10^4 \text{ A/cm}^2$ 의 전류밀도를 가하여 주면서, 솔더 접합부의 단락(open)이 발생하여 회로저항이 급격히 증가할 때까지의 시간을 측정하여 electromigration에 의한 솔더범프의 평균 수명시간(Mean-Time-to-Failure: MTTF)을 분석하였다.

2. 실험방법

Sn-3.5Ag-0.5Cu 솔더범프의 electromigration 특성을 분석하기 위한 플립칩 시편은 박막증착, 사진식각공정, 전기도금공정을 이용하여 제조하였다. 1000Å 두께의 SiO_2 를 형성한 실리콘 웨이퍼에 Ti와 Cu를 각각 0.1 μm 및 3 μm 두께로 순차

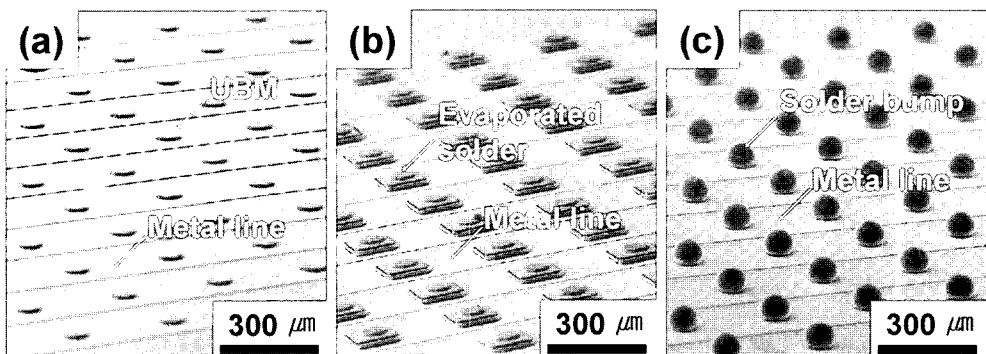


Fig. 1. SEM micrographs of the flip chip sample on each step of fabrication process; (a) UBM & metallization formation, (b) solder evaporation, and (c) solder reflow.

적으로 스퍼터 증착한 후, 사진식각공정을 이용하여 원하는 UBM용 패드 및 회로배선 패턴을 형성하였다. 이와 같이 형성한 UBM용 패드에 Cu를 10 μm 두께로 전기도금하여 Cu UBM을 형성하였다. 솔더범프를 리플로우시 솔더가 Cu UBM에서만 반응하고 회로배선과 반응하는 것을 방지하기 위하여 Cu 회로배선 위에 dewetting 층으로서 0.1 μm Ti를 추가로 스퍼터링 하였다. 이때 UBM은 photoresist를 사용하여 덮어놓음으로써 UBM에 Ti dewetting 층이 형성되는 것을 방지하였다. Fig. 1(a)에 Ti/Cu UBM 및 Ti/Cu/Ti 회로도선이 형성된 칩 시편의 예를 나타내었다. Cu UBM에 솔더범프 형성용 솔더합금을 증착하기 위한 photoresist 패턴을 형성 후, Sn-3.5Ag-0.5Cu 솔더합금을 진공증착하고 photoresist를 제거한 후(Fig. 1(b)), hot plate 위에서 250°C의 온도로 1분간 리플로우하여 Fig. 1(c)와 같이 100 μm 크기의 솔더범프를 형성하였다. 플립칩 시편용 기판은 칩 제조공정과 동일한 방법을 사용하여 제조하였으며, 솔더범프를 형성한 Si 칩을 플립칩 본더를 이용하여 250°C에서 Si 기판에 본딩하였다.

플립칩 본딩된 솔더범프의 electromigration 테스트를 위해, 플립칩 시편을 드라이 오븐 내에 넣고 130°C, 140°C, 150°C 및 160°C의 각 온도에서 기판에 형성한 패드에 전압을 가하여 솔더범프에 흐르는 전류밀도가 $3 \times 10^4 \text{ A/cm}^2$, $3.5 \times 10^4 \text{ A/cm}^2$ 및 $4 \times 10^4 \text{ A/cm}^2$ 가 유지되도록 하였다. 이때 전류밀도는 인가전류를 솔더범프의 단면적으로 나누어 구한 값이 아니라, UBM opening의 단면적으로 나누어 구한 값이다. 시간에 따른 플립칩 시편의 전압 변화를 측정하여 전압이 급격히 증가할 때까지의 시간, 즉 플립칩 시편의 저항이 급격히 증가할 때

까지의 시간을 측정하여 솔더범프의 평균수명시간 (MTTF)을 분석하였다. Electromigration 테스트 후 솔더범프의 미세구조를 주사전자현미경(SEM)의 BEI(Backscattered Electron Image) 모드로 관찰하였으며, EDS(Energy Dispersive Spectroscopy)를 이용하여 조성을 분석하였다.

3. 결과 및 고찰

Sn-3.5Ag-0.5Cu 솔더범프의 electromigration 테스트의 모식도와 실제 시편의 단면 SEM 사진을 Fig. 2에 나타내었다. 두개의 솔더범프가 전기배선에 연결되어 있으며, 전자의 방향이 왼쪽에서 오른쪽으로 이동하도록 전계를 인가하였다. 특히, 가

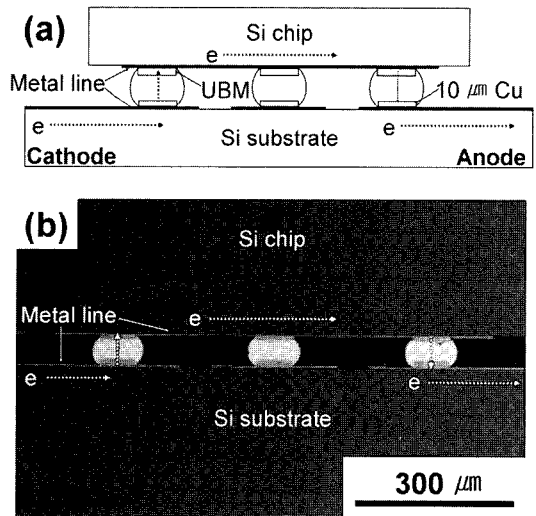


Fig. 2. (a) Schematic illustration and (b) SEM image of the electromigration test configuration.

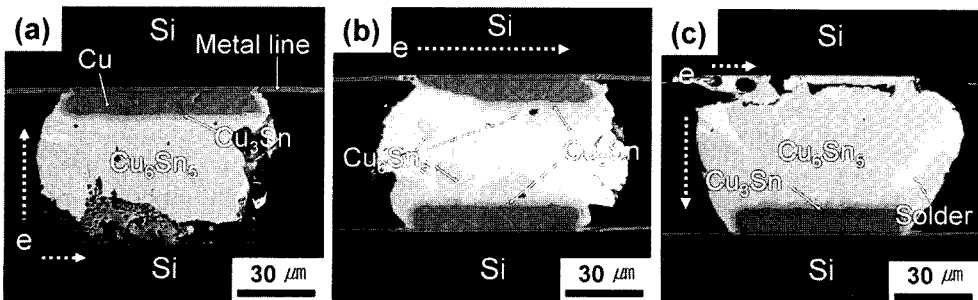


Fig. 3. SEM micrographs of the Sn-3.5Ag-0.5Cu solder bumps observed after electromigration failure: solder bumps (a) on the left hand side, (b) at the center, and (c) one the right hand of the test specimen configuration (See Fig. 2)

운데 솔더범프는 범프내로 전류가 흐르지 않도록 설계하였으며, 이 솔더범프와 current crowding 효과를 나타내는 솔더범프의 미세구조 변화를 비교하고자 하였다.

Fig. 3은 150°C에서 3.5×10^4 A/cm²의 전류밀도로 55.9 시간동안 테스트하여 파괴된 시편의 SEM 사진이다. 전자의 이동방향은 "e"로 표시하였는데, 왼쪽 범프의 경우는 전자가 아래에서 위 방향으로 이동하였으며, 오른쪽 범프에서는 이와 반대로 위에서 아래 방향으로 전자가 이동하였다. SEM 관찰 결과, electromigration 테스트를 실시한 모든 시편에서 파괴는 Fig. 3과 같이 왼쪽 범프 또는 오른쪽 범프의 cathode 쪽에서 발생하였으며, cathode 쪽의 Cu UBM이 완전히 소모되어 솔더와 반응하여 Cu₆Sn₅의 금속간화합물을 형성하였다. 가운데 있는 솔더범프에서도 전자가 이동하는 칩 쪽의 UBM에서 electromigration의 영향을 받는 것으로 나타났다. 가운데 솔더범프에서 전자가 UBM을 따라 이동하는 형태는 Yeh 등이 Al electromigration 연구에서 사용한 Blech 시편¹¹⁾과 유사하다. Yeh 등이 Al electromigration 테스트시 cathode 쪽에서는 Al이 유실되었으며, anode쪽에서는 Al이 돌출되었다¹¹⁾. 하지만, 본 연구에서는 UBM의 왼쪽 부분의 Cu가 소모되기는 하였지만, anode 부위

에서 hillock이 발생한 부분을 찾을 수는 없었다. 이는 가운데 솔더범프의 금속간화합물의 형상을 관찰하여 볼 때, electromigration에 의해 이동하는 Cu가 솔더범프 내부를 통해 아래쪽과 오른쪽으로 확산하여 금속간화합물을 형성하였기 때문인 것으로 판단된다.

Fig. 4에 130°C, 150°C 및 160°C에서 3×10^4 A/cm²의 전류밀도로 electromigration 테스트시, 테스트 시간에 따른 인가 전압의 변화를 나타내었다. 테스트 초기부터 파단이 일어나기 직전까지는 플립칩 시편의 인가 전압이 거의 변하지 않았으나, 파단이 발생하는 순간 인가 전압이 급격히 증가하였다. Choi 등은 electromigration 각 단계에서 솔더범프의 미세구조를 관찰한 결과, electromigration 테스트가 진행됨에 따라 파단이 발생하기 직전까지는 저항 변화가 없으나 이때에도 솔더범프의 cathode 부위에서 void가 형성되어 전과된다는 것을 보고하였다¹²⁾. 이와 같이 솔더범프의 electromigration에 의한 전기적 failure가 한순간 급작스럽게 발생하기 때문에, 플립칩 패키지의 신뢰도 측면에서 솔더범프의 electromigration이 더욱 심각한 문제로 작용할 수 있다. 각 전류밀도와 테스트 온도에서 Fig. 4와 같이 시편에 인가한 전압이 급격히 증가하는 테스트 시간을 electromigration의 평균수명시간 (MTTF)으로 측정하였으며 이를 Table 1에 나타내었다.

Electromigration의 평균수명시간 MTTF는 식 1에 있는 Black equation을 사용하여 온도 T와 전류밀도 j의 함수로 나타낼 수 있다¹³⁾. Black equation에서 A와 n은 상수, Q는 electromigration에 대한 활성화 에너지, k는 Boltzmann 상수이다.

$$MTTF = A \cdot j^{-n} \cdot \exp\left(\frac{Q}{kT}\right) \quad (1)$$

Sn-3.5Ag-0.5Cu 솔더범프의 electromigration에

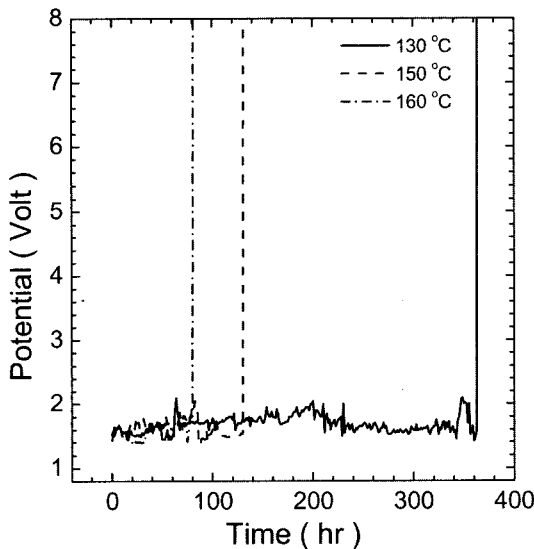


Fig. 4. Potential(V) vs. time(t) curve obtained during electromigration test for the Sn-3.5Ag-0.5Cu solder bumps at current densities of 3×10^4 A/cm².

Table 1. Mean-time-to-failure (MTTF) for electromigration of the Sn-3.5Ag-0.5Cu solder bump

Current density	3×10^4 A/cm ²	3.5×10^4 A/cm ²	4×10^4 A/cm ²
130°C	363.2 hr	167.5 hr	51.6 hr
140°C	-	69.4 hr	33.1 hr
150°C	131.6 hr	50.7 hr	30.8 hr
160°C	80.4 hr	44.3 hr	14.9 hr

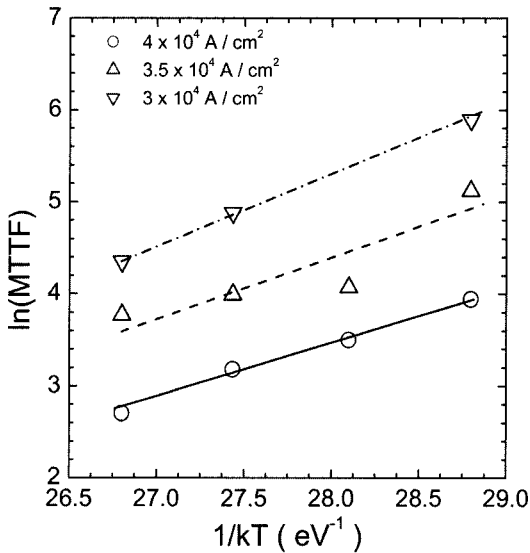


Fig. 5. $\ln(MTTF)$ vs. $1/kT$ curves of the Sn-3.5Ag-0.5Cu solder bumps tested at current densities of 3×10^4 A/cm², 3.5×10^4 A/cm², and 4×10^4 A/cm².

대한 활성화 에너지를 구하기 위하여 Table 1에 있는 각 전류밀도에서의 평균파괴시간을 온도의 함수로 Arrhenius plot 하였으며, 이를 Fig. 5에 나타내었다. 이와 같은 $\ln MTTF-1/kT$ 그래프의 기울기로부터 구한 Sn-3.5Ag-0.5Cu 솔더범프의 electromigration에 대한 활성화 에너지는 3×10^4 A/cm²의 전류밀도에서는 0.61 eV, 3.5×10^4 A/cm²의 전류밀도에서는 0.63 eV, 4×10^4 A/cm²의 전류밀도에서는 0.77 eV 이었다. 본 연구에서 측정된 Sn-3.5Ag-0.5Cu 솔더범프의 활성화 에너지 0.61~0.77 eV와 비교하여, Si 칩을 Si 기판에 플립칩 본딩한 시편의 Sn-3.5Ag 솔더범프에 대해 $3\sim 4 \times 10^4$ A/cm²의 전류밀도에서 측정된 electromigration의 활성화 에너지는 0.63~0.75 eV¹⁴⁾로 본 연구의 결과와 거의 같았다. 또한 Si 칩을 FR4 기판에 플립칩 본딩한 시편에서 측정된 SnAgCu 솔더범프의 활성화 에너지는 이들과 매우 유사한 0.7 eV로 보고되고 있다¹⁵⁾. 이와 같은 결과로부터 플립칩 본딩된 Sn-3.5Ag-0.5Cu 솔더범프와 Sn-3.5Ag 솔더범프의 electromigration 거동이 거의 유사하다고 판단할 수 있다. 또한 칩과 기판간의 열팽창계수의 차이에 기인한 열응력이 플립칩 본딩된 Sn-3.5Ag-0.5Cu 솔더범프의 electromigration 거동에 미치는 영향이 크지 않다고 판단할 수 있다.

본 연구에서 전류밀도가 3×10^4 A/cm²에서 4×10^4 A/cm²로 증가함에 따라 Sn-3.5Ag-0.5Cu 솔더범프의 활성화 에너지가 0.61 eV에서 0.77 eV로 높아지는 것으로 나타났다. 그러나, 이와 같은 현상은 플립칩 본딩된 Sn-3.5Ag 솔더범프의 electromigration 테스트에서도 관찰된 것으로, 전류밀도가 높아짐에 따라 활성화 에너지 자체가 높아진다고 보다는 솔더범프에서 Joule 가열에 의한 온도 증가의 효과가 전류밀도가 높을수록 더욱 현저하기 때문인 것으로 보고되고 있다¹⁴⁾.

4. 결 론

상부 칩과 하부 기판이 모두 Si로 구성되어 있는 플립칩 패키지 시편을 제조하여 플립칩 패키지 내 Sn-3.5Ag-0.5Cu 솔더범프의 electromigration 거동을 분석한 결과, 다음과 같은 결론을 얻었다.

1. Sn-3.5Ag-0.5Cu 솔더범프의 cathode로부터 anode로의 electromigration에 의해 Cu UBM이 완전히 소모되어 cathode 부위에서 void가 형성되고 전파함으로써 파괴가 발생하였다. 전자가 솔더범프 내로 이동하지 않고 칩 쪽의 UBM만을 따라 이동하도록 설계된 솔더범프에서도 칩 쪽의 UBM에서 electromigration의 영향을 받는 것으로 나타났다.
2. Sn-3.5Ag-0.5Cu 솔더범프의 electromigration에 대한 활성화 에너지는 3×10^4 A/cm²의 전류밀도에서는 0.61 eV/atom, 3.5×10^4 A/cm²의 전류밀도에서는 0.63 eV/atom, 4×10^4 A/cm²의 전류밀도에서는 0.77 eV/atom으로 측정되었다.
3. Sn-3.5Ag-0.5Cu 솔더범프와 Sn-3.5Ag 솔더범프의 electromigration에 대한 활성화 에너지가 유사한 것으로 보아 electromigration 거동이 거의 유사하다고 판단할 수 있으며, 칩과 기판간의 열팽창계수의 차이에 기인한 열응력이 플립칩 본딩된 Sn-3.5Ag-0.5Cu 솔더범프의 electromigration 거동에 미치는 영향이 크지 않다고 판단할 수 있다.
4. 전류밀도가 증가함에 따라 Sn-3.5Ag-0.5Cu 솔더범프의 electromigration에 대한 활성화 에너지가 높아지는 것으로 나타나, 이는 실제로 활성화 에너지 자체가 높아지기 보다는 솔더범프에서 Joule 가열에 의한 온도 증가의 효과가 전류밀도가 높을수록 더욱 현저하기 때문인 것으로 판단된다.

감사의 글

본 연구는 한국과학재단의 국제협력(공동)연구(과제번호: F01-2004-000-102420) 지원에 의해 이루어졌으며, 이에 감사드립니다.

참고문헌

1. J. H. Lau, Low Cost Flip Chip Technologies, p.511, McGraw-Hill, New York (2000).
2. K. N. Tu and K. Zeng, "Six cases of reliability study of Pb-free solder joints in electronic packaging technology", Mater. Sci. Eng. 38(2), 55 (2001).
3. R. R. Tummala and E. J. Rymaszewski, Microelectronics Packaging Handbook, p.391. Von Nostrand Reinhold, New York, (1989).
4. K. N. Tu, A. M. Gusak, and M. Li, "Physics and materials challenges for lead-free solders", J. Appl. Phys., 93, 1335 (2003).
5. T. Y. Lee, K. N. Tu, S. M. Kuo, and D. R. Freer, "Electromigration of eutectic SnPb solder interconnects for flip chip technology", J. Appl. Phys., 89(6), 3189 (2001).
6. K. N. Tu, J. W. Mayer, L. C. Feldman, Electronic Thin Film Science, Macillian Publishing Co., New York, p. 355 (1992).
7. E. C. C. Yeh, W. J. Choi and K. N. Tu, P. Elenius, and Haluk Balkan, "Current-crowding-induced electromigration failure in flip chip solder joints", Appl. Phys. Lett., 80, 580 (2002).
8. M. Abteu, G. Selvaduray, "Lead-free Solders in Microelectronics", Mater. Sci. Eng., 27, 95 (2000).
9. J. W. Jang, D. R. Frear, T. Y. Lee, K. N. Tu, "Morphology of interfacial reaction between lead-free solders and electroless Ni-P under bump metallization", J. Appl. Phys., 88, 6359 (2000).
10. S. K. Kang, D.Y. Shih, K. Fogel, P. Lauro, M. J. Yim, G. Advocate, M. Griffin, C. Goldsmith, D. W. Henderson, T. Gosselin, D. King, J. Konrad, A. Sarkhel, K. J. Putlitz, "Interfacial reaction studies on lead(Pb)-free solder alloys", IEEE Trans. Comp.,Packag., Manufact. Technol. C, 25, 155, (2002)
11. E. C. C. Yeh and K. N. Tu, "Effects of contact resistance and film thickness on current crowding and the critical product of electromigration in Blech structures", J. Appl. Phys., 89(6), p.3203 (2001).
12. W. J. Choi, E. C. C. Yeh, and K. N. Tu, "Mean-time-to-failure study of flip chip solder joints on Cu/Ni(V)/Al thin-film under-bump-metallization", J. Appl. Phys., 94(9), p.5665 (2003).
13. J. R. Black, "Electromigration-a brief survey and some recent results", IEEE Trans. Electron Devices, ED-16(4), 338(1969).
14. S. W. Lee and T. S. Oh, "Electromigration of Sn-3.5Ag Solder Bumps in Flip Chip Package", J. Microelectron. Packag. Soc., 10, 81 (2003).
15. W. J. Choi, Ph. D. Thesis, University of California at Los Angeles (2002).