

## Cu/Sn비아를 적용한 일괄적층 방법에 의한 다층연성기판의 제조

이혁재\* · 유진

한국과학기술원 신소재공학과

### Fabrication of Laminated Multi-layer Flexible Substrate with Cu/Sn Via

H. J. Lee\* and Jin Yu

KAIST 373-1 Kusong-dong, Yusong-gu, Daejeon 305-701, Korea

**초 록:** 다층 연성기판은 높은 전기 전도성과 낮은 절연상수로 잘 알려진 구리와 폴리이미드로 구성 되어 있다. 본연구에서는 이러한 다층연성기판을 패턴된 스테인리스 스틸 위에 구리선을 전기도금하고 폴리이미드를 코팅함에 의해서 균일한 형태의 5  $\mu\text{m}$ -pitch의 전도선을 제조하는데 성공하였다. 또한, 다층기판 형성시 비아홀은 UV 레이저로 형성시켰으며 구리와 주석을 전기도금함으로 이를 채웠다. 그런 다음 비아와 전도선이 붙은 채로 스테인리스 스틸에서 벗겨냈다. 이렇게 형성된 각각의 층을 한번에 적층하여 다층연성기판을 완성하였다. 적층시 주석과 구리사이에 고체상태 반응(Solid state reaction)이 발생하여  $\text{Cu}_6\text{Sn}_5$  and  $\text{Cu}_3\text{Sn}$ 을 형성하였으며 비아패드에 비아가 수직으로 위치한 완전한 형태의 층간 연결을 형성하였다. 이러한 비아 형성 공정은 V형태의 비아나 페이스트 비아와 비교할 때 좋은 전기적 특성, 저가공정등의 여러 장점을 가지고 있다.

**Abstract:** A multi-layer flexible substrate is composed of copper(Cu)/polyimide that are known as good electrical conductivity, and low dielectric constant, respectively. In this study, conductor line of 5  $\mu\text{m}$ -pitch was successfully fabricated without non-uniform pattern shape by electroplating copper and coating polyimide on patterned stainless steel. For multi-layer flexible substrate, via holes were drilled by UV laser and filled with electroplating copper and tin. And then, the PI layer with vias and conductor lines was stripped from stainless steel substrate. The PI layers were laminated at once with careful alignment between layers. Solid state reaction between tin and copper during lamination formed the intermetallic compounds of  $\text{Cu}_6\text{Sn}_5$ ( $\eta$ -phase) and  $\text{Cu}_3\text{Sn}$ ( $\epsilon$ -phase) and achieved a complete inter-connection by vertically positioning the plugged via holes on via pad. The via formation process has several advantages; such as better electrical property and lower cost than V type via and paste via.

**Keywords:** Flexible substrate, Cu/polyimide, Solid state bonding

### 1. 서 론

최근 SIP(System In Package), MCM(Multi-Chip Module) 등 집적도를 크게 증가시키기 위한 노력들이 활발하게 진행되어 가고 있는 추세인데 반해 기판 공정은 제자리에 머물러 이를 뒷받침 해주지

못하고 있다. 이와 같은 이유로 과거의 획일적인 저가적 대량생산에서 벗어나 다양한 요구에 맞춘 고집적 고부가가치용 모듈(Module) 개발의 필요성이 대두되고 있으나 현재의 공정기술로는 어려움이 있다.<sup>1,2)</sup> 일반적인 인쇄 회로기판(Printed Circuit Board, PCB) 공정에서 폴리머 위에 접합된 구

\*Corresponding author  
E-mail: wowlee@kaist.ac.kr

리포일을 에칭하는 방법으로 패턴을 형성시키는데, 이러한 공정은 패턴의 깊이 방향으로 각각의 패턴의 폭이 다른 불균일한 패턴형성으로 인해 고집적회로 형성에 장애물이 되고 있다. 폴리머 위에 무전해 도금으로 전면적을 도금한 뒤 전해도금으로 패턴을 형성시키는 Semi-additive 공정의 경우, 무전해 도금층을 제거할 때 무전해 도금층의 에칭 속도가 전해도금층의 에칭속도에 비해 매우 빠르기 때문에 언더컷(Under Cut)현상이 발생하는 등의 문제점이 보고되고 있다.<sup>3)</sup> 다층 기판 형성시 각 전도층의 연결에 필요한 비아는 여러 종류가 있는데 먼저 비아홀 벽면에 무전해 동도금과 전해 동도금을 사용하여 형성한 V 형태의 비아는 비아의 일렬 적층(Stacked Via)이 불가능하여 면적 효율성이 낮다. 그리고 플러그 비아(Plugged Via)는 한층을 형성 뒤에 다른 한층을 형성시켜 일괄적층이 불가능한 문제점이 있다. 마지막으로 페이스트 비아(Paste Via)는 일본에서 많이 사용되는 것으로 면적효율성과 일괄적층이 가능하여 가격면에서도 우수하나 페이스트 안에 있던 플럭스 잔류물(Flux Residue)로 인해 전기적 성능이 매우 좋지 않은 단점을 가지고 있다.<sup>4)</sup>

본 연구에서는 다층연성기판(Multi-layer Flexible Substrate) 제조시 패턴의 에칭공정을 배제하여 미세패턴(Fine Pitch Metallization) 공정을 확립하였고 Copper/Tin 비아를 사용하여 각층을 연결하였으며 동시에 각각 독립적으로 만들어진 층들을 한번에 적층하는 일괄적층 공정을 확립하였다.

## 2. 실험방법

다층 연성기판을 제조하기 위한 공정 흐름도는 Fig. 1에 나타내었다. 롤 형태의 0.1 mm 두께의 스테인레스 스틸 위에 PR(Photo-Resist, AZ3514, Client사) 용액을 코팅하고 공지된 방법에 따라 건조(Soft Curing), 노광(UV Exposure), 현상(Develop)하여 스테인레스 금속판에 패턴을 형성하였다. 패턴이 형성된 금속판의 상면에 황산구리(250 g/L) 도금액을 이용해 구리 전도선을 형성한 후 그 위에 접착층으로서 크롬을 얇게 도금하였다. 금속판의 PR 및 금속 전도선 위에 폴리이미드(PIQ, Hitachi, 일본)를 도포(Casting)하였다. 폴리이미드막의 형성을 위해 패턴 형성과정에서 사용된 PR과의 반

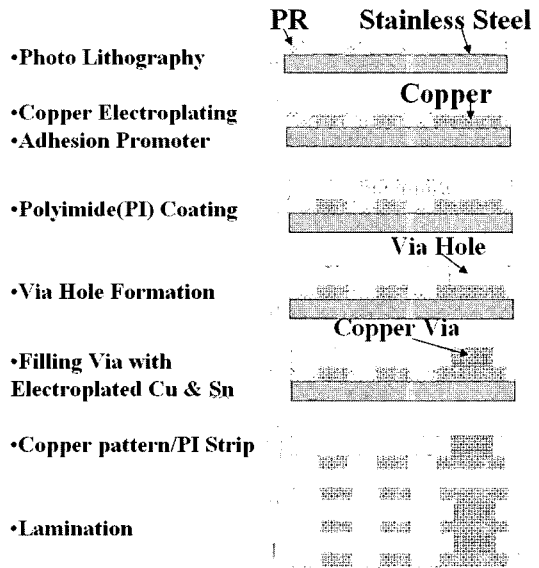


Fig. 1. A process flow of laminated flexible substrate.

응을 방지하기 위해 100°C에서 건조하였다. UV 레이저를 이용해 비아홀을 형성한 뒤 구리와 주석을 도금하여 비아홀을 충전하였다. 최종적으로 금속 전도선이 형성되고 비아홀이 충전된 폴리이미드를 금속판으로부터 벗겨내고, 이와 같은 과정으로 제조된 각각의 폴리이미드층을 190°C, 2 kg/cm<sup>2</sup>의 조건하에 적층하여, 연성 다층 인쇄회로기판을 제작하였다. Fig. 2는 비아와 비아패드의 개략도이다. 비아의 지름은 50 μm이고 비아패드는 100 μm, 비아의 높이는 30 μm이고 비아패드는 8 μm이다. 비아와 비아패드를 도금으로 1.5 μm 정도 두께 Sn cap을 씌워 저온에서도 비아와 비아패드간의 접합을 용이하게 하였다. 이렇게 제조된 다층연성기판을 350°C에서 30분간 유지하여 폴리이미드를 완

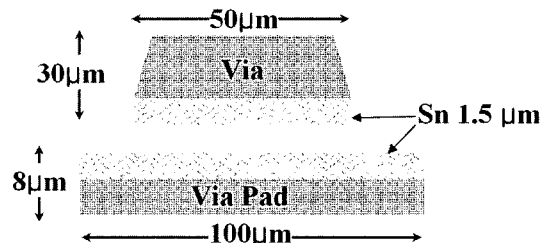


Fig. 2. Schematic diagram of bonding interface between electroplated copper Via with Sn cap and electroplated Cu/Sn pad.

전히 imidization시키고 Cu-Sn 비아접합을 완전히 반응시켰다. 각 과정을 SEM으로 관찰하였으며 폴리이미드 제거 과정의 상관관계를 알아보기 위해서 90° peel 테스트를 수행하였다.

### 3. 결과 및 고찰

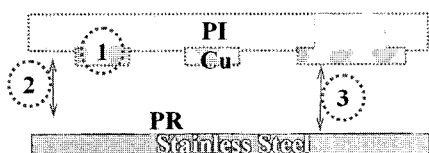
#### 3.1 접착력의 상관관계를 이용한 공정개발

본 제조공정은 폴리이미드가 다른 PR과 접착력이 좋지 않다는 점을 이용하였다. 폴리이미드가 구리패턴이 접합된 채로 PR과 스테인리스 스틸에서 분리되기 위해서는 폴리이미드와 구리의 접착력이 PR과 폴리이미드, 구리와 스테인리스 스틸의 접착력보다 월등히 좋아야 하나, 실제로 본공정에서 사용되는 재료는 Table 1에서와 같이 구리와 폴리이미드의 접착력이 다른 두개의 계면의 접착력, PR과 폴리이미드, 구리와 스테인리스 스틸에 비해 월등히 높다. 접합 강도는 90° 테스트 방법을 이용하여 측정하였다. 폴리이미드 도포 공정은 PR의 후처리 공정온도보다 낮은 온도에서 처리하여 PR과 PI의 반응을 방지하고 구리와 폴리이미드의 접착력을 높이기 위해 크롬이나 구리산화물을 패턴된 구리위에 처리하여 공정을 수행하여 위에서 설명한 접착력의 상관관계를 극대화 시켰다.

#### 3.2 미세패턴형성과 일괄적층법에 의한 다층기판 제조

앞에서 설명한 바와 같이 공정개발의 목표중에 하나는 미세 패턴 공정이고 다른 하나는 플러그 비아 형태로 각각 독립적으로 만들어진 layer들을 한번에 적층하는 일괄적층 공정 확립이다. 따라서 패턴의 폭은 3 μm, 패턴간 간격 2 μm로 정하였고 일괄적층에 필요한 비아는 현재 연구되고 있는 비

Table 1. The adhesion strengths of interfaces in diagram



Material Bonding (Peel Material~10 μm & Substrate)	Peel Strength (g/mm)
1: Cu & PI	17±3.2
2: PI & PR	2.2±1.2
3: Cu & Stainless Steel	~0

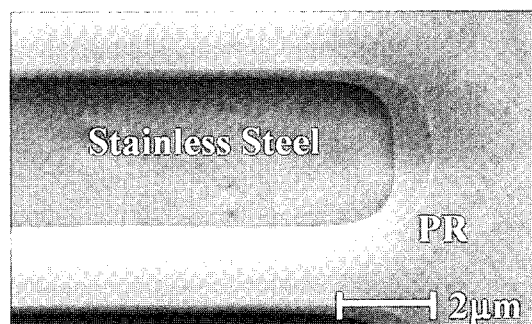


Fig. 3. SEM image of PR process on stainless steel (PR coating, masking).

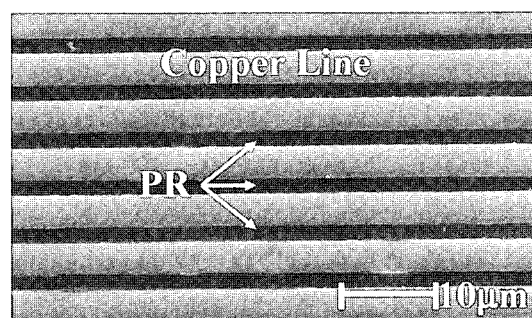


Fig. 4. SEM image and schematic diagram of electroplated copper patterns.

아 및 비아패드(Via Pad)의 지름으로 정하였다. 그리고 미세패턴공정과 일괄적층공정은 사이즈 차이가 커서 각각 따로 공정을 수행하였다.

Fig. 3는 스테인리스 스틸위에 PR로 패턴을 형성시킨 것이고 Fig. 4는 형성된 PR 패턴에 구리 전도선을 전기도금에 의해 형성시킨 것이다. 본 공정의 장점으로서는 전기도금을 위한 전기 인입선이 필요없다는 점이다. Semi-additive 공정의 경우 전기도금을 위하여 모든 패턴들이 전기적으로 연결시키고 후에 이를 에칭하여 제거하게 되는데 이 공정에서는 스테인리스 스틸위에 패턴을 형성시키기 때문에 이미 모든 패턴이 전기적으로 연결되어 있어 전기 인입선을 배제하여 패턴들을 집적화할 수 있다는 장점을 가지고 있다. Fig. 5은 구리 전도선이 형성된 폴리이미드를 패턴된 스테인리스 스틸에서 떼어낸 후의 SEM 사진이다. 패턴의 모양이 균일하고 언더컷 현상없이 일반적인 에칭 공정이나 세미 에디티브 공정으로는 불가능한 패턴간 간격 5 μm를 이루어 낸 것을 볼 수가 있다. 이것은 패턴 공정의 한계를 결정하는 요소가 에칭

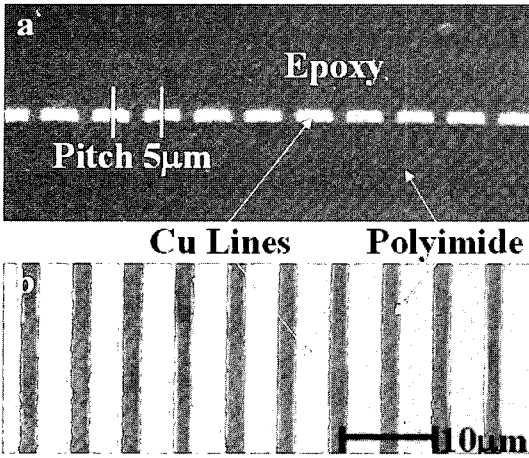


Fig. 5. SEM images of Polyimide strip with Cu conductive lines; (a) cross-sectional view, (b) top view of stripped PI.

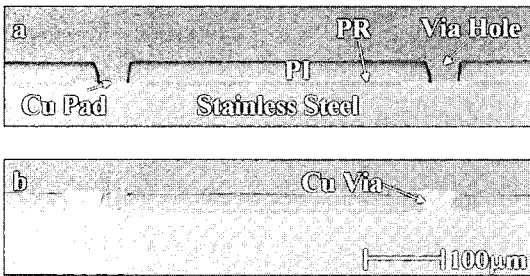


Fig. 6. SEM image of (a) Via hole formation on PI with UV laser and (b) filled Via hole with electroplated copper.

공정기술이 아닌 PR 자체의 특성이기에 가능한 일이다.

Fig. 6(a)는 UV 레이저를 사용하여 비아를 형성시킨 사진이고 Fig. 6(b)는 형성된 비아를 전기도금으로 구리 및 주석을 도금한 사진이다. 이때도 전 면적이 아래쪽의 스테인리스 스틸로 연결되어 있기 때문에 별도의 전기 인입선이 필요하지 않다. Fig. 7은 이렇게 각각 만들어진 층을 한번에 적층하여 다층 연성기판을 완성하였다. 이러한 일괄적 층 공정은 독립적으로 각 층을 따로 만든 뒤 이를 모아서 한번에 적층하기 때문에 공정길이가 상당히 짧아 최근 PCB의 추세가 저가격화로 가는 추세에 부합하여 이러한 공정개발에 많은 연구가 수



Fig. 7. SEM image of laminating all layers at once.

행되고 있다.

### 3.3 비아와 비아패드간의 접합

본 연구에서는 비아와 비아패드간의 접합은 저온에서 Sn의 고체상태확산(Solid Stats Diffusion)을 이용하였고 이로인해 2종류( $\eta$ -상  $Cu_6Sn_5$ ,  $\epsilon$ -상  $Cu_3Sn$ )의 금속간 화합물(InterMetallic Compound, 이하 IMC)이 생성되었다. Fig. 8는 비아에 걸리는 하중이 55 N/mm<sup>2</sup>, 111 N/mm<sup>2</sup>로 235°C에서 2분간 유지시켰을 때 비아와 비아패드의 계면이고 각각의 조성은 EDAX로 line scan하였다. Sn이 용융상태에서 비교적 긴시간(2 min)동안 유지되어 접합을 이루었기 때문에 순수한 Sn은 관찰되지 않고 두종류의  $\eta$ -상  $Cu_6Sn_5$ 과  $\epsilon$ -상  $Cu_3Sn$  모두 관찰되었다.  $\eta$ -상은 Sn과 Cu 사이에서 Sn 방향으로 생성되는데 이는 용융된 Sn 내에서 Cu의 확산계수가  $1.8 \times 10^{-4} \text{cm}^2/\text{sec}$ 로 매우 빠르기 때문이다.<sup>5)</sup> Fig. 9는 비아에 걸리는 하중이 55 N/mm<sup>2</sup>, 111 N/mm<sup>2</sup>로 190°C에서 2분간 유지시켰을 때 비아와 비아패드의 계면이다. 용융상태에서 접합시켰을 때와는 달리 고체상태에서 Cu의 확산을 이용한 접합에서는  $\epsilon$ -상은 발견되지 않고 순수한 Sn과  $\eta$ -상만이 발견되었다. 일반적으로  $\epsilon$ -상은  $\eta$ -상에 비해서 핵 생성

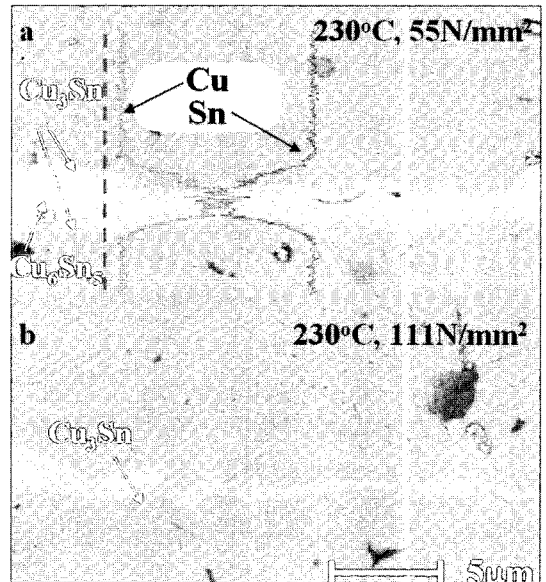
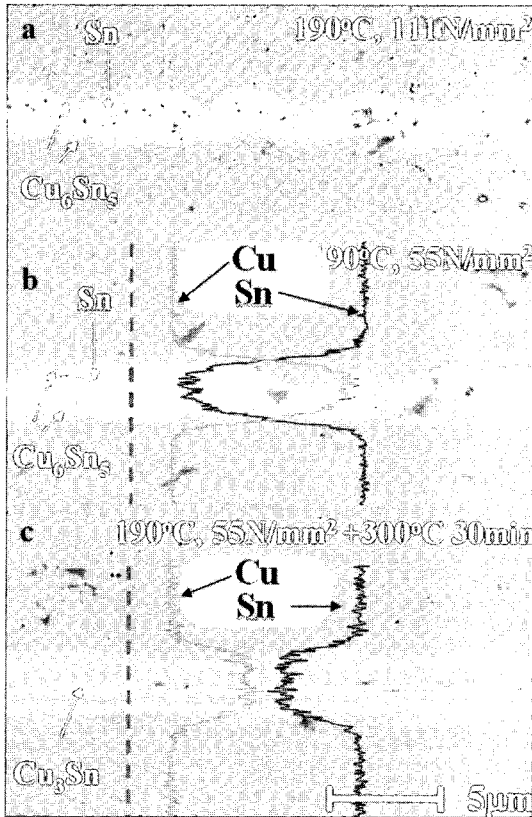


Fig. 8. SEM images of bonding interface between electroplated copper Via and Sn cap; dash line is EDS scanning line, (a) with 230°C, 111 N/mm<sup>2</sup> bonding condition and (b) with 230°C, 55 N/mm<sup>2</sup> bonding condition.



**Fig. 9.** SEM images of bonding interface between electroplated Via copper with Sn cap; dash line is EDS scanning line, (a) 190°C, 111 N/mm<sup>2</sup> bonding condition, (b) 190°C, 55 N/mm<sup>2</sup> bonding condition and (c) post aging (300°C for 30 min) after 190°C, 55 N/mm<sup>2</sup>.

이 어렵기 때문에 고체상태 초기접합에서는 발견되지 않는 것으로 알려져 있다.<sup>6)</sup> 이를 350°C에서 30분간 유지시켰을 경우에는 Sn와 η-상이 더 이상의 반응이 일어나지 않는 ε-상으로 변화하여 안정한 형태의 비어접합을 이루었다. 이러한 형태의 후처리는 안정한 범프 접합계면을 형성하기 위해 흔히 사용되고 있다.<sup>7,8)</sup>

#### 4. 결 론

기존 다층기판의 문제점을 개선하여 패턴간의 간격을 획기적으로 줄였으며 일괄적층법을 적용하여 저가격화를 실현하였다.

1) 패턴 공정 중 에칭공정을 배제하여 균일하고

전기 인입선이 필요없는 패턴간격 5 µm에 성공하였다.

2) 완전히 채워진 Cu/Sn 비어를 사용하여 각층을 따로 만든 뒤 한번에 적층하는 일괄적층 공정을 개발하였다.

3) Sn의 용융온도이상에서 접합을 하였을 때 η-상 Cu<sub>6</sub>Sn<sub>5</sub>과 ε-상 Cu<sub>3</sub>Sn이 동시에 생성되었으나 용융온도이하에서는 Sn과 η-상만이 발견되었고 이를 후처리 하여 안전한 ε-상으로 변화시켰다.

#### 감사의 글

본 연구는 한국과학재단 산하의 전자패키지재료 연구센터(Center for Electronic Packaging Materials)의 지원을 받아 수행되었습니다.

#### 참고문헌

1. R.R.Tummala, E.J.Rymaszewski and A.G. Klopfenstein, *Microelectronics Packaging Handbook*, 2nd ed. (Chapman & Hall, 1997), Part2, Ch8.
2. International Technology Roadmap for semiconductors, 2002 update edition.
3. C.F., Jr. Coombs, *PCB handbook*, McGraw Hill; 4th edition (December 27, 1995).
4. F. Liu, G.E. White, V. Sundaram, A.O. Aggarwal, S.M. Hosseini, D. Sutter, R.R. Tummala, "A Novel Technology for Stacking Microvias on Printed Wiring Board", Proc. 52nd Electron. Comp. Technol. Conf., May 27-30 New Orleans, Louisiana USA(2003).
5. K.S. Kim, E.G. Chang and Y.B. Sun, "Aging Characteristic of Intermetallic Compounds and Bonding Strength of Flip-Chip Solder Bump", *Journal of the Microelectronics & Packaging Society*, 9(1), p.35(2002).
6. K.N. Tu, *Acta Metall.*, 21(4), p. 347(1973).
7. M. Tomisaka, H. Yonemura, M. Hoshino, K. Takahashi, T. Okamura, J. Sun and K. Kondo, "Electroplating Cu Fillings for Through-Vias for Three-Dimensional Chip Stacking", Proc. 52nd Electron. Comp. Technol. Conf., San Diego, CA, May. 2002, pp. 1432-1438.
8. K. Tanida, M. Umemoto, Y. Tomita, M. Tago, Y. Nemoto, T.Ando and K.Takahashi, "Ultra-high-density 3D Chip Stacking Technology", Proc. 53rd Electron. Comp. Technol. Conf., May 27-30 New Orleans, Louisiana USA, (2003).