

논문 2004-41SD-1-10

디커플링 커패시터가 존재하는 파워/그라운드 라인의 SSN모델링

(SSN(Simultaneous Switching Noise) Modeling of Power/Ground Lines with Decoupling Capacitor)

배 성 규*, 어 영 선*, 심 종 인*

(Seongkyu Bae, Yungseon Eo, and Jongin Shim)

요 약

본 논문에서는 집적회로 패키지에 기인한 노이즈를 해석할 수 있는 새로운 SSN모델을 보인다. 기존의 디커플링 커패시터를 고려하지 않은 회로모델은 과도하게 SSN을 예측한다는 것을 보였으며, 디커플링 커패시터가 포함된 패키지 회로모델을 통하여 새로운 SSN 모델을 제안하였다. 새롭게 제안된 SSN 모델은 $0.18\mu\text{m}$ 공정(TSMC $0.18\mu\text{m}$ 공정)을 사용하여 다양한 회로설계 변수(입력상승시간, 패키지 인덕턴스 및 동시 스위칭 개수)의 변화에 따라 HSPICE 시뮬레이션과 정확히(5% 이내에서) 일치한다는 것을 검증하였다

Abstract

A new SSN(Simultaneous Switching Noise) model is presented, which can afford to investigate SSN due to integrated circuit package. It is shown that previous SSN models are not accurate enough to be practical since they do not take decoupling capacitor into account. In this paper, a new SSN model including the decoupling capacitor is developed. It is verified that the model has excellent agreement(within 5% error) with HSPICE simulation which employs TSMC $0.18\mu\text{m}$ CMOS process technology.

Keywords: SSN, ground bouncing, decoupling capacitance, signal integrity

I. 서 론

동시 스위칭 노이즈(SSN: Simultaneous Switching Noise)는 동시에 많은 수의 구동회로가 동작하여 I/O 패드, 본딩 와이어, 리드핀 등 패키지에 기생하는 인덕턴스에 순간적인 큰 전류가 흐르는 것이 원인이 되어 발생하며, 이로 인해 기준 전압이 변화하여 회로의 성능을 저하시킨다^[1,2]. 특히 I/O에서는, 드라이버가 큰 부하 커패시터를 구동하기 위해서 큰 전류로 구동해야 하기 때문에 이들 드라이버가 동시에 스위칭 할 때 가

장 커다란 SSN을 야기시킨다^[3,4]. SSN은 시스템의 노이즈 마진을 감소시킬 뿐 아니라 신호의 지연과 일그러짐을 증가시키고, 기준 전압을 공유하는 다른 회로로 전달 하여 수신쪽의 회로에 글리치를 발생시킬 수 있다^[5,6]. 따라서 시스템의 성능 저하를 막기 위해서는 SSN을 가능한 줄여야한다. 그 방법으로 파워, 그라운드, I/O핀의 수를 증가 시키거나 BGA(Ball Grid Array) 패키징을 사용하면 패키지 기생 인덕턴스를 작게 만들어 SSN을 줄일 수 있지만, 비용이 증가한다^[7]. 상대적으로 흔히 사용하는 방법으로 온칩 디커플링 커패시터를 사용하는데^[7-10], 디커플링 커패시터는 게이트가 스위칭 할 때 디커플링 커패시터에 축적된 전하를 칩 내부의 전원에 공급하기 때문에 그라운드 및 파워

* 정회원, 한양대학교 전자컴퓨터공학
(Hanyang University, Dep. of Electrical and Computer Engineering)
접수일자 : 2003년11월13일, 수정완료일 : 2004년1월4일

배선망에서 인덕턴스에 기인한 스위칭 노이즈를 감소시킬 수 있으나, 공진 주파수를 저주파로 이동시키기 때문에 설계에 주의가 필요하다. 따라서 이들 SSN을 고려하면서 고성능회로를 설계하기 위하여 SSN에 관한 정확한 예측모델이 필요하다.

그러나 기존 연구에서 SSN과 관련된 많은 예측 모델들^[2-6]은 디커플링 커패시터를 고려하지 않았기 때문에 디커플링 커패시터를 사용한 패키지에서는 과도하게 SSN을 예측하여 설계 비용을 증가시킬 수 있다. 따라서 실제적인 집적회로 설계를 위해서 디커플링 커패시터를 고려한 정확한 SSN 예측 모델이 필요하다.

본 논문에서는 디커플링 커패시터를 고려하여 정확하게 SSN을 예측할 수 있는 새로운 방법을 제시하였으며 0.18 μm 공정을 바탕으로 한 HSPICE 시뮬레이션과 비교하여 그 정확성을 입증했다. 제안한 모델을 사용하면 정확한 파워/그라운드 배선에서의 시그널 인테그리티를 효과적으로 검증할 수 있다.

II. 회로 모델 및 SSN 노이즈

일반적으로 패키지 내부의 출력 구동 회로는 그림1과 같이 온칩 디커플링 커패시터를 고려하여 간단한 등가회로로 모델 할 수 있다. 여기서 디커플링 커패시터는 아이디얼 커패시터로 가정하였으며, heydari 논문에서 사용한 값을 사용했다^[11,12]. 기존의 디커플링 커패시터를 고려하지 않은 모델^[2-6]에서 출력 구동회로가 부하 커패시터를 충전시킬 때, 충전전류는 파워라인으로 흐르고, 부하 커패시터를 방전시킬 때 방전전류는 그라운드 라인으로 흐른다. 하지만 디커플링 커패시터가 있는 경우, 그림2에서 보인 바와 같이 방전(혹은 충전) 시의 전류는 그라운드와 파워라인으로 나뉘어 흐르게 되고, 분산된 전류로 인해 기생 인덕턴스를 감소시키는 효과가 있기 때문에, 결국 스위칭 노이즈가 줄어든다. 따라서 기존의 디커플링 커패시터가 없는 경우의 SSN 예측모델은 실제보다 과도한 노이즈를 예측하게 된다.

디커플링 커패시터가 있는 경우($C_D=500\text{pF}$)와 없는 경우에 대하여, 그림3(a)는 10개의 게이트를 동시에 스위칭 했을 경우 발생한 SSN을 SPICE 시뮬레이션으로 비교하였고, 그림3(b)는 스위칭 하는 게이트의 개수에 대한 SSN의 추이를 비교하였다. 시뮬레이션에서 사용

된 파라미터는 다음과 같다. PMOS트랜지스터 크기 (Width/Length)는(38/0.18)[μm], NMOS트랜지스터 크기

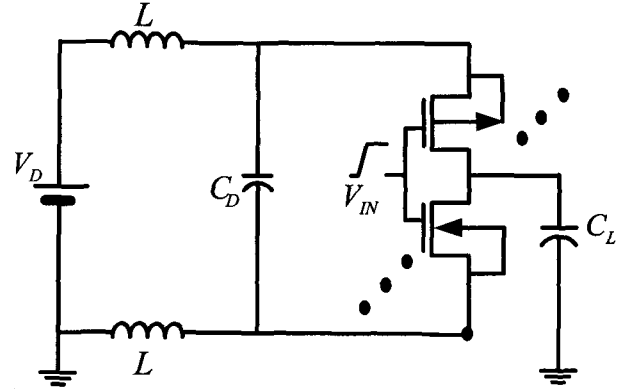


그림 1. 온칩 디커플링 커패시터를 고려한 패키지 모델
Fig. 1. Package model considering on-chip decoupling capacitance.

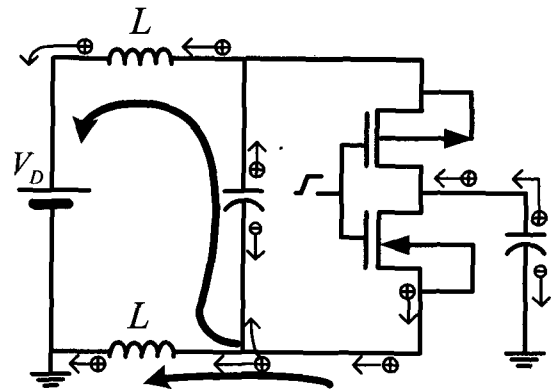


그림 2. 디커플링 커패시터를 고려할 때의 방전 전류패스
Fig. 2. Discharging current path considering on-chip decoupling capacitance.

는 (20/0.18)[μm], 기생 인덕턴스(L)는 1nH, 입력 신호의 상승 시간(t_r)은 0.5nsec이다. 그림3(b)의 시뮬레이션 결과로부터, 디커플링 커패시터를 사용한 경우 약 20~40% 정도의 SSN이 감소하였음을 알 수 있다. 디커플링 커패시터가 있는 경우와 없는 경우 모두 동시 스위칭 개수가 늘어날 때 SSN이 선형이 아닌 square root로 커지는 이유는 SSN이 커질 때, 그 영향이 구동회로의 전류를 적게 흐르게 하며, 이로 인해 SSN이 줄어든다. 즉 네거티브 피드백이 발생하기 때문이다.

III. SSN 예측 모델

CMOS(그림4(a)) 게이트에 입력신호가 0에서 V_D 로

천이하면 NMOS트랜지스터가 스위칭하게 된다. 만약 PMOS트랜지스터가 cut-off 영역에 있다고 가정하면

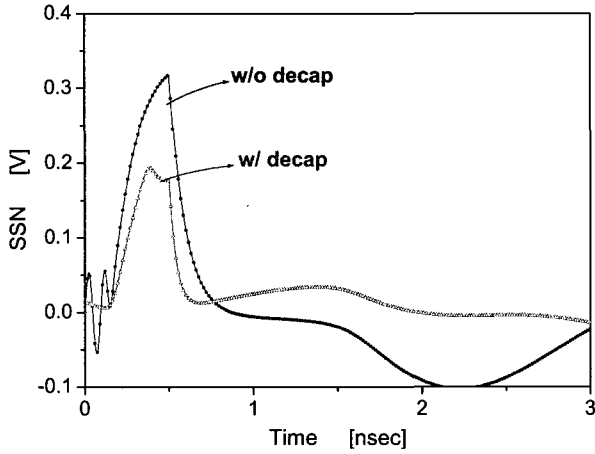
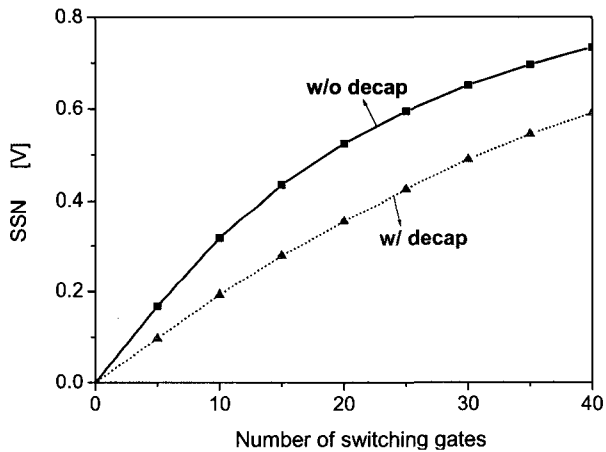


그림 3. (a) 디커플링 커패시터가 있는 경우와 없는 경우에 대한 비교

Fig. 3. (a) Comparison of w/ decap and w/o decap.



(b) 동시 스위칭 개수에 대한 SSN
(b) SSN of number of switching gates

CMOS모델(그림4(a))을 증가적으로 NMOS모델(그림 4(b))로 표현할 수 있다. 그림4(c)에서 CMOS모델(그림 4(a))과 NMOS모델(그림4(b))을 같은 조건의 파라미터를 가지고 시뮬레이션 하면 정확히 일치함을 보이고 있다. 따라서 SSN분석을 용이하게 하기위해서 NMOS 모델(그림4(b))을 사용한다.

딥써브마이크론 소자의 경우, NMOS트랜지스터에 흐르는 전류는 다음과 같이 표현할 수 있다^[4].

$$I_N = B_N (V_G - V_{ON} - \gamma V_{SSN}) \quad (1)$$

여기서 B_N 은 디바이스 트랜스컨덕턴스, V_{ON} 은 변위 전압, γ 는 보정 인자이며, 이들 파라미터 값들은 NMOS

트랜지스터의 SPICE 시뮬레이션을 통해 쉽게 결정 할 수 있다.

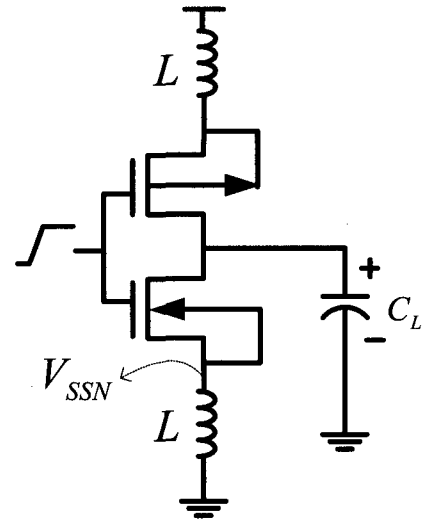
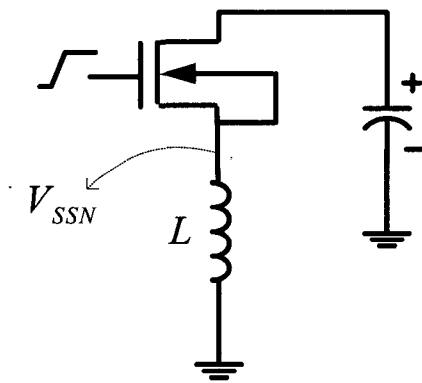
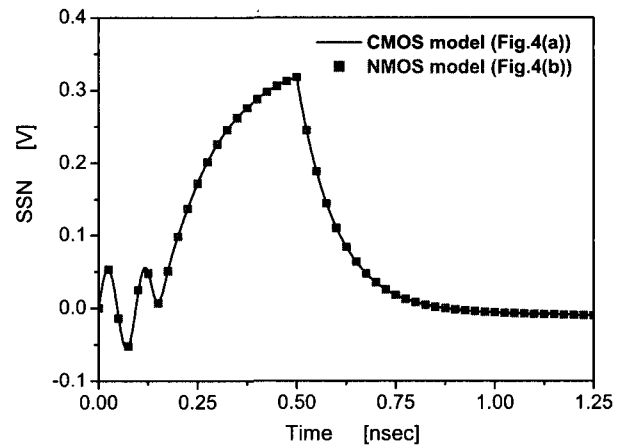


그림 4. (a) CMOS 모델
Fig. 4 (a) CMOS model



(b) NMOS 모델
(b) NMOS model



(c) CMOS모델과 NMOS모델의 SPICE 시뮬레이션
(c) SPICE simulation of CMOS and NMOS model

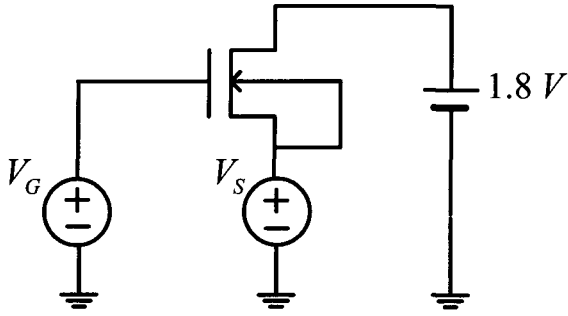


그림 5. 파라미터를 얻기 위한 회로의 그림
Fig. 5. Schematic of circuit to acquire parameter.

그림5의 회로에서, V_D 는 1.8V로 고정 하고, V_S 를 0에서 0.6V 까지 0.2V 단위로, V_G 는 0부터 1.8V 까지 0.1V 단위로 전압을 변화시키며 SPICE 시뮬레이션을 한 결과는 그림6의 실선과 같다. 그래프로부터 파라미터(B_N , V_{ON} , γ)는 결정된다. 파라미터 V_{ON} 의 값은 V_S 가 0 V 일 때 I_N 이 V_G 축과 교차하는 점을 통해 결정되며, B_N 은 I_N 의 기울기로부터 결정된다. 또한 γ 는 V_S 의 변화에 따른 I_N 이 V_G 축으로 이동한 변위를 통해서 결정된다. 시뮬레이션 결과(실선)를 통해 V_{ON} 은 0.64[V], B_N 은 9.53m[A/V], γ 은 1.1로 결정되었고 이 파라미터를 식(1)에 대입하여 그림6의 점선 그래프이다.

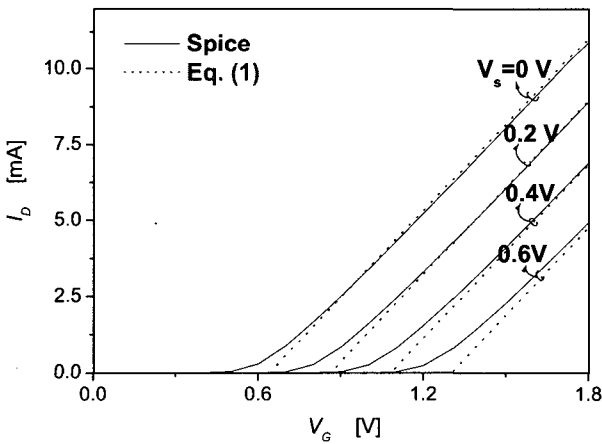


그림 6. SPICE 시뮬레이션과 식(1) 비교
Fig. 6. Comparison of SPICE simulation and formula. (1)

따라서 이들 소자 파라미터를 사용하여 SSN을 계산할 수 있다. NMOS모델(그림4(b)) 에서 SSN은 다음과 같다.

$$V_{SSN} = N L \frac{dI_N}{dt} \tag{2}$$

여기서 N 은 동시에 스위칭하는 게이트의 개수이다. 식(1)을 식(2)에 대입하여 정리하면, 다음 식(3)과 같이 V_{SSN} 에 관한 선형 일차 미분방정식이 된다.

$$\frac{dV_{SSN}}{dt} + \frac{V_{SSN}}{NLB_N\gamma} = \frac{s_r}{\gamma} \tag{3}$$

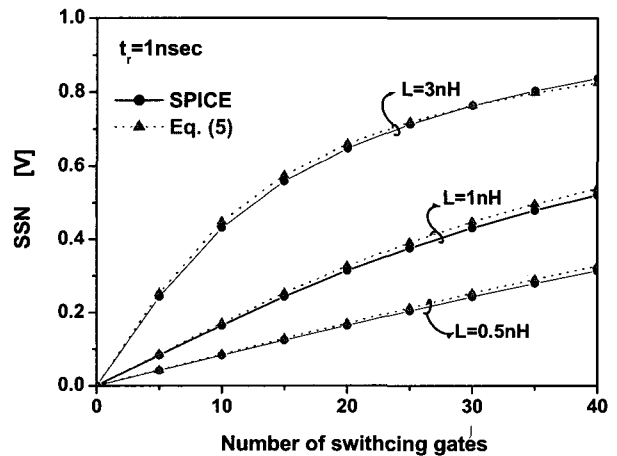
미분방정식(3)의 해는 다음과 같다.

$$V_{SSN}(t) = NLs_r B_N \left(1 - e^{-\frac{t-t_0}{\gamma NLB_N}} \right), \quad t_0 \leq t \leq t_r \tag{4}$$

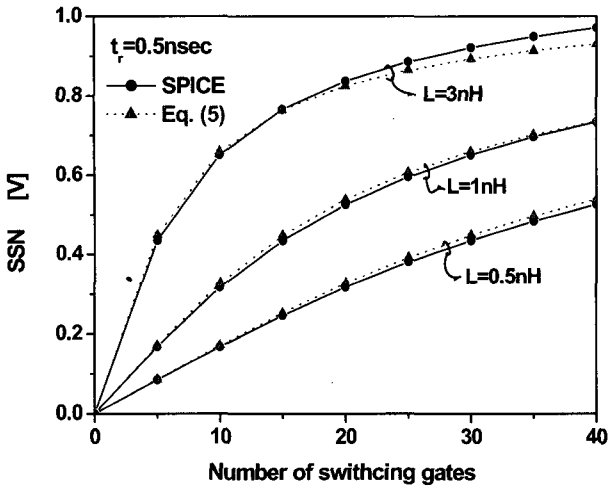
입력 신호가 V_D 가 될 때, 즉 입력신호의 상승시간(t_r)에서 SSN은 최대값을 갖기 때문에 다음과 같다.

$$V_{MAX} = NLs_r B_N \left(1 - e^{-\frac{V_D - V_{ON}}{\gamma NLs_r B_N}} \right) \tag{5}$$

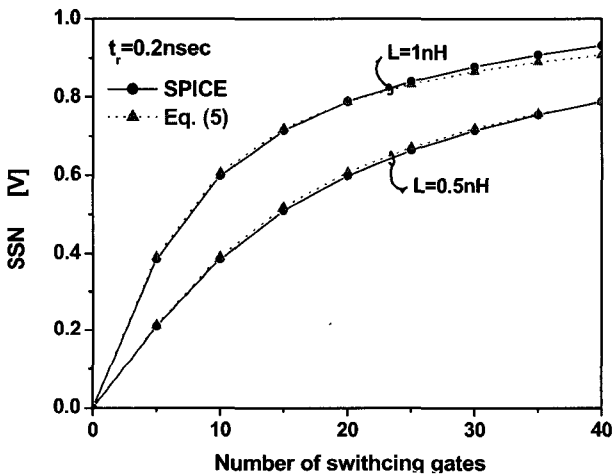
여기서 사용된 모델 파라미터는 입력 신호의 변화율(s_r), 패키지 파워/그라운드 기생 인덕턴스(L), 디바이스 트랜스 컨덕턴스(B_N), 동시스위칭 게이트 갯수(N), 공급 전압(V_D) 이다. 그림7에서는 설계 변수들(동시 스위칭 게이트 수, 패키지 기생 인덕턴스, 입력천이 시간)의 다양한 변화에 대한 식(5)의 검증을 위하여 SPICE 시뮬레이션과 비교한 결과가 잘 일치하고 있다는 것을 보인다. 식(5)의 설계 변수들 중 동시 스위칭 개수, 기생 인덕턴스, 디바이스 트랜스 컨덕턴스가 커질수록, 그리고 입력천이시간이 작을수록 SSN이 커짐을 예측 할 수 있는데 이를 그림7에서 확인 할 수 있다.



(a) $t_r=1\text{nsec}$, $L=0.5, 1, 3\text{nH}$ 인 경우
(a) $t_r=1\text{nsec}$, $L=0.5, 1, 3\text{nH}$.



(b) $t_r=0.5\text{nsec}$, $L=0.5, 1, 3\text{nH}$ 인 경우
 (b) $t_r=0.5\text{nsec}$, $L=0.5, 1, 3\text{nH}$



(c) $t_r = 0.2\text{nsec}$, $L=0.5, 1\text{nH}$ 인 경우
 (c) $t_r = 0.2\text{nsec}$, $L=0.5, 1\text{nH}$.

그림 7. SPICE 시뮬레이션과 식(5)의 SSN 비교
 Fig. 7. Comparison of SSN of SPICE simulation and Eq. (5)

IV. 디커플링 커패시터를 고려한 SSN 모델

식(5)는 디커플링 커패시터를 고려하지 않은 경우의 SSN 모델이기 때문에 실제적이지 않다. 디커플링 커패시터가 고려된 CMOS 모델 (그림8(a)) 에 입력신호가 0에서 V_D 로 천이될 때, NMOS트랜지스터가 동작하고 PMOS트랜지스터가 cut-off 영역에 있다고 가정하면, III장에서와 유사하게 그림8(b)와 같은 회로로 모델 할 수 있다.

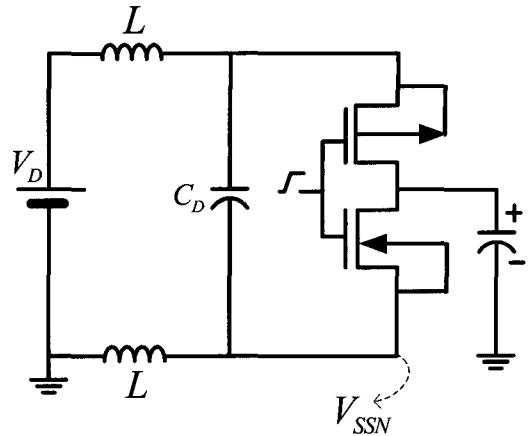
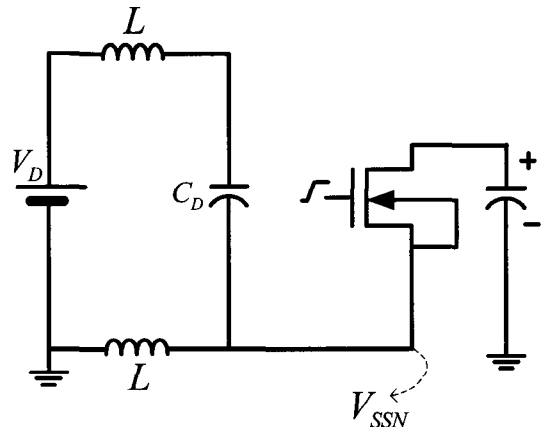


그림 8. (a) 디커플링 커패시터를 고려한 CMOS 모델
 Fig. 8. (a) CMOS model considering decoupling capacitor



(b) 그림8(a)의 등가 모델
 (b) Equivalent model of Fig. 8(a)

그림8(b)모델의 타당성을 검증하기 위하여, 입력신호의 상승시간(t_r)은 0.5nsec, 기생 인덕턴스(L)는 1nH, 디커플링 커패시터(C_D)는 500pF, 동시 스위칭 게이트 수는 10개인 경우에 대해 CMOS모델(그림8(a))와 등가 회로(그림8(b))를 각각 SPICE 시뮬레이션 하였고 그림 9에서 비교했다. 그림9에서 보는 바와 같이 두 모델의 SSN 파형은 디커플링 커패시터가 없는 경우(그림4(c) 참조)와는 달리 서로 일치하지 않는다. 또한 디커플링 커패시터가 존재 하는 경우 SSN의 최대값은 입력신호의 상승시간(t_r)이 되기 전에 발생한다. 그러므로 PMOS트랜지스터가 cut-off 영역에 있다고 가정을 할 수 없다.

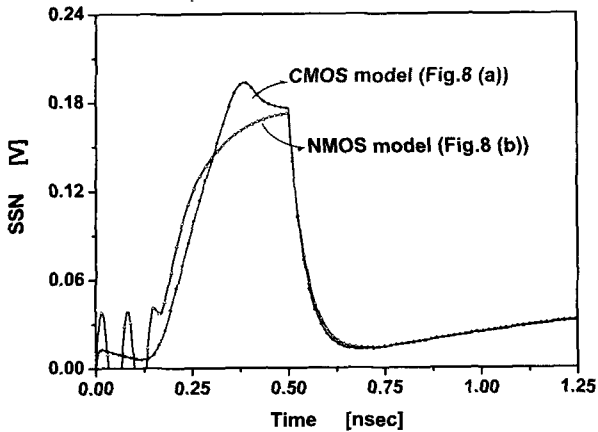


그림 9. CMOS모델과 등가모델의 SPICE 시뮬레이션 비교
Fig. 9. Comparison of SPICE simulation of CMOS and equivalent model.

따라서 NMOS(그림8(b))만의 모델이 아닌 PMOS와 NMOS트랜지스터가 동시에 동작하는 상황을 고려한 새로운 모델이 필요하다. 그림9의 CMOS모델(그림8(a))에서, PMOS트랜지스터에 흐르는 전류는 그림10(a)와 같다. 그림10(a)의 전류 파형은 근사적으로 그림10(b)와 같이 선형으로 모델 할 수 있다. 입력신호가 천이 되는 동안, 디커플링 커패시터에 흐르는 전류의 주파수 성분이 고주파이기 때문에 이상적으로 디커플링 커패시터가 단락 되었다고 가정하고 V_D 를 제거하면, 파워/그라운드 라인의 기생 인덕턴스 값이 근사적으로 반으로 감소한 하나의 인덕턴스로 합성할 수 있다. 그림10(b)의 전류파형을 PMOS트랜지스터 대신 전

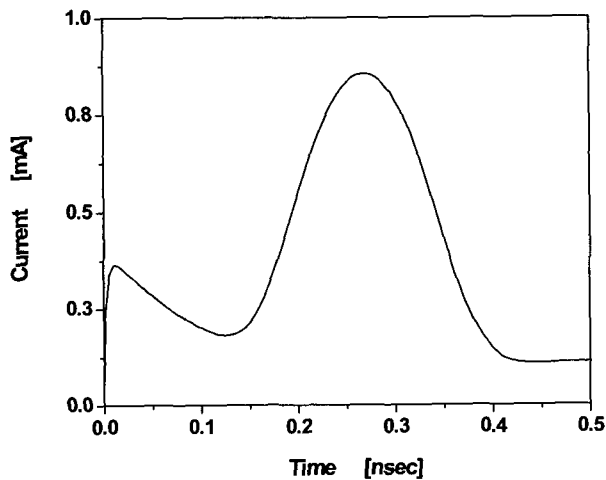
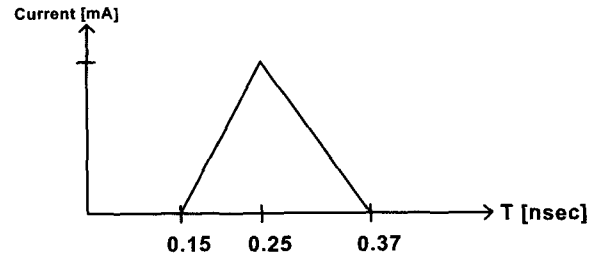
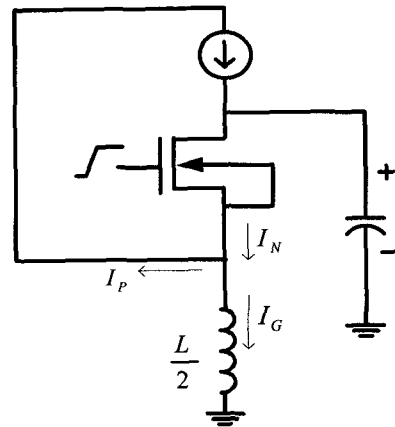


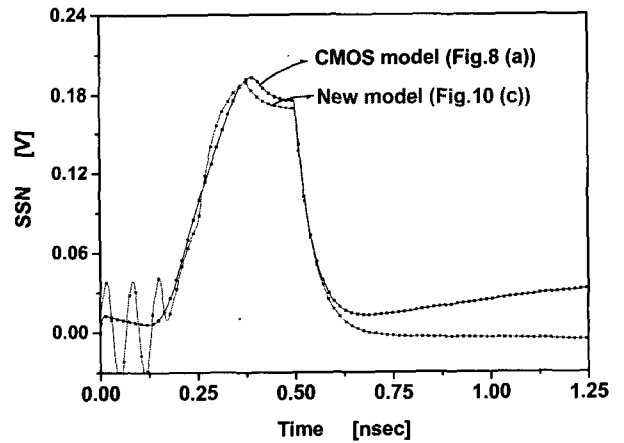
그림 10. (a) PMOS에 흐르는 전류 파형
Fig. 10. (a) Waveform of current through PMOS



(b) PMOS에 흐르는 전류파형의 근사화
(b) Approximation of Fig. 10(a)



(c) CMOS모델(그림8(a))의 간략화 된 새 모델
(c) New model simplified CMOS model (Fig. 8(a))



(d) SPICE 시뮬레이션 결과
(d) Result of SPICE simulation

류 소스에 사용하면 CMOS모델(그림8(a))를 그림10(c)의 회로와 같이 표현할 수 있다. 그림10(d)는 모델(그림10(c))와 CMOS모델(그림8(a))의 SSN에 대한 SPICE 시뮬레이션 결과이다. 기생 인덕턴스의 합성과 그림10(b)의 근사화는 에러를 수반하며, 이로 인해 SSN의 최대가 발생하는 구간 외(0~0.25nsec사이와 0.6~

1.25nsec사이의 구간)에서 불일치 하지만, SSN의 최대 값이 발생하는 구간에선 잘 일치하는 것을 확인 할 수 있다.

디커플링 커패시터를 고려하지 않은 CMOS모델(그림4(a))의 경우, PMOS트랜지스터에 흐르는 전류는 시간에 대한 변화율이 적기 때문에 NMOS트랜지스터에 흐르는 전류에 영향을 주지 않는다. 그림 11은 디커플링 커패시터를 고려하지 않은 CMOS모델(그림4(a))에서 PMOS트랜지스터에 흐르는 전류 파형이다

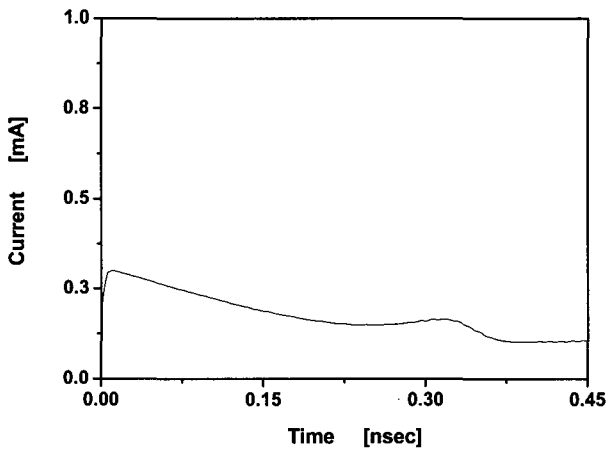


그림 11. 그림4(a)에서 PMOS트랜지스터에 흐르는 전류
Fig. 11. Waveform of current through PMOS in Fig. 4(a)

그림10(a)에서 0.25nsec 까지 PMOS트랜지스터는 triode영역에서 동작하며, 그 영역에 있는 동안 전류는 증가한다. 이 전류는 NMOS트랜지스터에 흐르는 전류의 변화율을 감소시킨다. 0.25nsec이후에는 PMOS트랜지스터가 포화영역에 있으며 전류는 감소한다. 그 변화율이 NMOS트랜지스터에 흐르는 전류의 변화율을 증가시킨다. 즉 PMOS트랜지스터에 흐르는 전류의 변화율이 NMOS트랜지스터 전류에 영향을 준다. 최대의 SSN이 발생하는 구간은 PMOS트랜지스터와 NMOS 트랜지스터가 모두 포화영역에 있을 때이다. 따라서 NMOS와 PMOS에 흐르는 전류는 다음과 같다.

$$I_N = B_N(V_G - V_{ON} - \gamma V_S),$$

$$I_P \approx B_P^*(V_D + \gamma V_S - V_G - V_{OP}). \quad (6)$$

식(1)에서 디바이스 임계전압 근처의 기울기는 SSN에 큰 영향을 미치지 않는다고 가정하여 임계전압보다 큰 전압에서의 기울기를 B_N 으로 사용하였다^[4]. 하지만,

식(6)의 포화 영역에서 동작하는 PMOS트랜지스터는 임계전압 근처에서 동작 하고 있기 때문에 B_P 보다 작은 B_P^* 의 값을 가진다. 모델(그림10(c))에서 그라운드 의 기생 인덕턴스에 흐르는 전류를 I_G 로, NMOS트랜지스터에 흐르는 전류를 식(1)의 I_N 으로, 전류소스에 흐르는 전류를 식(6)의 I_P 로 정의하여 KCL을 이용하면 다음과 같이 표현된다.

$$I_G = I_N - I_P. \quad (7)$$

식(7)을 이용하면 그라운드에서의 SSN은 다음과 같다.

$$V_{SSN} = N\left(\frac{L}{2}\right)\frac{dI_N}{dt} - N\left(\frac{L}{2}\right)\frac{dI_P}{dt}. \quad (8)$$

식(1)과 식(6)을 식(8)에 대입하여, 미분방정식을 계산하면, 해가 식(9)이다.

$$V_{SSN}(t) = \frac{NLS_r B^*}{2} \left(1 - e^{-\frac{2s_r(t-t_0)}{\gamma NLS_r B^*}} \right), \quad t_0 \leq t \leq t_r \quad (9)$$

여기서 $B^* = B_N + B_P^*$ 이며 다음과 같은 방법으로 결정된다. 그림10(a)에서 0.25n~0.37nsec구간의 평균 전류 기울기는 그림10(b)를 통해 근사적으로 7.5×10^6 이다. 기울기는 $B_P^* V_D / t_r$ 이므로, B_P^* 는 2.08m[A/V]이며, B^* 는 근사적으로 11.61m[A/V]이다. 여기서 B^* 의 정확한 값은 한번의 시뮬레이션을 통해 알 수 있으며, 그림9(a)모델의 시뮬레이션 결과 11m[A/V]를 얻었다. 그림12에서는 결정된 B^* 의 값과 그림9에서 사용한 파라미터를 가지고 SPICE시뮬레이션 결과와 식(10)을 비교하였고 잘 일치함을 볼 수 있다.

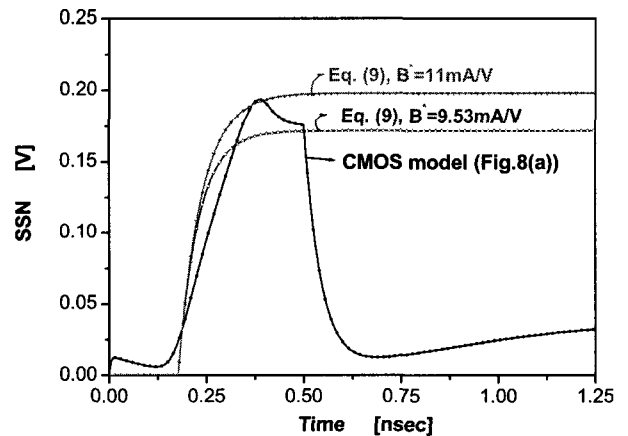
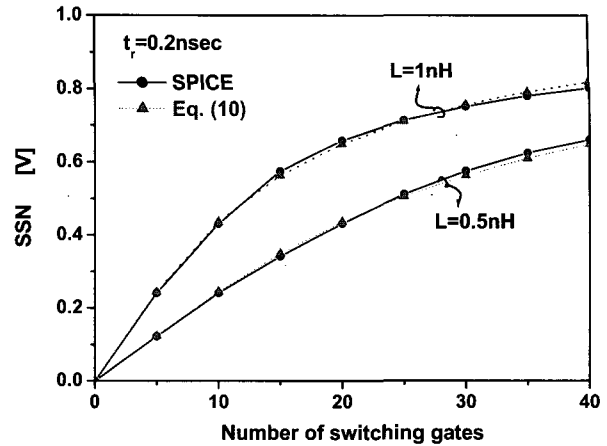


그림 12. SPICE 시뮬레이션과 식(9) 비교
Fig. 12. Comparison of SPICE simulation and Eq. (9)

모델식(9)의 최대값은 입력상승시간(t_r)에서 발생하므로 다음과 같다.

$$V_{MAX} = \frac{NLS_r B^*}{2} \left(1 - e^{-\frac{2(V_D - V_{ON})}{\gamma NLS_r B^*}} \right) \quad (10)$$

식(10)의 검증을 위하여 그림13에서는 다양한 설계 변수들(동시 스위칭 게이트 수, 패키지 기생 인덕턴스, 입력천이 시간)의 변화 따라 SPICE 시뮬레이션과 식(10)을 비교하여 모델이 정확하다는 것을 보였다.



(c) $t_r = 0.2nsec$, $L = 0.5, 1nH$ 인 경우.

(c) $t_r = 0.2nsec$, $L = 0.5, 1n$

그림 13. SPICE 시뮬레이션과 식(10)의 SSN 비교
Fig. 13. Comparison of SSN of SPICE simulation and Eq. (10)

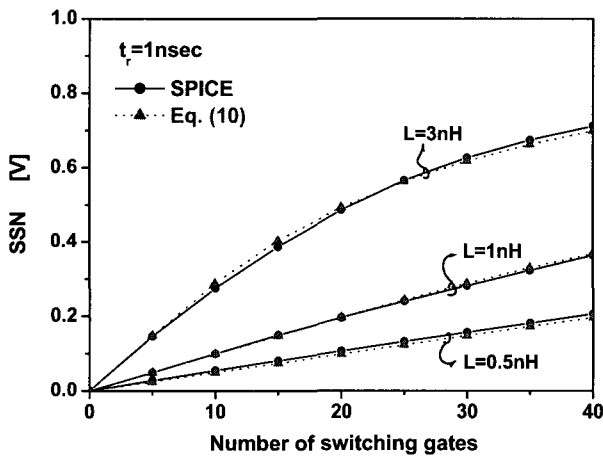
그림7과 그림13을 비교하면 동시 스위칭 게이트의 개수 적을 때는 SSN이 약40% 이상 작지만, 스위칭 개수가 커지면 약 15~30%로 줄어든다. 또한 기생 인덕턴스가 클수록 SSN의 감소 비율이 크게 줄어든다.

V. 결론

고집적 고속회로에서 SSN은 시스템의 성능을 크게 저하시키기 때문에 정확한 SSN 예측 모델이 요구된다. 기존의 SSN을 예측하는 모델은 디커플링 커패시터를 고려하지 않았기 때문에 실제적이지 않다는 것을 보였으며, 디커플링 커패시터를 고려한 새로운 회로모델을 통해 SSN을 정확히 예측할 수 있는 새로운 수식적 모델을 제시하였다. 새 모델의 정확성은 0.18 μm 공정을 바탕으로 SPICE 시뮬레이션을 통해 검증하였다. 제안한 모델을 사용하면 모델 파라미터들의 변화에 대해 매 번 SPICE 시뮬레이션 할 필요 없이 SSN을 빠르고 정확하게 예측할 수 있기 때문에 정확한 파워/그라운드 배선에서의 시그널 인테그리티를 매우 효과적으로 검증할 수 있다.

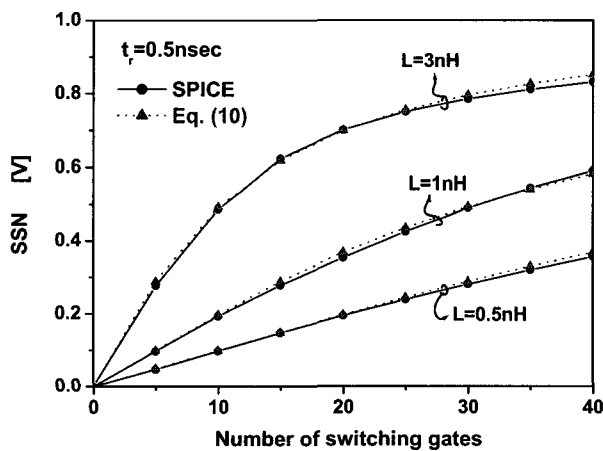
참고 문헌

[1] H. B. Bakoglu, "Circuits, interconnections and for



(a) $t_r = 1nsec$, $L = 0.5, 1, 3nH$ 인 경우

(a) $t_r = 1nsec$, $L = 0.5, 1, 3n$



(b) $t_r = 0.5nsec$, $L = 0.5, 1, 3nH$ 인 경우

(b) $t_r = 0.5nsec$, $L = 0.5, 1, 3n$

- VLSI, " Addison-Wesley, 1990.
- [2] R. Senthinathan and J. L. Prince, "Simultaneous switching ground noise calculation for packaged CMOS devices," *IEEE J. Solid-Sate Circuits*, pp. 1724-1728, Nov. 1991.
- [3] A. Vaidyanath, et al., "Effect of CMOS driver loading conditions on simultaneous switching noise," *IEEE Trans. Comp. Packag. Technol. B*, pp. 480-485, Nov. 1994.
- [4] Li Ding and P. Mazumder, "Accurate estimating simultaneous switching noises by using application specific device modeling," in *Proc. of ECE., Design, Automation and Test*, pp.1038-1043, Mar. 2002.
- [5] S. R. Vemuru, "Accurate simultaneous switching noise estimation including velocity-saturation effects," *IEEE Trans. Comp. Packag. Technol. B*, pp. 344-349, May 1996.
- [6] Y. Eo, et al., "New simultaneous switching noise analysis and modeling for high-speed and high-density CMOS IC package design," *IEEE Trans. Adv. Packag.*, vol. 23, pp. 303-312, May 2000.
- [7] B. Kanigicherla, et al., "Determination of optimum on-chip Bypass capacitor in CMOS VLSI system to reduce switching noise," in *Proc. of IEEE Symp. on Circuits and System*, vol. 3, pp. 1724-1727, Jun. 1997.
- [8] J. Choi, et al., "A methodology for the placement and optimization of decoupling capacitors for gigahertz systems", *International Conf. on VLSI Design*, pp. 156-161, Jan. 2000.
- [9] P. Larsson, "Resonance and damping in CMOS circuits with on-chip decoupling capacitance", *IEEE Trans. Circuits Syst. I*, vol. 45, pp. 849-858, Aug. 1998.
- [10] M. D. Pant, et al., "On-Chip decoupling capacitor optimization using architectural level prediction", *IEEE Trans. VLSI Syst.*, vol. 10, pp. 319-326, Jun 2002.
- [11] H. H. Chen and et al., "On-chip decoupling capacitor optimization for noise and leakage reduction," in *Proc. of IEEE Sympo. on Integrated Circuits and Systems Design*, pp. 251-255, Sept. 2003.
- [12] P. Heydari and M. Pedram, "Ground bounce in digital VLSI circuits," *IEEE Tran. VLSI Syst.*, vol. 11, pp. 108-193, Apr. 2003.

저 자 소 개



배 성 규(정회원)

1976년 07월 20일생. 2002년 2월 한양대학교 전자컴퓨터 공학부 졸업(공학사). 2003 1월~현재 한양대학교 전기전자 제어계측공학 대학원 석사과정. 주 관심 분야는 고속회로 설계

어 영 선(정회원)

한양대 전자컴퓨터 공학부 교수

심 종 인(정회원)

한양대 전자컴퓨터 공학부 교수