

논문 2004-41SD-1-3

# 산화막위에 증착된 금속박막과 산화막과의 계면결합에 영향 미치는 열처리 효과

## (Annealing Effect on Adhesion Between Oxide Film and Metal Film)

김 응 수\*

(Eung Soo Kim)

### 요 약

산화막위에 증착된 금속박막과 산화막과의 계면효과를 조사하였다. 산화막으로는 현재 반도체소자제조공정에 많이 사용되고 있는 BPSG 산화막과 PETEOS 산화막을 사용하였다. 이 두 종류의 산화막위에 적층구조의 금속박막을 형성한 후, 금속박막의 열처리에 의한 계면의 영향을 SEM (scanning electron microscopy), TEM (transmission electron microscopy), AES (auger electron spectroscopy)를 사용하여 조사하였다. BPSG 산화막위에 증착된 금속박막을 650°C 이상에서 RTP anneal을 한 경우, BPSG 산화막과 금속박막의 계면결합상태가 좋지 않았고, BPSG 산화막과 금속박막의 계면에 phosphorus가 축적된 영역을 확인하였다. 반면에 PETEOS 산화막위에 증착된 금속박막의 경우, RTP anneal 온도에 관계없이 계면결합상태는 좋았다. 본 연구에서 BPSG 산화막위에 금속박막을 증착할 경우 RTP anneal 온도는 650°C 보다 작게 하여야 함을 알 수 있었다.

### Abstract

The interfacial layer between the oxide film and the metal film according to RTP annealing temperature of metal film has been studied. Two types of oxides, BPSG and PETEOS, were used as a bottom layer under multi-layered metal films. We observed the interface between oxide and metal films using SEM (scanning electron microscopy), TEM (transmission electron microscopy), AES (auger electron spectroscopy). Bonding failure was occurred by interfacial reaction between the BPSG oxide and the multi-layered metal films above 650°C RTP anneal. The phosphorus accumulation layer was observed at interface between BPSG oxide and metal films by AES and TEM measurements. On the other hand, bonding was always good in the sample using PETEOS oxide as a bottom layer. We have known that adhesion between BPSG and multi-layered metal films was improved when the sample was annealed below 650°C.

**Keywords:** RTP anneal, BPSG, PETEOS, phosphorus, accumulation

### I. 서 론

최근의 반도체 제조 공정기술이 발달되면서 메모리 반도체의 경우 giga급까지 연구되고 있으며, 마이크로 프로세서도 0.13 $\mu$ m 공정기술로 제조되고 있다. 이렇게 집적회로의 밀집도가 높아지면서 소자의 크기는 미세

화되고 구조는 복잡해짐과 동시에 소자의 요구조건도 까다로워지고 있다<sup>[1,2]</sup>. 이러한 요구조건을 충족시키기 위해 새로운 재료개발과 공정개발을 하고 있지만, 제조 공정은 더 복잡하고 어렵게 되어 여러 가지 현상들이 반도체 공정중에 발생하고 있는데, 이런 현상들은 소자에 치명적인 영향을 주기도 한다. 이러한 현상들은 주로 다른 재료들로 구성된 박막의 계면에서 많이 나타나기에 박막의 계면현상에 대한 연구가 절실히 요구되고 있다. 현재 박막으로 많이 사용되는 것은 산화막과 금속막이다. 산화막으로서는 게이트 절연막으로 이용되

\* 정회원, 부산외국어대학교 디지털정보공학부  
(Div. Digital Information Engineering, Pusan University of Foreign Studies)  
접수일자 : 2003년12월23일, 수정완료일 : 2003년12월20일

는 극박막의 gate산화막과 메모리 소자에서의 capacitor 용 유전막이 있고, 소자간의 분리를 위한 field 산화막과 최근에 소자의 집적도가 높아지면서 기존의 LOCOS 공정에 의한 active 영역의 감소와 기판 결함 발생등의 문제점을 해결하기 위해 많이 연구되고 있는 trench를 메우기 위한 산화막이 있다. 또 design rule이 작아지면서 미세패턴 형성을 위한 사진식각공정을 용이하게 하기 위해 금속박막 형성전과 금속박막 사이에 증착되어지는 단차해소를 위한 평탄화용 산화막이다<sup>[3-6]</sup>. 금속박막으로는 고집적소자의 신뢰성문제를 해결하기 위하여 단일금속박막이 아닌 적층구조의 금속박막이 사용되고 있다. 이러한 금속박막의 적층구조에는 Al, Ti, TiN막이 많이 사용되고 있지만 최근에는 성능향상을 위해 구리배선에 관해서 연구도 활발히 진행되고 있다<sup>[7,8]</sup>.

본 논문에서는 적층구조의 금속박막이 산화막위에 형성될 경우 산화막과 금속박막과의 계면반응에 의한 영향을 조사하였다. 산화막으로서는 소자의 단차를 해소하기 위해 많이 사용되고 있는 BPSG (borophosphosilicate glass)와 PETEOS (plasma enhanced chemical vapor deposition TEOS)의 두종류의 산화막을 이용하여 Si wafer위에 성장시킨 후, 이 산화막위에 적층구조의 금속박막을 형성하였다. 이렇게 만든 소자를 열처리하여 산화막과 금속박막의 계면을 조사하였다.

## II. sample 제작

그림 1과 같은 공정순서로 P-type (100)의 bare Si wafer 위에 두 종류의 산화막을 증착시킨후, 적층구조의 금속박막을 형성하여 소자를 만들었다. Si wafer 위에 있는 자연 산화막 및 불순물들을 제거하기 위해 세정공정에 의해 wafer를 세척한 후에, 두종류의 산화막을 각각 bare Si 위에 증착시켰다. 첫번째 종류의 산화막으로는 BPSG산화막을 형성하기 위해 TEOS [tetraethylorthosilicate,  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ], TMOP [trimethylorthophosphite,  $\text{PO}(\text{OCH}_3)_3$ ], TEB [triethylborate,  $\text{B}(\text{OC}_2\text{H}_5)_3$ ]를 이용하여 APCVD(atmospheric pressure chemical vapor deposition)법으로 성장시켰다. BPSG 산화막내의 boron과 phosphorus의 농도는 각 14 mol%와 6 mol%로 전체농도가 20 mol %가 되도록 하였다. BPSG산화막 증착 후에는 막의 densification을 위해

850°C,  $\text{N}_2$  분위기에서 30분간 anneal을 하였다. 두 번째 산화막으로는 TEOS만을 이용하여 PECVD (plasma enhanced chemical vapor deposition)법으로 성장시킨

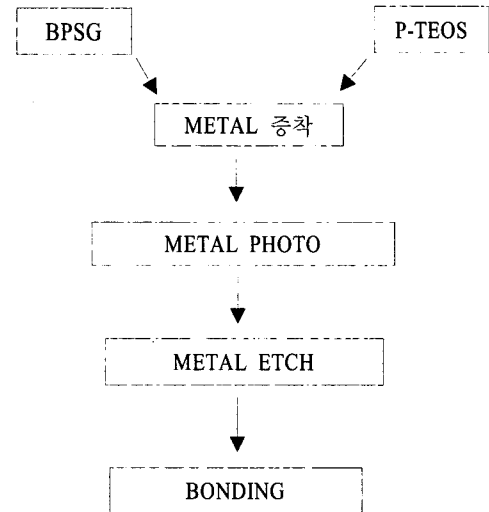


그림 1. 소자 공정 순서도

Fig. 1. Processing flowchart of samples.

PETEOS산화막으로 boron이나 phosphorus는 함유하지 않고 있다. 이렇게 성장시킨 두종류의 시료에 적층구조의 금속박막을 증착시켰다.

금속박막 형성을 위해서 먼저 sputter법으로 600 Å의 Ti 막을 산화막위에 증착시키고 연속공정으로 TiN 600 Å을 증착시킨후 650 °C,  $\text{N}_2$  분위기에서 30초간 RTP (rapid thermal process) anneal을 하였다. 이때 Ti 막 증착, TiN 막 증착과 열처리는 동일장비내에서 연속적으로 이루어져 불순물에 의한 오염을 방지하였다. 이후 공정으로 Al 막을 5000 Å 증착시킨후 anti-reflection막으로 TiN막을 400Å 증착하였다. 그 다음에 photolithography 공정을 통하여  $110 \times 110 \mu\text{m}^2$ 의 PAD구조를 갖는 소자를 제작하였다. 이렇게 만든 소자를 이용하여 본딩을 하였고, 산화막과 금속박막의 계면을 관찰하기 위하여 SEM (scanning electron microscopy), TEM (transmission electron microscopy), AES (auger electron spectroscopy)를 사용하였다. 그리고 산화막과 금속박막의 계면특성 개선을 위하여 산화막위에 Ti 막과 TiN 막을 증착시킨후 금속박막의 열처리 온도변화에 대한 산화막과 금속박막의 계면에서의 영향을 조사하였다.

## III. 실험 결과 및 검토

bare 실리콘 wafer 위에 산화막과 금속박막을 증착

한 소자를 이용하여 본딩을 실시한 결과는 표 1에 나타내었다. 여기서 소자의 제조 조건은 산화막 종류만

표 1. Bare Si wafer위에 산화막으로 PETEOS산화막과 BPSG산화막을 증착 한 후 금속박막을 형성한 소자의 본딩 결과

Table 1. The results of bonding in metal/BPSG samples and metal/PETEOS samples.

산화막	Al 막 두께	불량 시료수	전체 시료수
P-TEOS	5000 Å	0	5472
P-TEOS	5000 Å	0	5548
BPSG	5000 Å	60	2774
BPSG	5000 Å	17	1292
BPSG	5000 Å	44	3040

다를 뿐이고, 그 외 조건은 모두 동일 조건으로 하여 소자에 미칠 수 있는 나쁜 영향은 배제하였다. 금속 박막의 열처리는 650 °C, N<sub>2</sub> 분위기에서 30초간 하였다. BPSG산화막 위에 적층구조의 금속박막을 형성한 소자의 경우는 산화막과 금속박막사이의 계면결합이 좋지 않아 금속박막 부분이 떨어져 나가 본딩이 제대로 되지 않는 소자가 발생하였다. 반면 PETEOS 산화막을 사용한 소자의 경우는 본딩불량이 발생되지 않았다. Al 막 두께의 영향을 알아보기 위해서 본딩 결과가 좋은 PETEOS를 산화막으로 사용한 소자에서 열처리 조건은 표 1의 실험에 사용된 소자와 같은 조건으로 하고 Al 막두께를 6000 Å로 두껍게 한 경우에도 결과는 좋았다. 따라서 Al 막 두께가 소자의 본딩에는 영향이 미치지 않는 것으로 판단된다. BPSG 산화막위에 적층금속박막을 형성한 소자에서 본딩 불량이 발생된 소자를 SEM (scanning electron microscopy)으로 단면 관찰하면 그림 2에서 알 수 있듯이 BPSG 산화막과 금속박막사이 계면에서의 계면결합이 나빠서 본딩 불량이 발생되었음을 확인 할 수 있었다. 이것은 BPSG 산화막위에 적층구조의 금속박막 형성시 RTP anneal공정에서 산화막과 금속박막 계면에서의 반응에 의해 발생되었다고 생각된다.

BPSG 산화막위에 적층구조의 금속박막을 증착한 시료중에서 본딩불량이 발생된 시료를 AES (auger electron spectroscopy)로 분석한 결과를 그림 3에 나타내고 있다. 본딩시에 적층구조의 금속박막이 떨어져 나갔으므로 BPSG산화막 표면에서부터 분석을 하였다. 그림 3에서 보이듯이 B, P, Si, O가 검출되어 BPSG 산

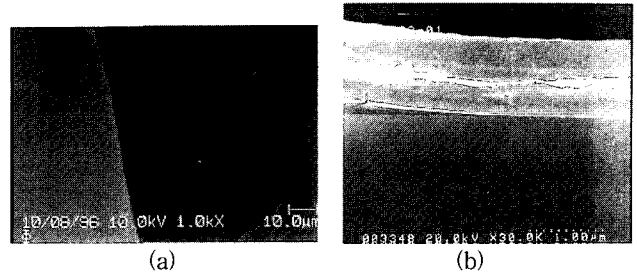


그림 2. 불량 발생된 소자의 PAD와 단면사진  
Fig. 2. SEM photographs of bad samples.

화막임을 알 수 있으며, 적층구조의 금속박막을 이룬 원소들은 검출되지 않았으므로 본딩시에 금속박막은 완전히 떨어져 나갔음을 알 수 있다. 그리고 BPSG산화막 표면에서부터 일정영역까지 phosphorus가 축적된 영역이 관측되었다. 이 phosphorus 영역은 PAD의 전 영역에서 관측되지는 않았고 일부영역에서 관측되었는데, 두께는 AES장비에서 Ar에 의한 산화막의 식각율이 분당 100 Å이기에 이것으로부터 계산하면 약 200 Å임을 알 수 있었다. 그림 4는 BPSG 산화막위에 금속박막을 증착한 시료에서 본딩 불량이 발생되지 않은 시료의 PAD를 조사한 것으로 BPSG 산화막위에 있는 금속박막을 제거 한 후에 AES로 분석한 결과이다. 여기서는 그림 3의 본딩 불량이 발생된 시료에서 관찰된 phosphorus가 축적된 영역이 BPSG산화막 표면에서 관찰되지 않았다. 또 oxygen의 profile이 산화막과 금속박막 계면에서 서로 다른 양상을 나타내는데, 본딩 불량이 발생된 시료에서의 oxygen은 산화막내에서는 일정하다가 산화막과 금속박막 계면에서부터 금속박막으로 가면서 줄어드는 경향으로 나타났다. 이것은 금속박막의 RTP anneal 공정에 의해 Ti와 O가 결합한 계면반응에 의해 발생된 것으로 판단된다. 반면 BPSG 산화막위에 금속박막이 있는 시료에서 본딩 불량이 발생한 시료의 경우는 phosphorus가 표면에 많이 적층된 것과 반대로 oxygen은 산화막 표면부근에서부터 감

소하는 양상이 나타나고 있는데, 이것은 phosphorus에 의해서 oxygen이 축출된 것으로 판단된다. PETEOS 산화막위에 금속박막을 증착한 시료의 AES 관찰결과는 그림 5에서 알 수 있듯이, BPSG 산화막을 사용한 시료에서 본딩 불량이 발생되지 않은 시료의 결과와 비슷하였다.

그림 6은 BPSG 산화막위에 금속박막을 증착한 시료중, 본딩 불량이 발생된 시료에서 BPSG산화막과 금속

박막의 계면을 TEM (transmission electron microscopy)으로 관찰한 결과이다. 그림에서 알 수 있듯이 BPSG 산화막과 금속박막의 계면에서 양상이 다른 층을 발견할 수 있는데, 이것의 두께는 약 200 Å으로

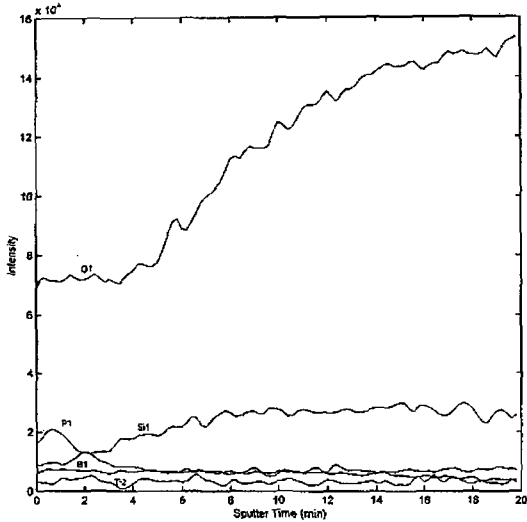


그림 3. BPSG 산화막위에 금속박막이 증착된 시료에서 불량 발생 시료의 AES 분석결과  
Fig. 3. AES depth profile of bonding failed samples consisted of metal films and BPSG oxide.

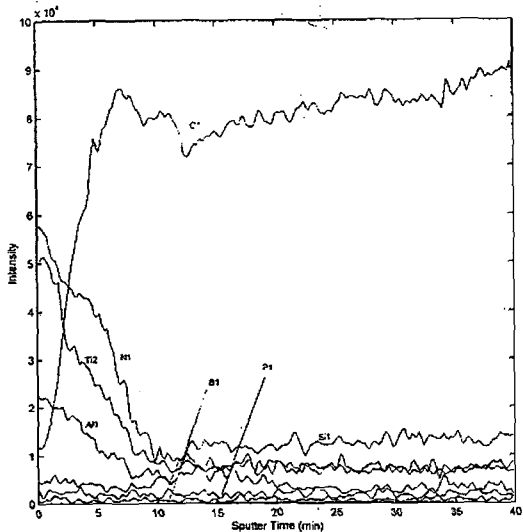


그림 4. BPSG 산화막위에 금속박막이 증착된 시료에서 정상적인 시료의 AES 분석결과  
Fig. 4. AES depth profile of normal samples consisted of metal films and BPSG oxide.

AES에서 관측된 phosphorus가 축적된 영역의 두께와 일치한다. TEM측정에서 발견된 이러한 영역은 BPSG 산화막과 금속박막의 계면전체에서 발견되는 것은 아니고 부분적으로 존재하였다. 이 결과로부터 BPSG 산

화막위에 적층구조의 금속박막을 형성한 소자의 본딩 결과에서 시료 모두가 불량나지 않고 일부분만 불량이 발생한 것은 phosphorus 적층 영역이 형성된 면적이

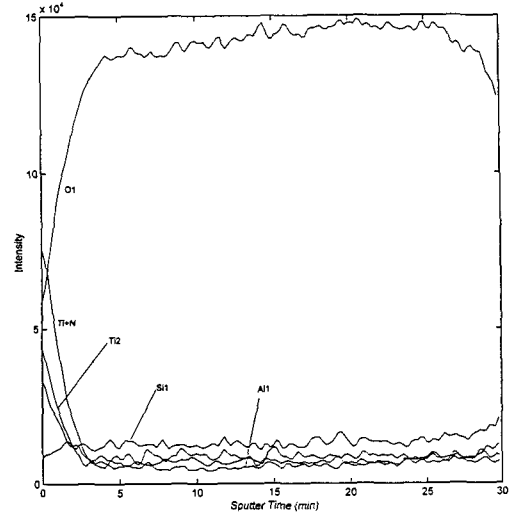


그림 5. PETEOS산화막위에 금속박막이 증착된 시료의 AES 분석결과  
Fig. 5. AES depth profile of normal pad of metal/PETEOS samples.

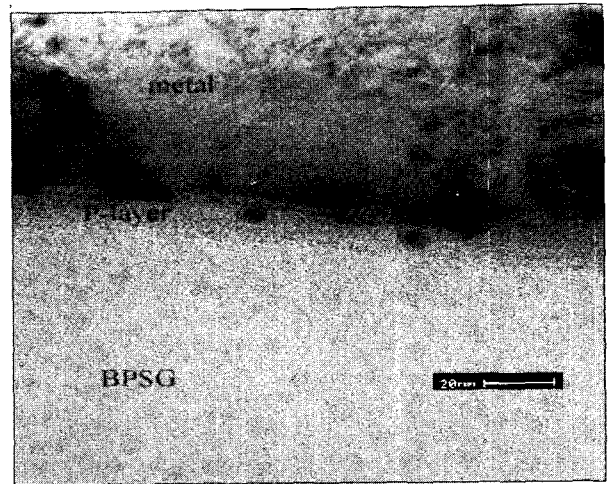


그림 6. BPSG산화막위에 적층구조의 금속박막을 형성한 소자에서 본딩 불량이 발생한 PAD영역에서 BPSG산화막과 금속박막사이 계면의 TEM 사진  
Fig. 6. TEM photograph of bonding failed sample in metal and BPSG oxide interface.

PAD 전체에서 어느 정도 이상 되었기에 본딩시 불량이 나타났고, 그렇지 않은 것은 본딩 불량이 발생하지 않은 것으로 생각된다. 그러므로 BPSG 산화막위에 적층구조의 금속박막을 형성한 소자에서 RTP anneal에 의해 BPSG 산화막과 금속박막사이 계면의 일정 영역

에서 phosphorus 적층 영역이 생성됨으로 인하여 산화막과 금속박막사이의 계면 결합이 나빠서 본딩에서 불량률이 발생한 것으로 생각된다. 금속박막의 열처리 온도에 의한 영향을 조사하기 위하여 RTP anneal 온도를 변경하여 실험을 하였는데, 결과는 표 2에 보여주고 있다. PETEOS 산화막을 사용한 소자의 경우 RTP anneal 온도와 관계없이 본딩 불량률이 발생되지 않았으나, BPSG 산화막 위에 적층구조의 금속박막을 형성한 소자의 경우는 저온에서는 본딩 불량률이 발생되지 않았으나 고온에서는 본딩 불량률이 발생되었다. 이 결과로부터 BPSG 산화막을 금속박막 아래에 두는 경우 RTP anneal 온도가 650°C 이상일 때 BPSG 산화막과 금속박막사이 계면에서의 반응으로 인하여 phosphorus 적층영역이 생성되고, 이 결과로 산화막과 금속박막사이의 계면결합이 나빠서 본딩불량률이 발생된다고 판단된다.

표 2. Bare Si wafer위에 산화막으로 PETEOS산화막과 BPSG산화막을 증착 한 후, 금속박막의 열처리 온도에 의한 소자의 본딩 결과

Table 2. The results of bonding in metal/BPSG samples and metal/PETEOS samples according to annealing temperature of metal films.

산화막	RTP anneal 온도	불량율(%)	시료수
PETEOS	no anneal	0	1872
PETEOS	650°C	0	1872
PETEOS	800°C	0	1872
BPSG	550°C	0	1872
BPSG	650°C	3.8	1872
BPSG	700°C	2.6	1872
BPSG	800°C	2.6	1872

#### IV. 결 론

Bare Si위에 BPSG 산화막과 PETEOS 산화막을 증착하고, 이들 산화막 위에 적층구조의 금속박막을 증착하여 본딩을 하였다. 본딩의 결과 PETEOS산화막위에 적층구조의 금속박막을 증착한 시료의 경우는 본딩 불

량이 발생되지 않았으나, BPSG산화막위에 적층구조의 금속박막을 증착한 시료의 경우는 산화막과 금속박막사이의 계면결합이 좋지 않아서 본딩 불량률이 발생되었다. BPSG 산화막을 사용한 소자에서 본딩 불량률이 발생한 것은 AES와 TEM측정에서 관찰하였듯이, RTP anneal공정에서 BPSG산화막과 금속박막사이 계면에서 phosphorus 적층 영역이 생성되는 것에 기인한다는 것을 알 수 있다. 그리고 이러한 계면반응은 RTP anneal온도가 650°C 이상에서 이루어지므로 BPSG 산화막위에 금속박막을 증착하여 anneal 할 경우 온도를 650°C 보다 작은 온도에서 anneal 하여야 함을 알 수 있었다.

#### 참 고 문 헌

- [1] J. D. Plummer, M. D. Deal, P. B. Griffin, *Silicon VLSI Technology, fundamentals, Practice and Modiling*, Prentice Hall, 2000.
- [2] B. Yu, "CMOS Transistor in nanoscale Era," *IEICE Trans. Electron.*, vol. E85-c, no. 5, pp. 1052-1056, 2002.
- [3] W. J. Cho, Y. C. Kim, E. S. Kim, and H. S. Kim, "Effects of oxidation ambient and low temperature post oxidation anneal on the silicon/oxide interface structure and the electrical properties of the thin gate oxide," *Jpn. J. Appl. Phys.*, vol.38, no. 1A, 12-16, 1999.
- [4] W. J. Cho, E. S. Kim, J. J. Kang, K. K. Rha, and H. S. Kim, "Annealing effect of polysilicon electrode on thin gate oxide," *Extended Abstracts (The 44th Spring Meeting, 1997); The Japan Society of Applied Physics and Related Societies*, 662.
- [5] M. Nandakumar, A. Chatterjee, S. Sridhar, K. Joyner, M. Rodder and I. C. Chen, "Shallow trench isolation for advanced ULSI CMOS technologies," *IEDM*, 1998. 133.
- [6] D. Többen, D. Groteloh, and O. Spindler, "Low dielectric constant spin-on materials for intermetal dielectric applications: A comparative study," *Proceedings of 2nd Inter. Dielectrics for VLSI/ ULSI Multilevel Interconnection Conference* 29, 1996.

- [7] Semiconductor Industry Association, "*The national technology roadmap for semiconductors*," 1999
- [8] M. Igarashi, A. Harada, H. Kawashima, N. Morimoto, Y. Kusumi, T. Saito, A. Ohsaki, T. Mori, T. Fukuda, Y. Toyonealing temperature of metal films.

---

저 자 소 개

김 응 수(정회원) 논문지 제35권 D편 8호 참조