

논문 2004-41SD-1-2

# Si p<sup>+</sup>n 접합 다이오드의 온도를 고려한 유효 이온화 계수 모델링

## (Modeling for Temperature Dependent Effective Ionization Coefficient of Si p<sup>+</sup>n Junction Diodes)

정 용 성\*

(Yong Sung Chung)

## 요 약

본 논문에서는 Si의 유효 이온화 계수를 온도 함수로 추출하였고, 이 유효 이온화 계수를 이용하여 Si p+n 접합에서의 항복 전압을 위한 해석적 표현식을 온도 함수로 유도하였다. 100K, 300K 및 500K일 경우, 해석적 항복 전압 결과는  $10^{14} \text{ cm}^{-3}$  ~  $10^{17} \text{ cm}^{-3}$ 의 농도 범위에서 실험 결과 및 시뮬레이션 결과와 비교하여 오차 범위 3% 이내로 잘 일치하였다.

## Abstract

In this paper, temperature dependence of effective ionization coefficient in Si is formulated as a single polynomial function of temperature, which allows analytical expressions for breakdown voltage of Si p+n junction as a function of temperature. The analytical breakdown voltages agree well with the simulation as well as the experimental ones reported within 3% in error for the doping concentrations in the range of  $10^{14} \text{ cm}^{-3}$  ~  $10^{17} \text{ cm}^{-3}$  at 100K, 300K and 500K.

**Keywords:** Si p<sup>+</sup>n junction, temperature dependence, effective ionization coefficient, analytical expressions, breakdown voltage, doping concentrations.

## I. 서 론

일반적인 다이오드는 낮은 주파수의 경우, 순방향에서 역 방향으로 바이어스가 변할 때에는 쉽게 차단된다. 그러나 주파수가 증가하게 되면 다이오드는 역 방향의 반주기 동안 흐르는 큰 전류를 제한시킬 만큼 빨리 차단시킬 수 없게 된다. 이것은 순방향 전류의 증가로 인한 축적 현상과 다이오드가 오프 상태일 때의 역 회복 시간 때문인데, 역 방향 회복 시간의 해결책은 쇼트키 다이오드를 사용하는 것이다. 또한, 다이오드는 전자기 내의 각종 회로에 전원을 공급하는데 이용되는데, 이와 같이 전원 회로에 사용되는 다이오드를 비롯하여 BJT, IGBT 및 Thyristor 등은 pn 접합으로 구성되며,

이러한 전력 소자에 있어서 항복 전압은 높을수록, 순방향 전압 강하는 낮을수록 좋다. 높은 항복 전압 특성을 나타내는 다이오드로는 Si p<sup>+</sup>n 접합 다이오드 및 쇼트키 다이오드 등이 이용되고 있다.

전력 소자의 최적 설계를 위해서는 주어진 항복 전압을 만족시키면서 단위 면적 당 ON 저항이 작아야 한다. Si p<sup>+</sup>n 접합 다이오드의 항복 전압은 온도에 따라 변하기 때문에, 다이오드가 기준 전압이나 정전압 전원으로 사용될 경우, 이를 채용한 제품의 성능에 심각한 영향을 미칠 수 있는 원인이 되기도 한다. 따라서 전력 소자의 설계시, 온도에 따른 항복 전압의 변화를 고려하여야 한다.

Fulop<sup>[1]</sup>은 Si 평면형 접합의 해석적인 항복 전압을 구하였고, 원통형 접합의 항복 전압은 Baliga<sup>[2]</sup>에 의하여 처음으로 유도된 바 있으나, Si의 해석적인 항복 전압을 온도의 함수로 유도한 연구 결과는 아직 알려진 바가 없다.

\* 정회원, 서라벌대학 디지털전기정보학부  
(School of Digital Electric & Information Technology, Sorabol College)

접수일자 : 2002년12월18일, 수정완료일 : 2003년12월26일

본 논문에서는 Si에 대한 온도 관련 이온화 계수,  $\alpha_T$ 와  $\beta_T$ 에 대해  $\alpha_T \approx \beta_T \approx \gamma_T$ 로 근사화시켜 온도 함수의 유효 이온화 계수를  $\gamma_T = C_T \cdot E^m$ 의 형태로 추출함으로써 평면형 p<sup>+</sup>n 접합의 항복 전압을 위한 해석적인 공식을 유도하고, 이를 이미 발표된 실험 결과 및 시뮬레이션 결과와 비교함으로써, 본 논문에서 제시한 유효 이온화계수 모델의 타당성을 검증하였다.

## II. 온도를 고려한 유효 이온화 계수 모델링

그림 1에는 역 방향 바이어스된 p<sup>+</sup>n 평면형 접합에서의 공핍층을 나타냈는데, 접합에서 p<sup>+</sup>쪽이 n쪽보다 도핑 레벨이 더 높으므로 공핍층은 n 영역 쪽으로 확장된다. 아발란치 항복은 충돌 이온화 과정이 무한대로 이루어지는 경우에 발생되는데, 이때 충돌 이온화는 공핍층을 통해 캐리어가 이동되는 동안 전자-정공 쌍이 발생하는 원인이 된다.

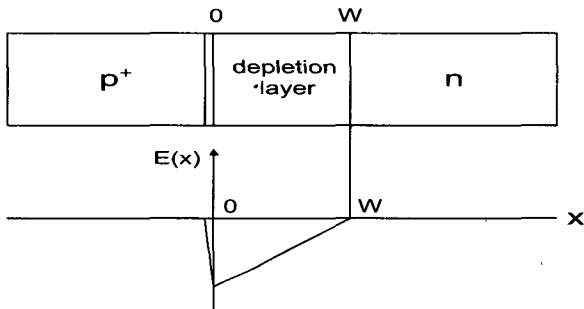


그림 1. 역 바이어스된 Si p<sup>+</sup>n 접합의 공핍층과 전계 분포  
Fig. 1. Depletion layer and electric field distribution of Si p<sup>+</sup>n junction at a reversed bias.

이때, 항복 현상은 전자와 정공의 온도 관련 이온화 계수  $\alpha_T$ 와  $\beta_T$ 가 다음 식 (1)의 조건을 만족할 때 발생한다.<sup>[3]</sup>

$$\int_0^W \beta_T \exp\left[-\int_0^x (\beta_T - \alpha_T) dx'\right] dx = 1 \quad (1)$$

여기서,  $W$ 는 공핍층 폭이고,  $\beta_T$ 는 정공에 대한 충돌 이온화 계수로서, 정공이 전계 방향을 따라 공핍층을 1 cm 횡단함으로써 생성되는 전자-정공 쌍의 수로 정의되며,  $\alpha_T$ 는 전자에 대한 충돌 이온화 계수를 나타낸다. Si의 경우에는 전자와 정공에 대해 식 (2) 및 식 (3)과 같은 온도 함수의 이온화계수,  $\alpha_T$ 와  $\beta_T$ 를 갖는다.<sup>[4]</sup>

$$\alpha_T = (0.39 + 0.13 \times 10^{-3} T) \cdot E \cdot \exp\left\{-\left(\frac{0.38 \times 10^6 + 0.33 \times 10^3 T}{E}\right)^2\right\} \quad (2)$$

$$\beta_T = (0.20 + 0.13 \times 10^{-3} T) \cdot E \cdot \exp\left\{-\left(\frac{0.54 \times 10^6 + 0.37 \times 10^3 T}{E}\right)^2\right\} \quad (3)$$

여기서,  $T$ 는 절대 온도이고,  $E$ 는 전계를 나타내며, 전계가 증가함에 따라 이온화 계수도 증가하게 되는데,<sup>[5]</sup> 이것은 전력 소자의 항복 전압을 분석하는데 중요한 요소가 된다.

따라서, 식 (2)와 (3)의 전자와 정공 이온화 계수로부터 근사화시킨 온도 함수의 유효 이온화 계수를 추출하기 위해 먼저, 각 온도에서의 전자와 정공에 대한 이온화 계수,  $\alpha_T$ 와  $\beta_T$ 에 대해  $\alpha_T \approx \beta_T \approx \gamma_T$ 가 되는 임의의 점을 선택하여,  $\gamma_T = C_T \cdot E^m$  형태로 유효 이온화 계수를 추출한다. 추출된  $\gamma_T$ 로부터 최소 자승법을 이용하여 적분이 가능한 형태로 구한 온도 함수의 유효 이온화 계수는 식 (4)와 같다.

$$\gamma_T = C_T E^m \text{ cm}^{-1} \quad (4)$$

이때,  $C_T = 1.61 \times 10^{-40} \cdot T^2 - 1.72 \times 10^{-37} \cdot T + 5.51 \times 10^{-35}$  이다. 이 식은 p<sup>+</sup>n 접합의 아발란치 항복 전압에 대한 closed-form의 해를 구하는데 유용하게 쓰여진다. 300K의 경우, 식 (4)는  $\gamma_{300} = 1.8 \times 10^{-35} \cdot E^7$ 이 되어, Fulop의 결과<sup>[11]</sup>와 잘 일치함을 알 수 있다. 식 (4)를 이용하여 구한 100K, 300K, 500K일 경우에 각 온도에서의 유효 이온화 계수를 표 1에 나타냈다.

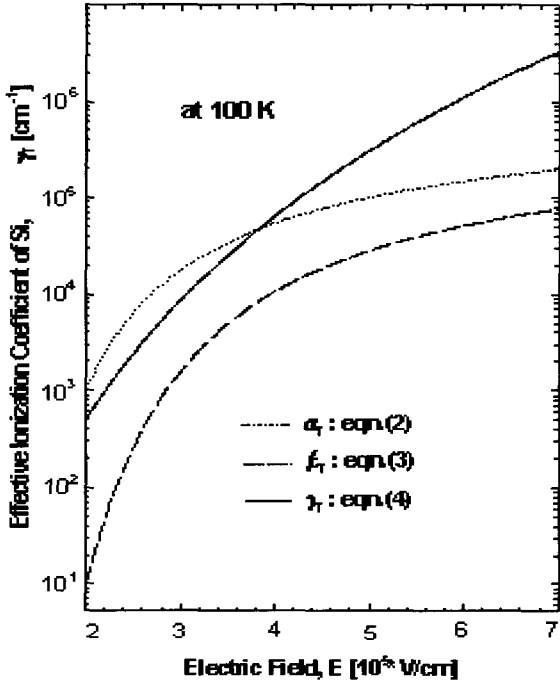
표 1. 100K, 300K, 500K일 경우의 유효 이온화계수  
Table 1. Effective ionization coefficients at 100K, 300K, 500K.

계수	T	$C_T$	$m$
100K		$3.96 \times 10^{-35}$	7
300K		$1.80 \times 10^{-35}$	
500K		$9.35 \times 10^{-36}$	

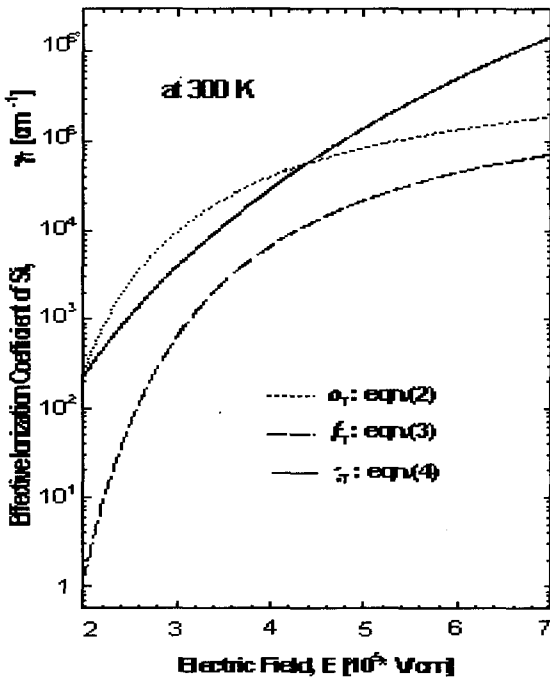
그림 2(a), 2(b) 및 2(c)에는 100K, 300K, 500K일 경우,  $2 \times 10^5 \text{ V/cm} \sim 7 \times 10^5 \text{ V/cm}$ 의 전계 범위에서 Si의 전자 및 정공의 이온화 계수  $\alpha_T$  및  $\beta_T$ 와 추출한 유효 이온화 계수  $\gamma_T$ 를 각각 나타냈다. 그림 2에서  $\gamma_T$ 가 높은 전계의 경우에  $\alpha_T \approx \beta_T \approx \gamma_T$ 인 관계와 차이를 나타낸 것은  $\gamma_T$  추

출에 있어 경험적 방법을 이용함으로써 나타난 결과로서, 근사화시킨 유효 이온화 계수를 이용하더라도  $\text{Si}^{[1]}$ ,  $\text{InP}^{[6]}$  및  $\text{GaAs}^{[7]}$ 의 경우, 항복 전압 결과가 실험 결과와 큰 오차를 나타내지 않는 것으로 알려져 있다.

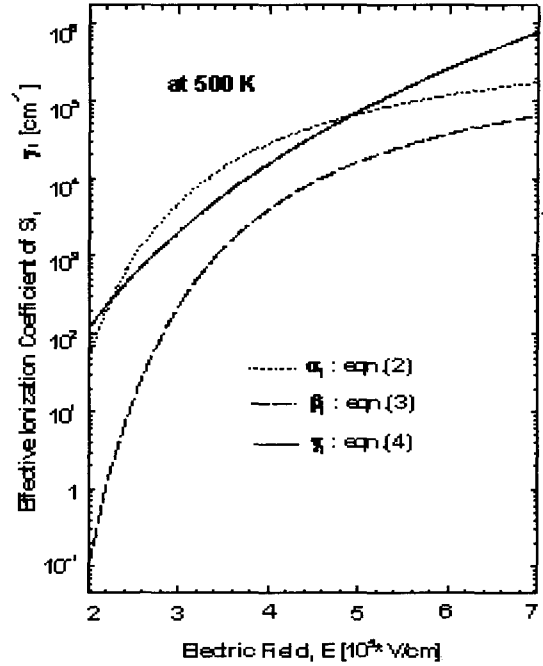
따라서, 온도 함수의 유효 이온화계수,  $\gamma_T$ 를 사용하면 식 (1)의 항복 조건은 식 (5)와 같이 단순화된다.<sup>[8]</sup>



(a)



(b)



(c)

그림 2. 100K, 300K, 500K에서 전계에 따른 Si의 유효 이온화 계수

(a) 100K (b) 300K (c) 500K

Fig. 2. Effective ionization coefficient as a function of electric field for Si at 100K, 300K, 500K. (a) 100K (b) 300K (c) 500K

$$\int_0^W \gamma_T dx = 1 \quad (5)$$

여기서,  $W$ 는  $n$  영역으로 확산되는 공핍층 폭으로서, 이온화 과정이  $W$ 까지 이루어지는 것으로 가정하여 적분을 수행한다. 식 (1)을 통해 이온화 적분을 수행할 경우, 복잡한 과정을 거쳐야 하는 것과는 달리, 식 (5)를 이용함으로써 전계  $E$ 만의 함수로 된 유효 이온화 계수를 적분하게 되어, 간단히 항복 전압을 구하게 된다.

한편, 한쪽 도핑 농도가 다른 쪽에 비해 상당히 높고, 그 농도는 일정하다고 가정한 계단형 접합의 경우에 공핍층은 그림 1과 같이 얇게 도핑된 쪽으로 확장된다. 역방향 바이어스 전압이 인가된  $p^+n$  접합의 경우에는  $p^+$  쪽의 높은 도핑 농도로 인해 공핍층이  $n$ 형 쪽으로 확산되기 때문에 1차원 Poisson 방정식이  $n$ 형 쪽에 적용되어 식 (6)이 된다.

$$\frac{d^2 V}{dx^2} = -\frac{\rho}{\epsilon_s} = -\frac{qN_D}{\epsilon_s} \quad (6a)$$

$$E(x) = -\frac{dV}{dx} \quad (6b)$$

여기서,  $\rho$ 는 전하 밀도,  $\epsilon_s = \epsilon_0 \lambda_s$ ,  $\epsilon_0 = 8.85 \times 10^{-14}$

$F/cm$ 는 진공 유전율,  $x_s$ 는 실리콘의 비유전율,  $q$ 는 전자의 전하,  $N_D$ 는 도너의 도핑 농도이다.

또한, 식 (6a)를 적분하고  $E(W)=0$ 의 경계 조건을 이용하면 식 (7)의 전계식이 구해진다.

$$E(x) = -\frac{qN_D}{\epsilon_s} (W-x) \quad (7)$$

이때, 거리에 따라 선형적으로 변화하는 전계 분포는 그림 1에서와 같다.

계단형 p<sup>+</sup>n 접합 다이오드의 항복 전압을 구하기 위해 먼저 전계 분포 식 (7)을 온도 함수의 유효 이온화 계수 식 (4)에 대입하면, 식 (8)이 된다.

$$\begin{aligned} \gamma_T &= C_T \left\{ \frac{q \cdot N_D}{\epsilon_s} (W-x) \right\}^7 \\ &= C_T \{ 1.53 \times 10^{-7} N_D (W-x) \}^7 \end{aligned} \quad (8)$$

다시 이 식 (8)을 식 (5)의 이온화 적분식에 대입하면 식 (9)가 된다.

$$\int_0^W C_T \{ 1.53 \times 10^{-7} N_D (W-x) \}^7 dx = 1 \quad (9)$$

따라서, 식 (9)로부터 항복시 공핍층 폭,  $W_c$ 는 식 (10)과 같이 구해진다.

$$W_c = \frac{1.19 \times 10^6 \cdot N_D^{-0.88}}{C_T^{0.12}} \quad (10)$$

100K, 300K, 500K일 경우, 항복시 공핍층 폭,  $W_c$ 를 농도의 함수로 그림 3에 나타냈다. 그림 3으로부터 Si의 항복시 공핍층 폭이 도핑 농도가 높을수록 점차 감소함을 나타냈는데, 이것은 p<sup>+</sup>n 접합에서 낮은 농도쪽으로 공핍층 폭이 더 많이 확산되는 것을 의미하는 것이다.

또한, 아발란치 항복을 위한 임계 전계,  $E_c$ 는 식 (7)에서  $x=0$ 일 경우에 식 (11)과 같이 구해진다.

$$E_c = \frac{qN_D W_c}{\epsilon_s} = 1.53 \times 10^{-7} N_D \cdot W_c \quad (11)$$

여기서, 식 (10)을 식 (11)에 대입하면 다음 식 (12)가 된다.

$$E_c = \frac{1.82 \times 10^{-1} \cdot N_D^{0.12}}{C_T^{0.12}} \quad (12)$$

이와 같은 임계 전계는 소자의 아발란치 항복을 결정하는 중요한 요소이며, 계단형 접합에 대한 위의 모든 해석식은 다양한 p<sup>+</sup>n 접합에 대한 기초 변수를 예측하는데 유용하게 사용된다. 100K, 300K, 500K일 경우, 임계 전계를 농도의 함수로 그림 3에 나타냈다. 그림 3으로부터

농도가 같을 경우 온도가 증가함에 따라 항복 전계가 증가함을 알 수 있다.

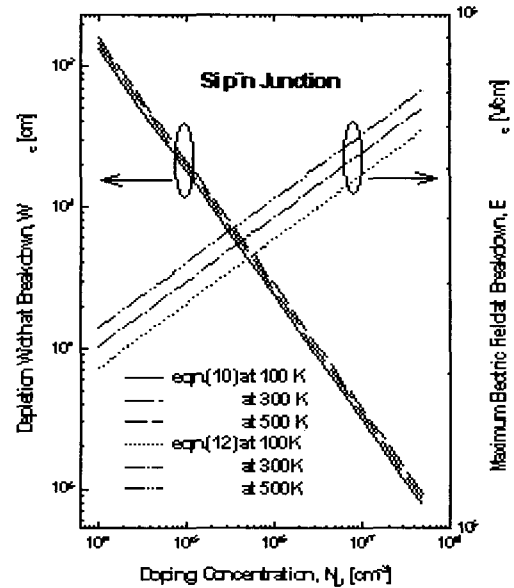


그림 3. 100K, 300K, 500K일 경우 도핑 농도에 따른 Si p<sup>+</sup>n 접합의 항복시 공핍층 폭과 최대 항복 전계  
Fig. 3. Depletion layer width and maximum electric field as a function of doping concentration for Si p+n junction at breakdown at 100K, 300K, 500K.

한편, 전위 분포는 식 (7)을 적분하면 다음 식 (13)과 같아진다.

$$V(x) = -\frac{qN_D}{2\epsilon_s} (W-x)^2 \quad (13)$$

$x=0$ 의 경우, 식 (13)은 식 (14)가 되고,<sup>[9]</sup> 따라서 계단형 접합 다이오드의 항복 전압은 식 (14)에 식 (10)을 대입하여 식 (15)가 된다.

$$V_B = \frac{qN_D W^2}{2\epsilon_s} \quad (14)$$

$$V_B = \frac{1.08 \times 10^5 \cdot N_D^{-0.75}}{C_T^{0.25}} \quad (15)$$

100K, 300K, 500K일 경우, 식 (15)로부터 구한 해석적 항복 전압을 표 2에 정리하였다.

100K, 300K, 500K일 경우, Si 항복 전압의 해석적 결과를 그림 4에 나타냈으며, 기존의 실험 결과<sup>[3,8,10]</sup> 및 MEDICI 시뮬레이션 결과와 비교하였다.

한편, 충돌 이온화에 따른 전자-정공 쌍의 생성율은 Selberherr<sup>[11]</sup>에 의해 모형화되는데, 전계 함수의 전자와 정공의 이온화 계수,  $\alpha$  및  $\beta$ 를 Selberherr 모형으로 나

표 2. 100K, 300K, 500K일 경우, Si의 해석적 항복 전압  
Table 2. Analytical breakdown voltage of Si at 100K, 300K, 500K.

농도(cm <sup>-3</sup> ) \ 온도	100K	300K	500K
10 <sup>14</sup>	1370	1670	1970
10 <sup>15</sup>	244	297	350
10 <sup>16</sup>	43.3	52.8	62.2
10 <sup>17</sup>	7.71	9.38	11.1
5×10 <sup>17</sup>	2.30	2.81	3.31

타내면 식 (16)과 같다.

$$\alpha, \beta = A_{\alpha, \beta} \exp\left\{-\left(\frac{b_{\alpha, \beta}}{E}\right)^m\right\} \quad (16)$$

300K일 경우, MEDICI 시뮬레이션을 위해 Overstraeten의 Si에 대한  $\alpha$ 와  $\beta$ <sup>[12]</sup>를 이용하였고, 각 온도에서의  $\alpha$ 와  $\beta$ 를 구하기 위해 표 3과 같은 A와 b에 대한 온도 계수<sup>[9]</sup>를 이용하였다.

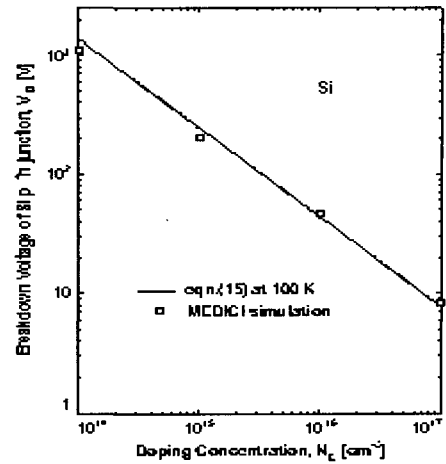
표 3. Si의  $\alpha$ 와  $\beta$ 에 대한 A와 b의 온도 계수<sup>[9]</sup>  
Table 3. Temperature coefficient of A and b according to  $\alpha$  and  $\beta$ .

A, b \ semiconductor	$\frac{1}{A} \cdot \frac{dA}{dT}$ [ 10 <sup>4</sup> K] <sup>-1</sup>	$\frac{1}{b} \cdot \frac{db}{dT}$ [ 10 <sup>4</sup> K] <sup>-1</sup>
Si	19.6	8.25

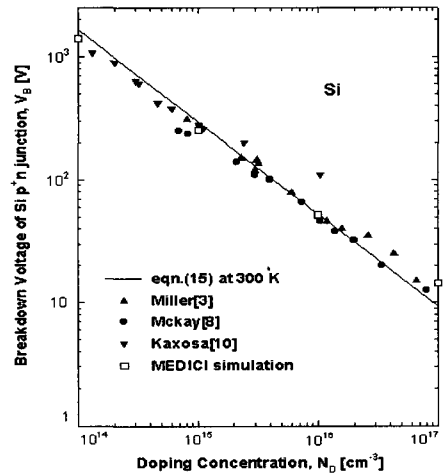
또한, 온도 계수를 이용하여 구한 온도에 따른 Si의  $\alpha$ 와  $\beta$ 에 대한 계수 A와 b를 표 4에 나타냈다.

표 4. Si의  $\alpha, \beta$ 의 온도에 따른 A와 b의 변화  
Table 4. Variation of A and b according to temperature of  $\alpha$  and  $\beta$ .

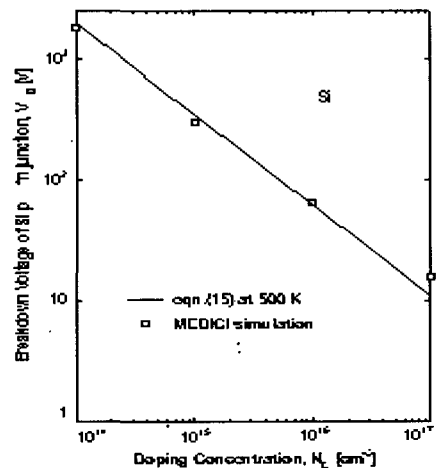
$\alpha, \beta$ \ 온도	$\alpha$			$\beta$		
	A [10 <sup>5</sup> cm <sup>-1</sup> ]	b [10 <sup>5</sup> V/cm]	m	A [10 <sup>6</sup> cm <sup>-1</sup> ]	b [10 <sup>6</sup> V/cm]	m
100K	4.73	10.43	1	1.08	1.70	1
300K	7.00	12.30		1.60	2.00	
500K	10.36	14.51		2.37	2.36	



(a)



(b)



(c)

그림 4. 100K, 300K, 500K의 경우 도핑 농도에 따른 Si p+n 접합의 항복 전압

Fig. 4. Breakdown voltage as a function of doping concentration for Si p+n junction at 100K, 300K, 500K.  
(a) 100K (b) 300K (c) 500K

### III. 결과 및 고찰

Si 평면형 p<sup>+</sup>n 접합의 전자와 정공의 온도 관련 이온화 계수,  $\alpha_T$ 와  $\beta_T$ 로부터 온도 함수의 유효 이온화 계수,  $\gamma_T$ 을 근사적으로 추출하여 항복 전압을 위한 해석적인 표현식을 온도 함수로 유도했다. 근사 유효 이온화 계수를 이용하여 얻은 해석적 항복 전압은 각 온도에서 3% 이내의 오차를 나타냈다. 300K일 경우에는 실험 결과<sup>[3,8,10]</sup> 및 시뮬레이션 결과를 해석적 항복 전압 결과와 비교하였는데,  $10^{14} \text{cm}^{-3} \sim 10^{17} \text{cm}^{-3}$ 의 도핑 농도 범위에서 거의 일치하였고, 특히 시뮬레이션 결과가 실험 결과와 잘 일치하는 것으로 보아 100K 및 500K의 경우, 해석적 결과와 시뮬레이션 결과를 비교하는 것이 타당함을 입증할 수 있다. 100K와 500K의 경우에는 Si의 해석적 항복 전압 결과를 검증하기 위해 300K일 경우의 시뮬레이션에 적용시킨  $\alpha$  및  $\beta$ 와 다른 이온화 계수를 각 온도에 대해 MEDICI에 적용시킴으로써 시뮬레이션을 수행하였다. 각 온도에서 Si의 해석적인 항복 전압은 모두 임의의 농도에 대해 온도가 증가함에 따라 증가하였는데, 이것은 계단형 접합 다이오드가 아발란치 증배로 인해 항복 현상이 발생될 때 항복 전압이 양(+)의 온도 계수를 나타내게 되어, 온도가 증가함에 따라 에너지 갭이 증가하기 때문이다.<sup>[9]</sup>

### IV. 결론

Si p<sup>+</sup>n 접합의 전자와 정공의 온도 관련 이온화 계수로 부터 유효 이온화 계수를 온도 함수로 추출하였고, 이를 이용하여 온도 함수의 항복 전압을 위한 해석적 표현식을 유도하였다. Si에 대한 해석적 결과는 300K의 경우, 실험 및 시뮬레이션 결과와 잘 일치하였으며, 100K와 500K에서는 Si의 해석적 결과가 MEDICI 시뮬레이션 결과와 비교해 오차 3% 이내로 잘 일치하였다. Si p<sup>+</sup>n 접합의 항복 전압은 온도가 증가함에 따라 증가함을 나타냈다.

Si p<sup>+</sup>n 접합의 해석적인 유효 이온화 계수는 동작시 내부 온도가 높은 전력 반도체 소자의 설계에 유용하리라 기대된다.

### 참고 문헌

- [1] W. Fulop, "Calculation of Avalanche Breakdown of Silicon p-n Junctions," *Solid State Electronics*, vol. 10, pp. 39-43, 1967.
- [2] B. J. Baliga, *Modern Power Devices*, Wiley, New York, pp. 62-92, 1987.
- [3] S. L. Miller, "Ionization Rates for Holes and Electrons in Silicon," *Physical Review*, vol. 105, no. 4, pp. 1246-1249, 1957.
- [4] Y. Okuto and C. R. Crowell, "Threshold Energy Effect on Avalanche Breakdown Voltage in Semiconductor Junction," *Solid State Electronics*, vol. 18, pp. 161-168, 1975.
- [5] H. Kressel and G. Kupsky, "The Effective Rate for Hot Carriers in GaAs," *INT. J. Electronics*, vol. 20, no. 6, pp. 535-543, 1966.
- [6] T. H. Moon, Y. I. Choi, and S. K. Chung, "Calculation of Avalanche Breakdown Voltage of the InP p<sup>+</sup>n Junction," *Solid-State Electronics*, vol. 37, no. 1, pp. 187-188, 1994.
- [7] Y. S. Chung, S. Y. Han, Y. I. Choi, and S. K. Chung, "Closed-form Analytical Expressions for the Breakdown Voltage of GaAs Parallel-plane p<sup>+</sup>n Junction in <100>, <110>, and <111> Orientations," *Solid State Electron.*, vol. 39, no. 11, pp. 1678-1680, 1996.
- [8] K. G. McKay, "Avalanche Breakdown in Silicon," *Physical Review*, vol. 94, no. 4, pp. 877-884, 1954.
- [9] P. Mars, "Temperature Dependence of Avalanche Breakdown Voltage in p-n Junctions," *Int. J. Electronics*, vol. 32, no. 1, pp. 23-37, 1971.
- [10] R. A. Kokosa, R. L. Davies, "Avalanche Breakdown of Diffused Silicon p-n Junction," *IEEE Transactions on Electron Devices*, vol. ED-13, no. 12, 1966.
- [11] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*, Wien, Austria: Springer-Verlag, 1984.
- [12] R. Van Overstraeten and H. DeMan, "Measurement of the Ionization Rates in Diffused Silicon p-n Junctions," *Solid State Electron.*, vol. 13, pp. 583-608, 1970.

### 저자 소개



정용성(정회원)

1978년 2월: 아주대학교 전자공학과 졸업(공학사). 1988년 2월: 한양대학교 대학원 산업공학과 졸업(공학석사). 1999년 2월: 아주대학교 대학원

전자공학과 졸업(공학박사). 1996년 3월~현재: 서라벌대학 디지털전기정보학부 교수. <주관심분야 : 반도체 소자, 모델링>