

PECVD에 의한 비정질 불화탄소막의 증착 및 특성분석

김호운 · 신장규[†] · 권대혁* · 서화일**

Deposition and Analysis of Fluorinated Amorphous Carbon Thin Films by PECVD

Howoon Kim, Jang-Kyoo Shin[†], Dae-Hyuk Kwon*, and Hwa-Il Seo**

Abstract

The fluorinated amorphous carbon thin films (a-C:F) were deposited by PECVD(plasma enhanced chemical vapor deposition). The precursors were C_4F_8 which had a similar ratio of target film's carbon to fluorine ratio, and Si_2H_6/He for capturing excessive fluorine ion. We varied deposition condition of temperature and working pressure to survey the effect of each changes. We measured dielectric constant, composition, and etc. At low temperature the film adhesion to substrate was very poor although the growth rate was very high, the growth rate was very low at high temperature. The EDS(energy dispersive spectroscopy) result showed carbon and fluorine peak for films and Si peak for substrate. There was no oxygen peak.

Key Words : PECVD, a-C:F, C_4F_8 , Si_2H_6

1. 서 론

현재 반도체 소자의 동작속도는 과거에 비해 매우 빨라졌으며 앞으로도 계속 증가 할 것이다. 이러한 동작 속도의 향상을 위해서는 능동소자의 동작속도를 증가시키는 것이 매우 중요하고 지금까지 소자의 속도의 향상은 주로 능동소자의 동작속도를 증가시키는 것이 중점이 되어왔다. 능동소자 즉, MOS트랜지스터의 동작 속도를 높이기 위해서는 게이트의 길이를 줄여야 하고, 높은 성능의 회로를 구현하기 위해서는 다층의 배선이 필요하게 되었다. 배선간의 간격이 줄어들고 여러 층의 배선이 사용되면 배선간의 지연시간에 의한 속도 저하가 매우 커지게 된다. 이 배선간의 지연시간은 이전의 낮은 집적도의 반도체소자에서는 크게 나타나지 않았으나 현재와 같이 높은 집적도를 가진 칩에

서는 매우 큰 시간지연을 유발 할 수 있다. 배선간 지연시간의 근본적인 원인은 층간 절연 물질이 가지는 기생 용량과 금속 배선이 가지는 저항이다. 따라서 지연시간을 줄이기 위해서는 기생용량을 줄이던가 금속 배선의 저항값을 낮추어야 한다. 이에 따라 물질의 고유한 값인 비유전율과 저항율을 바꾸는 방법이 많이 연구되고 있다. 저항율을 바꾸는 방법은 현재 반도체 공정에서 주로 사용되고 있는 알루미늄에 비해 낮은 전도도를 가지는 물질로 후보가 많지 않고, 전기적인 특성을 고려해서 차세대 배선금속 재료로는 구리의 사용이 거의 확정적이다. 하지만 차세대 층간 절연 물질의 후보는 아직 확정적이지 못하는데 이것은 기존의 절연 물질이었던 이산화규소(SiO_2)의 비유전율인 약 3.8 미만의 물질로서 물리 화학적 안정성이 높은 물질이 발견 되지 못했기 때문이다. 현재 새로운 물질의 개발을 위해 많은 연구가 진행 중에 있다.

차세대 층간 물질 개발에 있어서 여러 가지 방안이 고려되어 왔는데, 기존의 물질의 특성을 살펴보면, 불소의 전기 음성도가 매우 높기 때문에 불소의 함량이 많아질수록 비유전율이 낮아지는 것을 알 수가 있다. 이러한 현상을 이용하여 기존 물질인 이산화규소에 불소를 첨가한 형태인 $SiOF$ 도 연구가 되어 상당한 진척

경북대학교 전자공학과(Department of Electronics, Kyungpook National University)

*경일대학교 전자정보공학과(School of Electronic & Information Engineering, Kyungil University)

**한국기술교육대학교 정보기술공학부(School of Information Technology, Korea University of Technology and Education)

[†]Corresponding author: jkshin@ee.knu.ac.kr

(Received : February 9, 2004, Accepted : March 2, 2004)

을 보였다. 하지만 단순히 SiO₂에 불소를 첨가하는 방식으로는 비유전율을 낮추는 것에 한계가 있고 결국 비유전율이 진공의 유전율인 1에 근접한 값을 가지는 물질의 개발이 최종 목표가 된다.

반도체 공정에서 사용가능하고 실제 칩응용이 될려면 공정상 필요한 고온의 여러 처리과정을 견뎌야 하기에 증간절연물질은 매우 높은 열적 안정성을 지녀야 한다. 이러한 관점에서 증간절연물질의 열적 안정성은 낮은 비유전율 다음의 중요한 요소로 되어있다. 불소의 비율과 열적 안정성의 상관관계를 보면, 불소의 비율이 높아질수록 비유전율은 낮아지면서 열적 안정성이 높아지는 현상을 보인다.

탄소는 결합방식에 따라 매우 다른 열적 안정성을 보인다. 교차결합의 비율이 증가할수록 매우 높은 열적 안정성을 보인다. 이러한 것을 바탕으로 비유전율을 낮추면서 열적 안정성을 향상시키기 위해 탄소와 결합되어 탄소의 교차결합 구조를 가져 낮은 비유전율을 가지면서 높은 열안정성을 가지는 불화탄소막이 연구되어 왔다^[1,2].

본 연구에서는 탄소와 불소의 비를 비슷하게 하여 탄소의 교차결합을 유도하여 높은 열적 안정성을 이루고, 낮은 비유전율을 가진 비정질 불화탄소막을 성장하였다. 이러한 낮은 비유전율을 가지는 막은 정전기 등에 의한 정전유도현상에서 발생된 외부잡음에 둔감할 것이므로 반도체 소자의 절연막 뿐만 아니라 센서 감지부 보호막으로도 사용이 가능할 것이다.

본 실험에서는 온도와 압력의 변화에 따라 제조된 막의 성장속도 및 수축율을 측정하였다. 아울러 C-V분석에 의해 비유전율을 측정하고, EDS 측정을 통하여 막의 조성을 분석하였다.

2. 비정질 불화탄소막의 증착

그림 1은 비정질 불화탄소막 증착에 사용된 PECVD 장비의 개략도이다. 사용된 장비는 분위기압, RF전력, 기체의 유입량 등을 조절할 수 있다. 회로 선폭이 좁아지고 트렌치가 깊어지는 현재의 반도체 공정에서 깊은 트렌치의 내부까지 막이 증착되고 비교적 낮은 온도에서 증착이 가능한 PECVD는 차세대 반도체 공정에도 적용이 수월하다.

진공챔버는 물론 냉각되는 방식의 콜드월(cold wall) 형태이고, 평행전극의 직경은 10인치, 전극사이의 간극은 1인치였다.

비정질 불화탄소막을 성장하는데 있어서 전구체로 막의 원료물질기체의 중요성과 더불어 막의 성장에 직

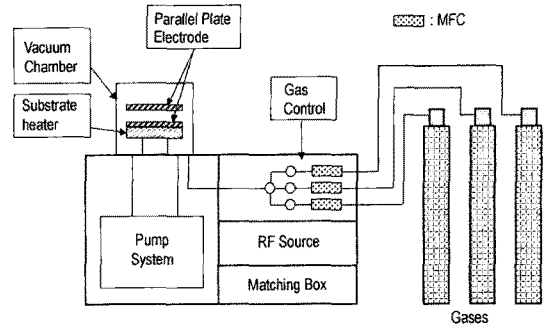


그림 1. 사용된 PECVD 장비의 개략도
Fig. 1. The simplified diagram of PECVD.

접적으로 관계하지 않지만 간접적 영향을 미치는 운반 기체의 중요성이 매우 높다.

기존의 불화탄소막의 제조에 많이 사용된 원료기체는 CF₄였다. CF₄는 반도체 공정에서 많이 사용되는 기체로 중요한 불소의 공급원이다. 하지만 CF₄의 탄소에 대한 불소의 비율이 4이므로 (C:F=1:4) 기판 세정이나 건식에칭 등에 사용하기에는 적당하지만 불화탄소막을 성장하기에는 조건이 까다롭게 된다. 그 이유는 반응에 참가하지 않는 불소이온이 과잉으로 존재하기 때문이다. 플라즈마에 의해 분자에서 해리되어 나온 이러한 과잉의 불소이온은 일반적으로 매우 활성의 이온이며 전기음성도가 매우 크므로 막의 성장에 방해가 되며 또한 이미 성장된 막을 식각하는 등 부작용을 유발한다. 따라서 높은 증착속도와 양질의 막을 얻기 위해서는 과잉의 활성 불소 이온을 제거하는 것이 중요하다^[3-5].

본 연구에서는 과잉의 불소의 발생을 억제하기 위해서 불소의 탄소에 대한 비율이 CF₄에 비해 훨씬 낮은 C₄F₈을 사용하였다.

C₄F₈의 불소의 탄소에 대한 비율은 2이므로, CF₄에서 발생했던 과잉 불소이온의 양보다 훨씬 적게 발생하므로 양질의 고속성장이 가능하다.

CF₄ 대신 C₄F₈을 사용하여 과잉 불소이온의 양을 상당부분 억제하였지만 여전히 불소이온의 발생 양이 탄소에 비해 훨씬 많아서 막의 성장을 방해할 수 있기에 과잉의 불소이온과 반응-제거하여 막에 악영향을 적게 주게 하고 원료기체의 운반에 도움을 주기 위한 운반 기체로 Si₂H₆/He(5% Si₂H₆, 95% He)혼합기체를 사용하였다. Si₂H₆는 반도체공정에서 CVD로 이산화규소를 성장할 때 많이 사용되는 기체로 잘 알려져 있다. Si₂H₆의 플라즈마에 의한 분해시 생기는 실리콘과 수소 이온이 모두 불소이온을 포획하여 배출 될 수 있다^[6].

이번 연구에서 사용된 원료기체와 공정방법은 모두

현재 반도체 공정에서 많이 사용되는 기체이며 공정법으로 신뢰성이 높으며, 기존의 연구에서 이번 연구의 Si_2H_6/He 의 목적으로 많이 사용되는 수소(H_2)기체나 메탄(CH_4)기체에 비해 Si_2H_6/He 혼합기체는 비교적 안전하다고 할수 있다.

막은 (100)방향성을 가지는 p-형 실리콘 기판위에 증착하였다. 실리콘 기판은 실험 직전에 초기세정공정을 수행하여 자연적으로 형성되었을 수 있는 이산화실리콘과 각종 오염물질을 제거하였다.

원료기체중 Si_2H_6 는 산소와 반응하여 이산화규소를 형성할수 있으므로 막 증착이 제대로 수행되었는지 확인하기 위한 물질 분석에서 산소의 함유 여부가 중요한 변수가 될 수 있으므로 표면 분석에 방해가 될 수 있는 이산화규소의 제거가 매우 중요하다고 생각했다.

이러한 제조장비와 원료기체를 가지고 차세대 층간 절연 물질에 적합한 특성인 낮은 비유전율과 높은 열적 안정성을 가지는 막의 제조를 위해 다양한 실험 조건을 가지고 막의 증착을 행하였다.

3. 측정 및 고찰

그림 2에 각 조건별로 증착된 막의 두께 변화를 나타내었다. 실제 실험에서는 기판온도를 $75^{\circ}C \sim 200^{\circ}C$ 사이에서 $25^{\circ}C$ 의 간격으로 변화시켰으나, $200^{\circ}C$ 의 경우 증착된 막의 두께가 너무 얇아서 신뢰성있는 측정을 할 없었기 때문에 그림 2에서는 $200^{\circ}C$ 결과를 제외하였으며, 각각의 온도 조건에서 분위기압은 100 mTorr ~ 800 mTorr 사이에서 100 mTorr의 간격으로 변화시켰다. 기판 온도와 분위기압을 제외한 나머지 증착조건은 RF 플라즈마 전력 300 W, 증착시간 10분으로 동일하였다. 동일한 증착시간을 적용하였으므로 두께가 두꺼울수록 높은 성장속도를 나타낸다.

막 두께 측정은 광학적 방법으로 막의 두께를 측정하는 장치인 N & K 1280 analyzer를 사용하였다.

그림 2에서 나타난 대로 막의 성장속도는 분위기압이 증가할수록 기판 온도가 낮을수록 증가하는 것을 보인다. 변화비율은 온도와 분위기압 각각의 변화에 대해 비교적 선형적인 변화를 보이는 것을 알 수 있다. 그리고 분위기압이 증가할수록 온도에 따라 증착되는 두께의 변화가 크게 나타나는 것으로 온도가 증착율을 결정짓는 더 중요한 요소인 것을 알 수가 있다. 그리고 그래프에 나타나 있지 않지만 실험에서 $200^{\circ}C$ 의 조건에서는 모두 매우 낮은 증착율을 보여서 정확한 두께 비교를 하기 힘들었다.

실제 실험에서 승온조건은 기판 온도가 정해진 온도

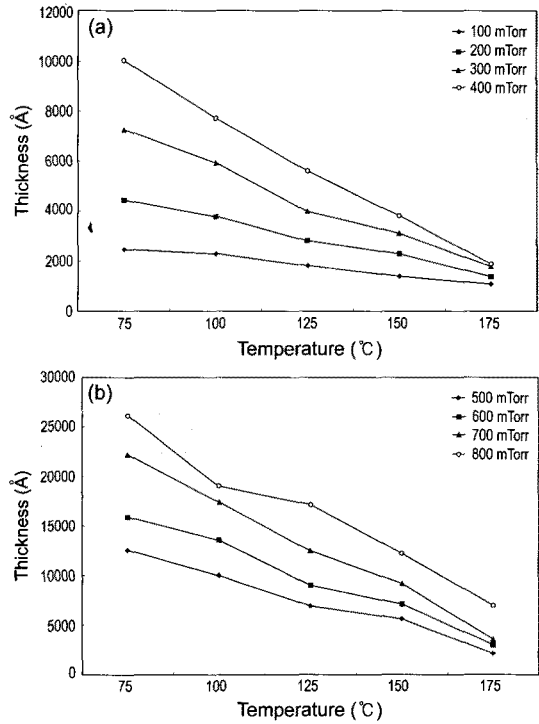


그림 2. 증착온도와 분위기압의 변화에 따른 증착 두께의 변화; (a) 분위기압 100 mTorr~400 mTorr, (b) 분위기압 500 mTorr~800 mTorr

Fig. 2. The thickness change as a function of temperature and pressure; (a) Pressure 100 mTorr~400 mTorr and (b) Pressure 500 mTorr~800 mTorr.

에까지 도달하는 시간을 한시간으로 하여 매우 낮은 승온 조건이었다.

실제 상온($25^{\circ}C$)과 $50^{\circ}C$ 에서도 막의 증착 실험을 수행하였으나 매우 불균일한 막의 성장이 되었고, 성장된 막의 실리콘 기판과의 부착성이 매우 나쁘게 나와서 제대로된 막의 성장으로 간주하기 힘들어 측정결과에서 제외하였다.

또한 $200^{\circ}C$ 를 넘어선 조건에서는 막의 증착을 확인하기 어려울 정도로 낮은 증착을 보였다. 그리고 $300^{\circ}C$ 근처의 기판온도에서는 실리콘 기판을 부식하여 기판이 육안으로 보아도 거칠어지는 현상이 발생하였다. 따라서 온도가 높을수록 높은 에너지로 활성화된 불소 이온이 많아지고 막의 성장을 방해하며 과도한 온도에서는 막은 성장되지 못하며, 오히려 기판이 식각되는 것을 알 수 있다. 따라서 $200^{\circ}C$ 초과의 실험 데이터는 비정질 불화막의 증착 실험에는 의미가 없다고 결론짓고 이 연구에서는 제외했다.

막의 증착후 막의 열적 안정성을 알아보기 위해 열

표 1. 온도와 분위기압의 변화에 따른 수축율의 변화
Table 1. The shrinkage rate as temperature and pressure
(a) 100 mTorr~400 mTorr

Temp. (°C)	Shrinkage rate (%)			
	100 mTorr	200 mTorr	300 mTorr	400 mTorr
75	32.9	37.3	39.5	43.3
100	16.3	25.2	35.0	45.3
125	9.4	43.9	48.4	53.2
150	30.2	35.3	48.1	53.2
175	23.4	55.5	57.2	59.5

(b) 500 mTorr~800 mTorr

Temp. (°C)	Shrinkage rate (%)			
	500 mTorr	600 mTorr	700 mTorr	800 mTorr
75	48.7	44.5	37.9	37.5
100	53.2	50.9	54.3	55.5
125	56.8	55.0	54.5	61.0
150	53.0	55.7	54.9	43.2
175	63.3	65.6	63.3	56.7

처리를 하여 막의 두께 변화를 알아보았다. 차세대 저유전 물질로 사용이 가능하기 위해서는 절연막은 반도체 공정에 적용이 가능해야 한다. 차세대 반도체의 금속배선으로는 구리의 사용이 유력시되므로 구리배선공정이 요구하는 온도를 견디는 것이 필요하다. 따라서 열처리 조건을 질소(N₂) 섭씨 400°C에서 30분으로 정하고, 가혹조건을 주기 위해 분위기압을 상압보다 낮은 500 mTorr로 하였다. 막의 열처리전과 후의 두께를 측정 비교하였다.

표 1에 증착시 조건의 변화인 온도와 분위기압의 변화에 따른 열처리 후의 수축율의 변화를 나타내었다. 표에 나타난 대로 분위기압 100 mTorr 증착온도 125°C에서 가장 낮은 수축율을 보였다. 이 조건에서 유일하게 10% 미만의 수축율을 보였다. 다른 조건에서의 결과는 비교적 높은 수축율을 나타내어 반도체 공정에 적합하지 않은 것을 알수가 있다.

제작된 막의 유전율을 알아 보기 위해 MOS capacitor를 만들어 측정하였다. 비유전율을 측정하는 장치는 HP사의 4280을 사용하였으며, 측정조건은 1 MHz, -15 V ~ +15 V 범위의 커패시턴스변화를 측정하였다. 측정된 막의 비유전율은 1.5~6 사이로 비교적 매우 넓은 범위를 가지고 변화하였다. 막의 비유전율 변화는 증착조건의 변화에 특별한 경향성을 보이지 않았다. 1.5의 비유전율을 보인 샘플은 매우 낮은 유전율을 보였으나 매우 높은 수축율을 보였다. 앞의 결과에서 가

표 2. 대표적인 절연물질의 비유전상수
Table 2. The dielectric constants of typical materials

Materials	Vacuum (Air)	a-C:F	SiO ₂	Si ₃ N ₄
Dielectric Constant	1	2.18	3.8	7

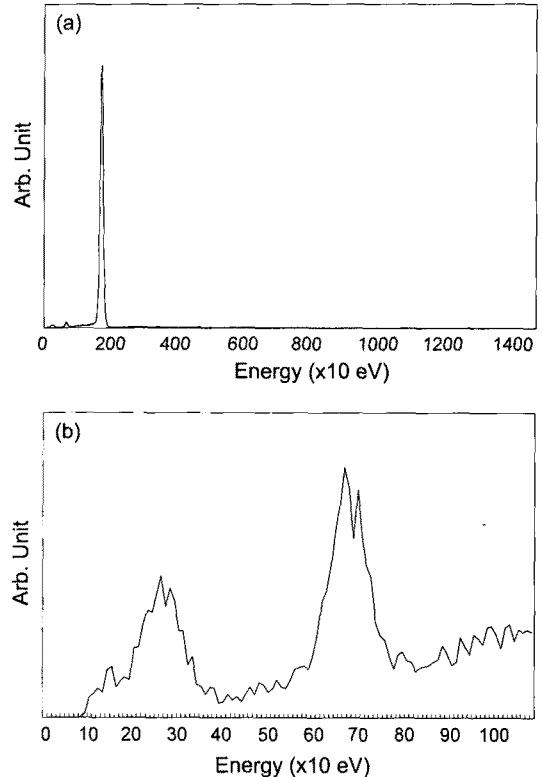


그림 3. 제조된 박막의 EDS 조성 분석 결과; (a) 전체 조사 (0~15 keV) 결과, (b) 탄소~불소주위 상세 결과 (0~1.1 keV)

Fig. 3. The EDS result of the fabricated thin film; (a) full scan (0~15 keV) result and (b) detailed result around carbon~fluorine peak (0~1.1 keV).

장 양호한 결과를 보인 125°C 100 mTorr 샘플의 비유전율은 2.18을 보여 매우 낮은 값을 나타내었다. 표 2에 본 연구에서 증착한 a-C:F와 다른 대표적인 중간 절연 물질의 비유전율을 진공의 비유전율에 비교하여 표시하였다.

제작된 막의 성분 분석을 위한 EDS(Energy Dispersive X-ray Spectrometer) 분석을 수행하였다. 분석 결과 그래프가 그림 3에 나타나있다. 표 3에 막 제조에 관련되는 원소의 EDS 피크 위치를 나타내었다.

그림 3의 (a)는 제조된 박막의 전체 조사결과로 EDS

표 3. 원소에 따른 EDS 피크 위치
Table 3. The peak position according to elements

Element	C	O	F	Si
Position (keV)	0.28	0.53	0.68	1.74

의 조사시 입사되는 전자빔의 에너지가 높기 때문에 제조된 박막을 투과하여 기관인 실리콘의 피크치가 크게 나온 것을 알수가 있다. 전체 조사결과에서는 기관인 실리콘의 피크치가 너무 크게 나온 관계로 실제 우리가 원하는 탄소, 산소, 불소의 피크를 알아 볼수가 없어서 따로 그림 3의 (b)에 탄소에서 불소주위만 부분 추출하여 나타내었다. 그래프에서 알수 있듯이 제조된 박막은 순수하게 탄소와 불소만의 조성을 가진 것을 유추할 수가 있다. 비록 EDS의 전자빔의 에너지가 높아서 기관인 실리콘의 피크가 가장 크게 나왔지만, 0~1.1 keV 상세 결과에서 전혀 산소 피크가 나오지 않은 것을 알 수 있다. 앞에서 언급한 바와 같이 원료기체로 사용한 Si_2H_6 는 반도체 공정에서 이산화규소막의 제조용으로 많이 사용되는 물질로 산소와 화합하여 이산화규소를 형성한다. Si_2H_6 의 산소와의 화합은 상온에서 특별한 조건없이 바로 일어나기 때문에 비정질 불화탄소막(a-C:F)막의 제조시 미량의 산소공급으로도 이산화규소가 형성되고 기관에 성장되게 된다. 하지만 이번 연구에서 제조된 박막의 EDS결과에서 비록 실리콘의 피크가 크게 나왔음에도 전혀 산소의 피크가 나오지 않은 것은 제조된 박막에는 이산화규소가 전혀 없다는 것을 의미하고 이는 실리콘 피크가 모두 박막의 표면이 아닌 기관에서 나온 것이라는 것을 의미한다. 만약 박막의 표면에 약간의 실리콘이라도 존재한다면 자연에 존재하는 산소와 화합하여 곧 이산화규소로 변하게 된다. 따라서 제조된 박막에는 실리콘이 없으며 순수하게 탄소와 불소만으로 되어있다고 할 수 있다.

제조된 박막은 소수성으로 친수성인 이산화규소와는 매우 다른 특성을 보였다. 이는 물(H_2O)의 비유전율이 약 80으로 공정 과정에서 생기는 여러 가지 세정작업등에 의한 수분의 침투에도 매우 강해서 수분으로 인한 비유전율 상승현상을 막기에도 적당하다고 할수 있다. 실리콘 초기세정에 사용되는 아세톤이나 메탄올 등에는 아무런 반응을 하지 않았지만 강산이며 이산화규소의 식각용액인 불화수소용액(HF)에 매우 쉽게 에칭되었다.

4. 결 론

본 연구에서는 차세대 반도체 층간 절연물질로 사용

될 저유전상수를 가지는 막을 제조하였다. 제조방법은 기존의 반도체 공정에서 이미 많이 사용되고 있는 PECVD를 사용했으며, 원료기체는 막의 구성물질의 공급원으로 C_4F_8 를 사용했고 운반과 과잉의 불소이온을 제거하기 위해 $\text{Si}_2\text{H}_6/\text{He}$ 혼합기체를 사용했다. 탄소와 불소의 비를 비슷하게 하여 낮은 비유전율을 유도했고, 탄소의 교차결합을 유도하여 높은 열적 안정성을 이루어, 낮은 비유전율과 높은 열적 안정성을 가진 비정질 불화탄소막을 성장하였다. 제조된 박막은 높은 온도에서 성장시킬수록 낮은 증착속도를 보였고, 고압의 분위기압일수록 높은 증착속도를 보였다. 수축율이 가장 작은 조건은 100 mTorr 125°C 조건에서 증착된 것으로 약 9.4%의 수축율을 보였으며, 이때의 비유전율은 2.18의 값으로 이산화규소의 비유전율인 3.8에 비해 매우 낮은 값을 보였다. 이러한 낮은 비유전율을 가지는 막은 정전기 등에 의한 정전유도현상에서 발생된 외부잡음에 둔감할 것이므로 반도체 소자의 절연막뿐만 아니라 센서 감지부 보호막으로도 응용이 가능할 것이다.

참고 문헌

- [1] K. Endo and T. Tatsumi, "Fluorinated amorphous carbon thin films grown by plasma enhanced chemical vapor deposition for low dielectric constant interlayer dielectrics", *J. Appl. Phys.*, vol. 79, no. 2, pp. 1370, 1995.
- [2] L. G. Jacobsohn, D. F. Franceschini, M. E. H. Maia da Costa, and F. L. Freire, Jr., "Structural and mechanical characterization of fluorinate amorphous-carbon films deposited by plasma decomposition of $\text{CF}_4\text{-CH}_4$ gas mixtures", *J. Vac. Sci. Technol. A* vol. 18, no. 5, pp. 2230, 2000.
- [3] N. Biswas, H. R. Harris, W. Wang, G. Celebi, H. Temkin, and S. Gangopadhyay, "Electrical properties of fluorinate amorphous carbon films", *J. Appl. Phys.*, vol. 89, no. 8, pp. 4417, 2001.
- [4] J. P. Chang, H. W. Krautter, W. Zhu, R. L. Opila, and C. S. Pai, "Integration of fluorinate amorphous carbon as low-dielectric constant insulator: Effects of heating and deposition of tantalum nitride", *J. Vac. Sci. Technol. A* vol. 17, no. 5, pp. 2969, 1999.
- [5] Y. Y. Jin, K. Kim, and G. S. Lee, "Preparation of low dielectric constant silicon containing fluorocarbon films by plasma enhanced chemical vapor deposition", *J. Vac. Sci. Technol. B*, vol. 19, no. 1, pp. 314, 2001.



김 호 민

- 1972년 9월 2일생
- 1995년 2월 경북대학교 공과대학 전자공학과 졸업(공학사)
- 1998년 2월 경북대학교 대학원 전자공학과 졸업(공학석사)
- 현재 경북대학교 대학원 전자공학과 박사 과정
- 주관심분야 : Low-K, PECVD

신 장 규

- [센서학회지 제9권 제4호] p. 296 사진 참조
- 1978년 서울대학교 전자공학과 졸업(공학사)
- 1980년 한국과학기술원 전기 및 전자공학과 졸업(공학석사)
- 1991년 미국 콜로라도 주립대학교 전기공학과 졸업(공학박사)
- 1995년~1997년 일본 토요하시 기술과학대학 교환교수
- 현 경북대학교 전자전기공학부 교수
- 주관심분야 : 반도체 센서, Nano image sensor, 시각칩

권 대 혁

- [센서학회지 제2권 제2호] p. 29 사진 참조
- 1986년 2월 경북대학교 전자공학과 졸업(공학사)
- 1988년 경북대학교 대학원 전자공학과 졸업(공학석사)
- 1992년 경북대학교 대학원 전자공학과 졸업(공학박사)
- 현재 경대학교 공과대학 전자공학과 부교수
- 주관심분야 : 반도체 소자, 반도체 공정

서 화 일

- [센서학회지 제1권 제1호] p. 106 사진 참조
- 1986년 경북대학교 전자공학과 졸업(공학사)
- 1988년 경북대학교 대학원 전자공학과 졸업(공학석사)
- 1992년 경북대학교 대학원 전자공학과 졸업(공학박사)
- 현재 한국 기술교육대학교 교수
- 주관심분야 : 반도체 집적회로 공정 및 반도체 센서