

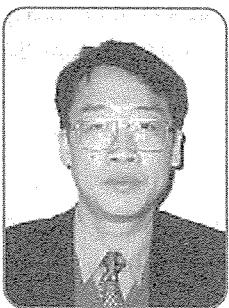
가하므로 탄·소성 J적분 해석의 필요성을 수치해석적으로 확인하였다.

(3) 사용재에 대한 탄·소성 파괴인성치 J_{Ic} 를 실험적으로 구하였으며, 그 결과는 $J_{Ic}=272$ kN/m이다. 모드 I 균열의 경우, 이 값 이상의 응력에서는 부재는 파손된다.

참고문헌

- (1) J.R.Rice, "Trans. A, J. Appl. Mech.," Vol. 35, 1968, pp.379-386.
- (2) "Standard Test Method of Tension Testing of Metallic Material," ASTM Standard E8-89.
- (3) J.W.Hutchinson, J. Mech. Phys. Solids 16, 1968, pp.23-31.
- (4) J.R.Rice, G.R.Rosengren, J. Mech. Phys. Solids 16, 1968, pp.1-22.
- (5) F.Ma, Z.B.Kuang, "Elastic-Plastic Fracture Analysis of Finite Bodies- I," Engineering Fracture Mechanics Vol.48, No.5 1994, pp.727-737.
- (6) F.Ma, Z.B.Kuang, "Elastic-Plastic Fracture Analysis of Finite Bodies-II," Engineering Fracture Mechanics Vol.48, No.5 1994, pp.729-748.
- (7) "Standard Test Method for, A Measure of Fracture Toughness," ASTM Standard E318-89.
- (8) J.E.Srawley, "Wide Range Stress Intensity Factor Expressions for ASTM E399 Standard Fracture Toughness Specimens," Int. J. Fract. Mech., Vol. 12, 1976, pp.475-476.
- (9) 이가용, 장용훈, 이길호, "저주기 피로하중하에서 균열성장예에 관한 연구," 대한기계학회 88년도 추계학술대회 초록집, 1988, pp.59-62.
- (10) 최용식, 양원호, 김영진, 석창성, "탄·소성 파괴인성치 결정에 관한 연구," 대한기계학회, 89년도 추계학술대회 초록집, 1989, pp.76-80.

발전기 여자시스템(Ⅱ-Ⅱ) (자동전압 조정장치)



한전전력연구원
발전연구실 발전계전그룹
책임연구원/공학박사 임익헌
Tel : (042)865-5265

여자방식에 비해 전류용량이 큰 정지형을 중심으로 설명하고자 한다. 정지형 여자방식의 경우, 발전기의 출력전압을 변압기를 사용하여 강압시킨 후 반도체 스위칭 소자를 사용하여 제어 정류하여 발전기 계자에 직접 공급하기 때문에 여자변압기와 대용량의 스위칭 소자를 필요로 하게 된다. 정지형 여자시스템의 정류기는 여자변압기, AC filter, 정류부, DC filter, 과전압 억제회로, 초기 여자회로, 계자 접지 검출 회로, 축전압 억제회로 등으로 구성되어 있다. 정류기의 용량 선정에 있어 여유도는 전압, 전류 각각 1.1배로 한다.

II. 여자시스템 정류기

1. 정류기 구성 소자별 이해

정류기는 제어기로부터의 제어신호를 입력받아 발전기의 계자에 직류전압을 공급하는 부분이다. 교류

1) 여자변압기

여자변압기 2차 정격전압의 설계개념은 다음과 같다.

- 과도상태에서의 속응성을 위해 Ceiling Voltage를

확보한다.

- 직류측 및 교류측 각종 손실 등을 고려한다.
- 스위칭 소자의 안정적 동작을 위해 설계한 변압기 %Z의 손실을 고려한다.

다음 식은 위와 같은 손실과 속응성을 고려하여 산정한 여자변압기의 출력전압식이다.

$$V_2 = \frac{\pi(V_p \times V_{FB} + V_{FD})}{3\sqrt{2} \times (\cos \alpha - \frac{1}{2} \times I_Z)} \quad (21)$$

V_2 : 선간전압

$V_p \times V_{FB}$: 무부하시 계자 정상전압(Ceiling Voltage)

α : 최대 점화각(대략 30 [degree])

I_Z : 여자용 변압기의 임피던스(PU)

V_p : 정상전압배수

V_{FD} : 주회로 케이בל, 브러쉬-컬렉터 링간 및 정류기의 전압 강하

여자기 전류는 초기 기동시 많은 양의 전류를 빠르게 공급하여야 하기 때문에 여자기에 공급되는 전압은 높은 전압이어야 한다. 이러한 정상전압은 여자계 시스템의 속응성에 관계가 있지만 너무 높은 정상전압은 여자기의 절연에 문제를 유발할 수 있다. 현재 여자기의 정상전압은 구체적으로 정의된 것은 없으며 단지 경험적인 값이나 계통의 시뮬레이션에 의한 정상전압의 선택이 주류를 이루고 있다. 일본의 關西電力社나 東京電力社에서는 화력이나 원자력 여자기의 정상전압을 여자기 무부하 전압의 5배 이상으로 하고 있으며, 초속응 여자시스템에서는 7.5배를 넘는 값으로 하는 경우도 있다. 그리고 미국의 Westinghouse사에서도 이러한 값으로 여자기의 정상전압을 결정하는 경우가 많다. 국내 개발제품은 정상전압 5배로 하고 있다. 그리고 변압기의 용량은 $\sqrt{3} \times V_2 \times \sqrt{2/3} \times I_{EN}$ 과 같다. 여기서 I_{EN} 은 정류기의 직류출력전류이다.

2) 정류부

정류부는 제어기로부터의 제어신호를 입력받아 직접 스위칭 소자를 점화시키는 부분이다. 스위칭 소자(싸이리스터)를 사용하여 발전기 출력전압을 위상 제어 정류하기 위해 검출된 위상을 기준으로 제어신호의 크기에 따라 위상각을 조절하여 정류 출력을 제어하는 것이 기본 원리이다.

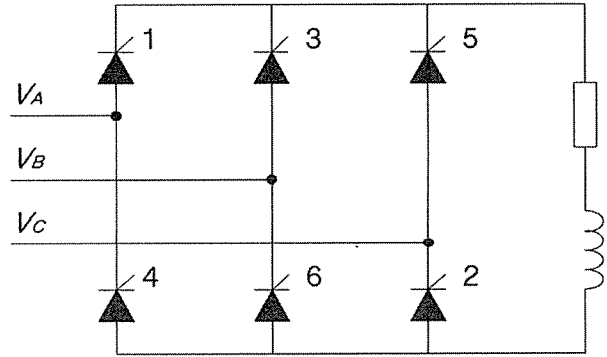


그림 2.1 3상 전파 정류 브릿지

위상제어하는 방법에 따라 선형 점화각 제어방식(Linear Firing Angle Control), 코사인 점화각 제어방식(Cosine Wave-Crossing Method)과 PLL(Phase-Locked-Loop Method)방식이 있다.

① 선형 점화각 제어방식

이 방식은 위상 검출신호에 동기 시킨 톱니 파형과 제어신호가 일치하는 시점에서 점화신호를 발생하여 스위칭 소자를 점화하는 방식이다. 이 방식은 제어입력신호에 대하여 출력신호가 선형적이지 못하여 잘 사용되지 않는 방식이다.

그림 2.2는 위상각 α 선형 제어기의 동작원리를 도시한 것이다. 제어전압 E_c 에 선형적으로 위상각 α 가 변경된다. 중간 Tap을 접지한 강압 동기 변압기는 입력전압을 V_1, V_2 로 강하시킨다. 전압 V_1 은 구형파 발생기에서 구형파로 변환되고 다시 Ramp 전압 발생기에서 Ramp 전압 e_2 로 바뀌어진다. 비교기에서 Ramp 전압 e_2 와 제어전압 E_c 가 서로 비교되어 e_2 가 E_c 보다 크면 e_a 구형파를 출력한다. e_a 의 구형전압 상승시점은 제어전압에 비례하고 이 각을 점화각 α 라 한다. 신호 e_a 는 펄스 증폭기 회로로 입력되어 증폭되고 입력전압의 정방향 반주기에서 싸이리스터 S_1 과 S_2 를 점화한다.

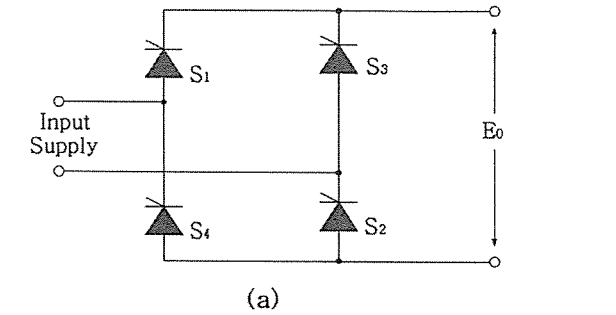
동일한 방법으로 입력 V_2 신호로 해서 만들어진 펄스신호는 입력전압의 부방향 반주기에서 싸이리스터 S_3 과 S_4 를 점화한다.

점화각은 다음과 같이 된다.

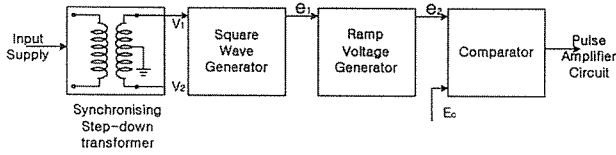
$$\alpha = k_1 E_c \quad (22)$$

$$E_o = E_{\max} \cos \alpha = E_{\max} \cos(k_1 E_c) \quad (23)$$

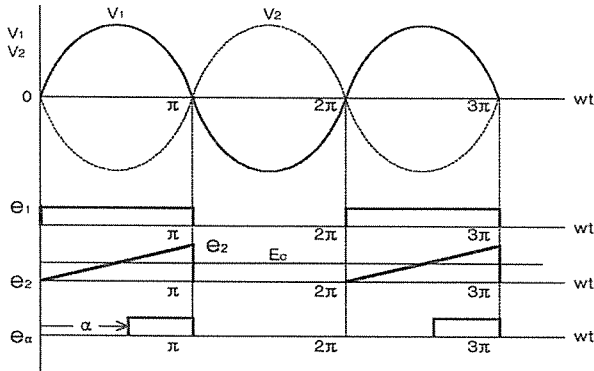
컨버터 출력 전압 E_o 와 제어전압 E_c 와의 사이에 전달특성은 비선형 관계이다. 그러나 이 방식은 점화각 $\pm 1^\circ$ 까지 정밀한 제어가 가능하다.



(a)



(b)



(c)

그림 2.2 위상각 α 의 선형제어

② 코사인 점화각 제어방식

위의 방식의 단점을 개선한 제어방식으로써 톱니파형 대신에 코사인파형을 적용하여 제어입력신호제어에 대하여 출력신호가 선형적인 방식이다.

선형 점화각 제어 방식의 단점을 개선한 제어방식으로써 톱니파형 대신에 코사인 파형을 적용하여 제어 입력 신호 제어에 대하여 정류된 직류 출력값이 선형적 방식이다. 이 방식은 입력 전압을 코사인 전압으로 변환해서 이 변환된 전압과 제어 전압과 교차 지점에서 점호펄스를 발생시킨다. 그림 2.3 에서 기본 개념을 설명하고 있다. 위상각 α 는 식 (2.4)와 같다. 정류기의 출력전압은 식 (2.5)와 같다.

$$\alpha = \cos^{-1} \left[\frac{E_c}{e_{max}} \right] \quad (2.4)$$

$$E_0 = E_{max} \cos \alpha = E_{max} \cos \left[\cos^{-1} \frac{E_c}{e_{max}} \right]$$

$$= \frac{E_{max}}{e_{max}} E_c = k_2 E_c \quad (2.5)$$

식 (2.4)과 식 (2.5)에서 본 바와 같이 코사인 점호 방법은 제어전압 와 출력전압 간에 선형 전달 특성을 제공한다. 이 방법은 페루프 제어 구동을 하는 시스템 적용에 적정하다. 실제로 이 방식은 산업분야에 널리 사용되고 있는 방식이다. 그림 2.4(a) 에서는 현장에서 주로 사용하는 적용 회로를 나타낸 것이다. 그리고 그림 2.4(b) 에서는 여러 단계에서 신호가 진행되는 것을 이해하기 쉽게 도시한 것이다.

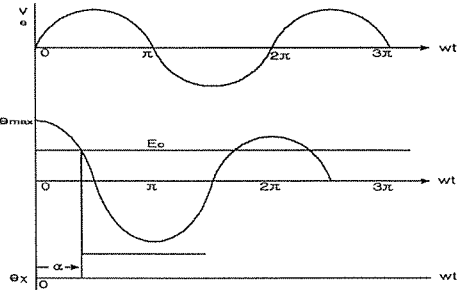
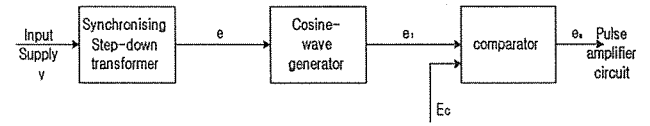
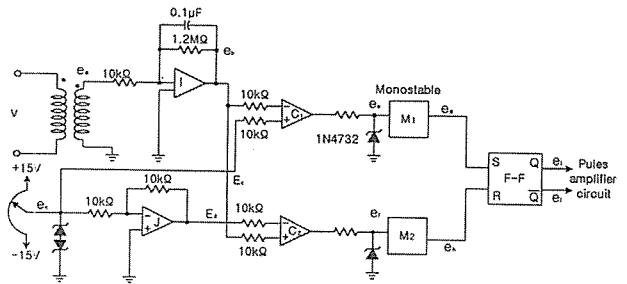
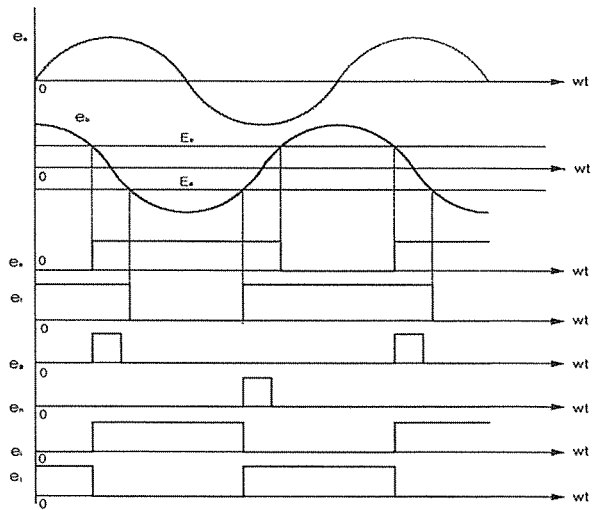


그림 2.3 위상각 α 의 Cosine Control



(a) 점호 회로 (Circuit Implementation)



(b) 타이밍 선도(Timing Diagram)

그림 2.4 컨버터에서의 코사인 점호 회로 구성 및 신호특성

신호 e_a 는 컨버터 공급전압 v 를 강압한 모양이다. 적분기 I에서 e_a 는 코사인 신호로 변환된다. 2개의 Zener Diodes는 코사인 신호 e_b 의 최대값 아래에서 제어신호 E_c 가 Back-to-Back 크램프(Clamp)되도록 연결된다. 제어신호 E_c 는 이득 1인 차동 증폭기 J에서 신호 E_d 로 바뀌어진다. 제어신호 E_c 와 E_c 의 역신호인 E_d 가 비교기 C_1 과 C_2 에서 코사인신호 e_b 와 비교되어 출력으로 e_c 와 e_f 를 만든다. e_c 와 e_f 는 Mono-stables M_1 과 M_2 에 입력되어 신호 e_g 와 e_h 가 각각 만들어진다. 이 신호 e_g 와 e_h 가 셋트-리셋트-플립플롭을 점호해서 신호 e_i 를 만든다. 신호 e_i 는 플러스 쪽 반 사이클에서 싸이리스터를 점호하는데 쓰고, e_j 는 마이너스쪽 반 사이클에서 싸이리스터를 점호하는데 쓴다.

③ PLL(Phase-Locked-Loop Method)방식

코사인 점호각 제어방식에 사용되는 코사인파형은 전원 측으로부터 직접 구하게 되는 방식이므로, 전원 측에 고조파가 존재 경우 오점호가 될 수 있으며, 또한 이의 해결을 위해 필터를 설치할 경우 위상 지연에 따른 점호지연은 피할 수 없게 된다. PLL은 이런 문제를 해결한 제어방식으로서 그 의미상 위상을 전원 측과 동기시킨다는 의미이다. 이 동기된 위상을 기준으로 60Hz의 코사인파형을 생성하여 제어하는 방식이다. 전력연구원에서는 코사인방식을 채용하고 있으며, PLL방식을 시스템에 맞게 보완하여 적용할 계획이다.

3) 펄스 증폭기

그림 2.4에서 발생된 e_i 와 e_j 펄스는 싸이리스터를 Turn-on 하기에는 전력이 충분하지 못하고 또한 싸이리스터의 Gate와 Cathode 단자는 전력회로로서 매우 높은 전압이 걸려있다. 반면에 제어신호 쪽에는 약전 쪽으로 직접 고전압 쪽에 연결할 수 없다. 따라서 흔히 쓰는 방식은 광신호로 분리하거나 펄스 변압기를 통한 절연으로 고전압과 약전압을 분리한다. 그림 2.5는 펄스 변압기를 사용하는 증폭기의 회로도이다. 펄스 전류를 증폭시키기 위해 Darlington 트랜지스터를 사용한다.

펄스가 폭을 갖는 넓은 형태이면 펄스 변압기가 포화 될 수 있어서 펄스 전체 폭이 전달되지 않을 수도 있다. 그러나 사실은 펄스 폭 전체가 필요한 것은 아니다. 그런 경우에 펄스를 높은 주파수(10~30KHz)로 변조한다. 그림 2.5에서는 555 Timer를 써서 변조한 것을 나타낸 것이다. 변압기에서 자속이 리셋 될 수 있도록 Timer의 Duty Cycle은 50%보다 낮아야 한다.

변조된 펄스는 또한 싸이리스터에서 게이트 점호 신호가 소멸되는 것을 줄여 준다. 그림 2.5는 변조한 펄스 처리 순차도이다.

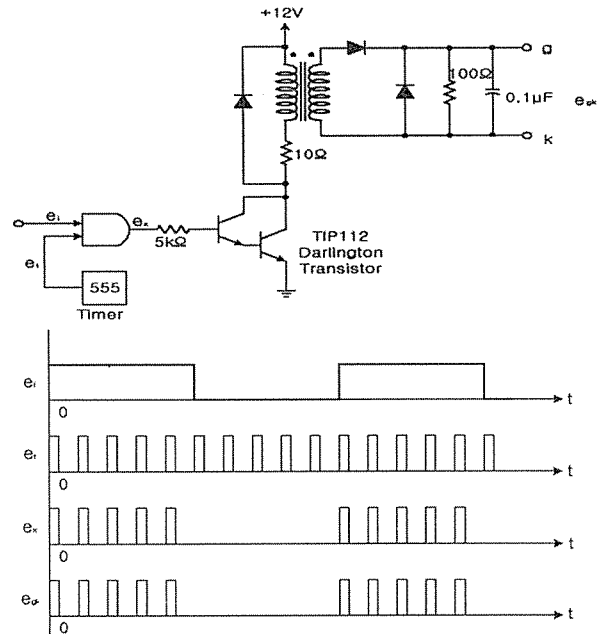


그림 2.5 일반적인 펄스 증폭기 회로도 및 순차도

4) 정류/역변환(Conversion/Inversion)

정류기의 최대 출력은 각 상이 교차되는 지점(점호각 0도)에서 점호펄스가 발생될 때이며 점호각이 증가함에 따라 정류출력이 감소되어 나타난다. 역변환(Inversion) 작용은 점호각이 90도 이상일 때 일어나는데 정류시와 출력전압의 극성은 반대지만 전류 흐름의 방향은 같다. 역변환은 정상운전의 경우 필요한 운전모드는 아니지만 외란에 의해 발전기 계자에 축적된 에너지를 급속히 방전시켜야 할 필요가 있을 경우, 즉 발전기 전압을 떨어뜨려야 할 경우 정류기를 4상한 모드로 동작시켜 축적 에너지를 전원측으로 환원시키는 것이다. 그림 2.6과 그림 2.7은 정류시와 역변환 운전시의 출력 파형을 보여준다. 그림 2.8은 전류(轉流)시의 출력 전압 파형을 보여주는데 싸이리스터 1, 2의 동작에서 2, 3으로 전류되는 기간에서 1, 3이 동시에 도통하는 구간에서의 출력 전압 파형을 보여준다. 만약 싸이리스터가 정류모드에서 점호각이 지나치게 앞서거나 스위칭 소자의 불량 혹은 외란으로 인하여 전류 실패를 대비 해야 한다(항상 동시에 2개의 스위치가 동작하므로 전류 실패 구간동안 중성점에 대한 출력전압은 존재하겠지만 120[도] 동안 출력 선간 전압은 나타나지 않게 된다). 따라서 이를 보완하기 위하여 각 싸이리스터에

60[도]의 위상차를 가진 두 개의 점호 펄스를 발생시켜서 확실한 정류작용이 이루어지도록 한다.

또한 점호실패를 방지하기 위하여 점호각의 한계를 설정한다. 점호각의 한계는 공급전원의 주파수에 따라서 차별을 두는데 상용 주파수 이상의 고주파(420[Hz] 정도)에서는 30[도]와 150[도]로 설정하고 있으며, 이는 정류시와 역변환시 안전 여유를 준 것이다. 여유는 전류기간보다 조금 크게 주면 되기 때문에 전류기간이 10 - 20[도]이라고 가정하여 정류시와 역변환시 각각 30[도]씩의 여유를 두어 점호하고 있다. 싸이리스터 정류기가 순수한 저항부하에서 운전될 때 정류기 출력 값이 영인 지점은 점호각이 120[도] 지연각에서 발생하며 저장 에너지가 없어 역변환 작용은 일어나지 않는다.

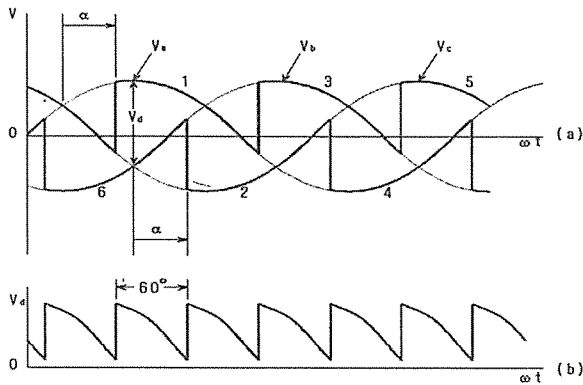


그림 2.6 정류시 출력파형(점호각 $\alpha < 90$)

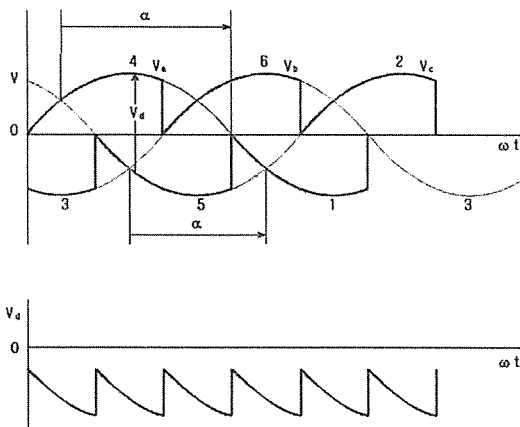


그림 2.7 역변환시 파형(점호각 $\alpha > 90$)

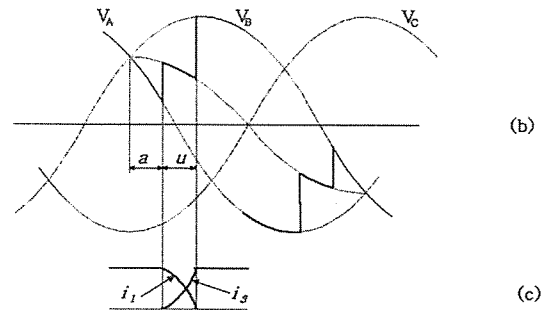
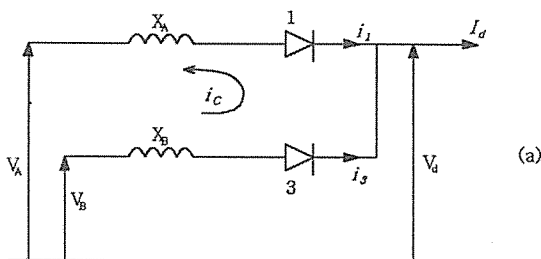


그림 2.8 정류시의 등가회로 및 출력전압파형

5) 3상 전파 정류 싸이리스터 브릿지

여자기 용량이 10~20[MVA] 이상이거나 여자 전류 크기가 200~300[A] 이상이면 3상 전파 정류 브릿지를 사용하는 것이 일반적인 추세이다. 계자코일 내의 에너지를 전원 쪽으로 회생시키기 위해서는 3상 전파 브릿지를 써서 3상 반파 브릿지에서 할 수 없는 역변환 모드 운전을 한다. 반파 브릿지의 경우 비록 동작 시간은 매우 빠르지만 계자 코일에 영에서부터 정방향 천장 전압을 공급하는 출력 특성이 3상 전파 브릿지 보다는 제한적이다. 그리고 급속하게 발전기 전압을 감소시켜야 하는 상황에서, 3상 전파 브릿지는 역변환 모드로 점호 각을 뒤로 밀쳐서 계자 코일 내의 에너지를 전원측으로 빼냄으로써 발전기 전압 감소 속도를 빠르게 해준다. 3상 반파에서는 계자 코일에 병렬로 Free Wheeling Diode를 연결해서 감소시키는데 3상 전파에서 역변환 하는 것 보다 속도가 늦다. 그림 2.9는 3상 전파 싸이리스터 정류기의 구성도이며, 그림 2.10은 싸이리스터 점호각 α 를 변경시켰을 때 정류기 출력단의 전압 파형을 나타낸 것이다.

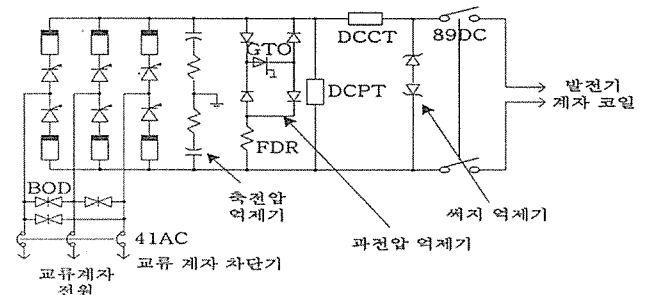


그림 2.9 위상제어 정류기 및 계자 회로

3상 전파 정류 브릿지에서 실제 사용하는 점호 지연각(점호각)의 최소/최대 값은 100[Adc] 미만의 소전류와 고주파수(420[Hz]) 정류기는 $\alpha_{min}=30^\circ$, $\alpha_{max}=150^\circ$ 이고, 수천 암페어의 대전류와 상용 주파수(60[Hz]) 정류

기는 $\alpha_{\min}=15^\circ$, $\alpha_{\max}=165^\circ$ 로 설계하면 사이리스터가 전류(轉流 Commutation) 실패 없이 안정적인 운전이 된다. 이는 정류기 주변 리액턴스, 전류변환율, 사이리스터 특성 등에 따라서 고려된다.

전력계통에서의 순간 고장으로 발전기 전압이 떨어지면 사이리스터 점호각을 최대로 열어서 계자 코일에 전류를 극대화시켜 떨어진 발전기 출력단 전압을 회복시킨다. 여기서 A, B, C 영역은 정류각이 0° 에서 60° 까지 변화하는 정 정류 영역이고, 점호각이 0° 에서 계자 전류를 최대로 공급한다. 여자시스템 정류기에서는 계자전류를 강화시키는 영역이 A, B, C 영역이고 정상적인 발전기 부하에서는 점호각이 90° 부근인 영역 D에서 운전된다. 발전기 전압이 높을 때는 계자 자속의 급격한 감소가 필요한데 이 때는 점호각을 뒤로 밀어서 직류 전압을 음의 전압으로 만든다. 이 영역은 E, F 구간으로 점호각 α 가 $120^\circ \sim 150^\circ$ 이다.

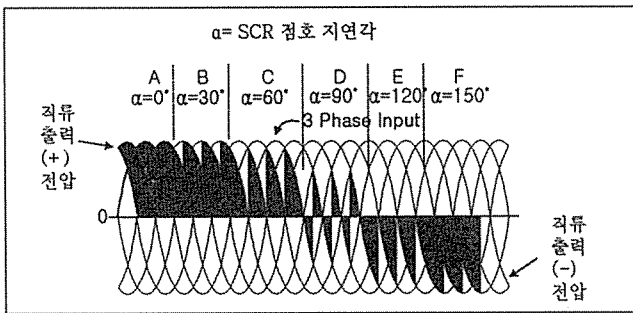


그림 2.10 점호각 변화에 대한 사이리스터 출력 파형

그림 2.11은 점호회로 관련도이다. 점호 펄스 발생 회로에는 사이리스터 점호를 위한 동기 신호 검출부, 60° 위상 천이부, 저 전압시 점호펄스 발생을 금지하는 정류기 입력단 저전압 검출부, 제어 신호와 동기 신호를 비교하는 코사인 비교부, 점호각의 최대/최소를 제한하는 부분과, 정류기 입력단 상 불평형 및 과전압 검출부 등으로 구성된다. 검출부에서 연산 처리된

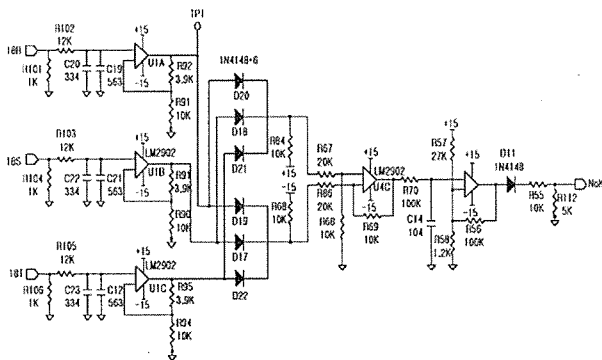


그림 2.11 동기신호 및 저전압 검출부 회로도

신호는 EPLD(Erasable Programmable Logic Device)에서 로직 연산 처리하여 최종 점호 신호를 출력한다.

6) 스너버 회로

각 사이리스터는 각각의 게이팅 및 스너버 회로가 장착되어 있다. 정류부의 직류 출력은 Shunt 저항, HOLE CT, 그리고 계자차단기를 거쳐 발전기 계자에 공급된다. 출력단에 연결된 저항은 사이리스터를 통하는 최소전류가 사이리스터 유지 전류값 이상이 되게 한다. 한편 사이리스터는 반복되는 스윗칭 동작에 따른 소자의 스트레스를 고려해야 한다. 반도체 소자의 스윗칭 시에 발생하는 에너지 손실은 높은 전압과 높은 전류가 극히 작은 시간동안 동시에 발생하는 것으로서 반도체 스윗칭 소자가 받는 스트레스는 무시할 수 없다. 이러한 높은 전압과 높은 전류를 제어하고 제한하기 위한 이유는 몇 가지가 있는데 그 내용은 다음과 같다.

첫 번째 반도체 소자가 스윗칭할 때 생기는 전압과 전류가 반도체 소자 자체의 안정 영역 내에 존재해야 한다.

두 번째 반도체 소자가 스윗칭할 때 신뢰성 있는 동작을 보장하기 위해서 스윗칭 소자의 전압변화율 dv/dt 를 충분히 작게 선택해야 한다.

세 번째 스윗칭시 발생하는 에너지는 반도체 소자를 가열시키고 반도체 소자의 특성을 변화시키기 때문에 반도체 소자의 접합온도를 일정하게 유지시켜야 한다. 따라서 전류변화율 di/dt 를 규정치 이하로 하여 사이리스터 접합 부분이 국부적으로 가열되어 소자가 소손되는 것을 방지해야 한다.

결국 스너버 회로는 사이리스터 스윗칭 소자를 보호하고 오점호를 방지하기 위한 것이다.

스너버의 종류로는 대표적으로 RC 스너버, 충/방전형 RCD 스너버, 방전 저지형 RCD 스너버, 에너지 회생용 스너버 등 설계자의 아이디어에 따라 여러 종류가 있을 수 있다.

그림 2.12에서 다이오드가 생략되면 RC스너버 회로를 구성하게 되는데 이는 구성이 가장 간단하고 Turn-off 시의 콜렉터-이미터간 전압 상승률을 억제

하는 효과도 있지만 대용량의 스위칭 소자에 적용하기에는 스너버 저항을 적은 값으로 하지 않으면 안되고, 그 결과 Turn-off시의 스위칭 소자의 실무가 막중해진다. 수 [A] 이하의 소용량의 스위칭 소자에 적용할 수 있다.

그림 2.12의 충/방전형 RCD 스너버 회로는 회로 구성이 복잡하게 되지만, 앞서 설명한 RC 스너버와는 다르게 스너버 다이오드가 추가되어 있기 때문에 스너버 저항의 값을 자유로 크게 할 수 있다. 그러나 충/방전형 RCD 스너버는 방전 저지형 RCD

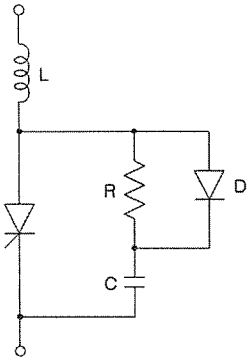


그림 2.12. RCD 스너버

스너버에 비해서 스너버 회로에서의 발생 손실이 극히 큰 값으로 되어 고주파 스위칭의 용도에는 적당하지 않다.

방전 저지형 RCD 스너버는 대용량 스위칭 소자의 고주파 스위칭용 스너버 회로로서 합리적인 것이고, 스너버 회로에서의 손실 발생이 적은 특징을 가진다.

7) 방열판

싸이리스터를 신뢰성 있는 동작 범위 내에서 적용하려면 싸이리스터의 표면온도가 높아져 열폭주(Thermal Runaway)가 일어나지 않도록 제작사에서 제시하는 온도변위에서 상시 작동할 수 있는 열전달 기구를 가지도록 설계되어야 한다. 일반적으로 싸이리스터가 견딜 수 있는 Critical Junction Temperature는 120°C-150°C 정도이나 운전은 70°C 이하에서 운전한다.

싸이리스터의 방열 방법으로는 자연 공기 냉각과 강제 공기 냉각 그리고 수 냉각 방법이 있다. 냉각판의 재질은 일반적으로 알루미늄판을 사용하는데, 구리는 알루미늄보다 열전달율이 약 80% 정도 더 우수함에도 불구하고 가격적인 문제와 제작상의 문제 때문에 잘 사용하지 않는다. 그리고 알루미늄 판은 열을 잘 발산시킬 수 있도록 다양한 형태로 냉각판의 핀을 설계해야 한다.

공기 냉각식 방열판을 설계할 때 고려해야 하는 요소로서는 방열판 면적, 핀 설계, 재질, 싸이리스터 설치 위치, 주위 공기온도, 공기량, 공기통풍형태, 방열

판과 싸이리스터 접촉성분, 밀착강도 등이 있다. 강제 냉각방식은 자연 냉각방식보다 3배에서 4배 정도의 냉각효과가 있으며 싸이리스터의 형태에서도 Single-side Cooling Type은 Double-side Cooling Type 보다 2배의 냉각 효과를 발휘할 수 있다. 그러나 강제 냉각방식은 팬의 소음이 문제가 되고 팬이 고장 날 경우에 대비를 해야 한다.

다음은 방열판 설계시 고려해야 할 설계기준이다.

- ① 냉각의 용이함을 고려하여 Double-side Cooling Type을 선택한다.
- ② Fan의 고장을 고려하여 방열판의 면적은 강제/자연 공랭식으로 설계한 면적의 중간으로 한다.
- ③ 방사적인 형태를 가진 방열판 핀 구조를 선택한다.
- ④ Fan의 용량은 방열판을 충분히 냉각할 수 있는 것을 선택한다.
- ⑤ 방열판의 핀 배열은 Fan의 바람이 통할 수 있도록 바람의 방향과 일치하도록 해야 한다.
- ⑥ Fan의 설치위치는 방열판과 Thyristor에 먼지가 쌓이지 않는 위치나 기능을 갖게 한다.
- ⑦ 방열판과 Thyristor사이의 접촉성분은 열 저항이 작은 것을 선택한다.
- ⑧ 방열판과 Thyristor사이 고정은 방열판과 Thyristor의 열팽창 계수를 고려하여 고정한다.
- ⑨ Fan의 갯수는 정상운전용 1개와 Standby용으로 1개를 고려하여 2개로 한다.
- ⑩ Fan이 유효하게 Thyristor를 냉각하도록 송풍통로를 만든다.

8) Filter

정류기 입력 교류측의 필터는 전류(Commutation)시 전류(Current)의 변화율이 크거나 인던턴스 혹은 커패시터 양단의 전압이 급격히 변화하여 발생하는 스파이크성 전압을 억제하는 역할을 한다. Filter의 전단에는 과전류에 대해 필터를 보호하기 위해서 퓨즈를 두고 있다. 한편 발전기의 계자전원은 직류전압이어야 하므로 스위칭에 따른 고조파를 제거하기 위하여 직류 필터를 설치한다. 이 외에도 축전압을 제거하기 위해서는 축전압 제거 필터도 설치해야 한다.